MC9S08QG8
MC9S08QG4

データ・シート

HCS08
Microcontrollers

MC9S08QG8
Rev. 0
12/2006

freescale.com

freescale™
semiconductor

MC9S08QG8/4 主な特長

8 ビット HCS08 中央演算処理装置（CPU）

- 20MHz HCS08 CPU（中央演算処理装置）
- HC08 の命令に BGND 命令を追加した命令セット
- バックグラウンド・デバッグ・システム
- インサーキット・デバッグ中に一つのブレークポイントの設定が可能なブレークポイント機能（オンチップ・デバッグ・モジュールではさらに 2 つのブレークポイントを設定可能）
- 2 個のコンパレータと 9 個のトリガ・モードを持つデバッグ・モジュール。FIFO はフロー変更アドレスとイベント専用データの格納用として 8 段階の深度があり、ブレークポイントはタグ設定と強制実行に対応
- 最大 32 個の割込み / リセット・ソースをサポート

メモリ・オプション

- 動作電圧および動作温度の全範囲での FLASH のリード / プログラム / 消去が可能
- MC9S08QG8 - 8k バイトの FLASH、512 バイトの RAM
  MC9S08QG4 - 4k バイトの FLASH、256 バイトの RAM

低電力モード

- ウェイト・モードと 3 つのストップ・モード

クロック・ソース・オプション

- **ICS** - 内部クロック・ソース・モジュール。内部または外部の基準クロックで制御する周波数ロック・ループ (FLL) を内蔵。0.2% の分解能での内部基準クロックのトリミングにより、電圧および温度範囲全体で 2% の発振精度。1MHz から 10MHz のバス周波数に対応。
- **XOSC** - 31.25 ～ 38.4kHz または 1 ～ 16MHz のソフトウェアによる選択が可能な水晶発振子 / セラミック共振回路で動作する低電力オシレータ。最大 20 MHz の外部クロック・ソース入力に対応。

システムの保護

- COP(コンピュータ動作保証) ウォッチドッグ・リセットに専用の 1kHz 内部クロック・ソースあるいはバス・クロックを使用
- 低電圧の検出時にリセットまたは割込みを実行
- 不正オペコードの検出時にリセットを実行
- 不正アドレスの検出時にリセットを実行
- FLASH のブロック保護

ペリフェラル

- **ADC** - 8 チャネル、10 ビットのアナログ / デジタル・コンバータ 。自動比較機能、非同期クロック・ソース、温度センサ、内部バンドギャップ基準チャネルを内蔵。RTI カウンタによるハードウェア・トリガが可能。
- **ACMP** - 内部基準値との比較機能（オプション）付きアナログ・コンパレータ・モジュール。オプションで TPM モジュールへの出力に指定可能。
- **SCI** - シリアル通信インタフェース・モジュール 。13 ビット・ブレークが可能（オプション）。
- **SPI** - シリアル・ペリフェラル・インタフェース・モジュール
- **IIC** - インター・インテグレーテッド・サーキットバス・モジュール
- **TPM** - 2 チャネルのタイマ / パルス幅モジュレータ。各チャネルをインプット・キャプチャ、アウトプット・コンペア、およびバッファ付きエッジ・アライン / センター・アライン PWM の機能に使用可能。
- **MTIM** - 8 ビット・プリスケーラ付き 8 ビット・モジュロ・タイマ・モジュール
- **KBI** - 8 ピンのキーボード割込みモジュール。エッジ・モードまたはエッジ / レベル・モードと極性をソフトウェアにより選択可能。

入力 / 出力

- 12 本の汎用入力 / 出力 (I/O) ピン。入力専用と出力専用が 1 本ずつで、出力はそれぞれ 10 mA、パッケージで最大 60mA
- 入力ポート・ピンは、ソフトウェアによるプルアップの設定が可能
- 出力ポート・ピンは、ソフトウェアによるスルー・レート制御およびドライブ強度の設定が可能
- RESET および IRQ ピンの内部プルアップによりユーザ・システム・コストを削減

開発サポート

- シングルワイヤのバックグラウンド・デバッグ・インタフェース
- リアルタイム・バス・キャプチャ付きオンチップ・インサーキット・エミュレーション（ICE）

パッケージ・オプション

- 16 ピン PDIP（プラスチック・デュアル・インライン・パッケージ）- MC9S08QG8 のみ
- 16 ピン QFN（クワッド・フラット・ノーリード）パッケージ
- 16 ピン TSSOP（シン・シリンク・スモール・アウトライン・パッケージ）
- 8 ピン DFN（デュアル・フラット・ノーリード）パッケージ
- 8 ピン PDIP － MC9S08QG4 のみ
- 8 ピン・ナローボディ SOIC（スモール・アウトライン・インテグレーテッド・サーキット）パッケージ

MC9S08QG8 データ・シート

MC9S08QG8
MC9S08QG4

MC9S08QG8
Rev. 0
12/2006

Freescale™ および Freescale のロゴマークはフリースケール社の商標です。

© Freescale Semiconductor, Inc., 2006. All rights reserved.

目次

パラグラフ番号 **タイトル** **ページ番号**

第 1 章
デバイスの概要

1.1 はじめに 1
1.1.1 MC9S08QG8/4 シリーズのデバイス 1
1.1.2 MCU のブロック図 2

第 2 章
外部信号の説明

2.1 デバイス・ピンの割当て 5
2.2 推奨されるシステム接続 7
2.2.1 電源 8
2.2.2 オシレータ（XOSC） 8
2.2.3 リセット（入力専用） 8
2.2.4 バックグラウンド / モード選択（BKGD/MS） 9
2.2.5 汎用 I/O およびペリフェラル・ポート 9

第 3 章
動作モード

3.1 はじめに 13
3.2 主な特長 13
3.3 実行モード 13
3.4 アクティブ・バックグラウンド・モード 13
3.5 ウェイト・モード 14
3.6 ストップ・モード 14
3.6.1 ストップ 3 モード 15
3.6.2 ストップ 2 モード 15
3.6.3 ストップ 1 モード 16
3.6.4 ストップ・モードのオンチップ・ペリフェラル・モジュール 17

第 4 章
メモリマップとレジスタ定義

4.1 MC9S08QG8/4 メモリ・マップ 19
4.2 リセット・ベクタと割込みベクタの割当て 20
4.3 レジスタ・アドレスとビット割当て 21
4.4 RAM 24
4.5 FLASH 25
4.5.1 主な特長 25
4.5.2 消去とプログラムの時間 25
4.5.3 消去およびプログラム・コマンドの実行 26
4.5.4 バースト・プログラムの実行 27
4.5.5 アクセス・エラー 29
4.5.6 FLASH のブロック保護 29
4.5.7 ベクタのリダイレクト 30
4.6 セキュリティ 30

目次

パラグラフ番号 **タイトル** **ページ番号**

4.7 FLASH のレジスタおよび制御ビット ... 31
4.7.1 FLASH クロック分周レジスタ（FCDIV） ... 31
4.7.2 FLASH オプション・レジスタ（FOPT および NVOPT） ... 32
4.7.3 FLASH コンフィギュレーション・レジスタ（FCNFG） ... 33
4.7.4 FLASH 保護レジスタ（FPROT および NVPROT） ... 34
4.7.5 FLASH ステータス・レジスタ（FSTAT） ... 34
4.7.6 FLASH コマンド・レジスタ（FCMD） ... 35

第 5 章
リセット、割込み、および全体的なシステム制御

5.1 はじめに ... 37
5.2 主な特長 ... 37
5.3 MCU のリセット ... 37
5.4 コンピュータ動作保証（COP）ウォッチドッグ ... 38
5.5 割込み ... 39
5.5.1 割込みスタック・フレーム ... 39
5.5.2 外部割込み要求ピン（$\overline{\text{IRQ}}$） ... 40
5.5.3 割込みのベクタ、ソース、およびローカル・マスク ... 41
5.6 低電圧検出（LVD）システム ... 43
5.6.1 パワーオン・リセットの処理 ... 43
5.6.2 LVD リセットの処理 ... 43
5.6.3 LVD 割込みの処理 ... 43
5.6.4 低電圧警告（LVW） ... 43
5.7 リアルタイム割込み（RTI） ... 43
5.8 リセット、割込み、およびシステム制御レジスタと制御ビット ... 44
5.8.1 割込みピン要求ステータス / 制御レジスタ（IRQSC） ... 44
5.8.2 システム・リセット・ステータス・レジスタ（SRS） ... 45
5.8.3 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR） ... 46
5.8.4 システム・オプション・レジスタ 1（SOPT1） ... 46
5.8.5 システム・オプション・レジスタ 2（SOPT2） ... 47
5.8.6 システム・デバイス識別レジスタ（SDIDH、SDIDL） ... 48
5.8.7 システム・リアルタイム割込みステータス / 制御レジスタ（SRTISC） ... 49
5.8.8 システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1） ... 50
5.8.9 システム・パワー・マネジメント・ステータス / 制御 2 レジスタ（SPMSC2） ... 51
5.8.10 システム・パワー・マネジメント・ステータス / 制御 3 レジスタ（SPMSC3） ... 51

第 6 章
パラレル入力 / 出力の制御

6.1 ポート・データとデータ方向 ... 53
6.2 ピン制御ープルアップ、スルー・レート、およびドライブ強度 ... 54
6.3 ストップ・モードでのピンの動作 ... 54
6.4 パラレル I/O のレジスタ ... 55
6.4.1 ポート A のレジスタ ... 55
6.4.2 ポート A の制御レジスタ ... 56
6.4.3 ポート B のレジスタ ... 57
6.4.4 ポート B の制御レジスタ ... 58

目次

パラグラフ番号 **タイトル** **ページ番号**

第 7 章
中央演算処理装置（S08CPUV2）

7.1 はじめに 61
7.1.1 主な特長 61
7.2 プログラマズ・モデルと CPU レジスタ 62
7.2.1 アキュムレータ（A） 62
7.2.2 インデックス・レジスタ（H:X） 62
7.2.3 スタック・ポインタ（SP） 62
7.2.4 プログラム・カウンタ（PC） 63
7.2.5 コンディション・コード・レジスタ（CCR） 63
7.3 アドレッシング・モード 64
7.3.1 インハラント・アドレッシング・モード（INH） 64
7.3.2 相対アドレッシング・モード（REL） 64
7.3.3 イミディエイト・アドレッシング・モード（IMM） 65
7.3.4 ダイレクト・アドレッシング・モード（DIR） 65
7.3.5 拡張アドレッシング・モード（EXT） 65
7.3.6 インデックスド・アドレッシング・モード 65
7.4 特殊な処理 66
7.4.1 リセット・シーケンス 66
7.4.2 割込みシーケンス 66
7.4.3 ウェイト・モードの動作 67
7.4.4 ストップ・モードの動作 67
7.4.5 BGND 命令 67
7.5 HCS08 命令セット一覧 68

第 8 章
アナログ・コンパレータ（S08ACMPV2）

8.1 はじめに 79
8.1.1 ACMP の設定情報 79
8.1.2 ACMP/TPM の設定情報 79
8.1.3 主な特長 81
8.1.4 動作モード 81
8.1.5 ブロック図 81
8.2 外部信号の説明 83
8.3 レジスタ定義 83
8.3.1 ACMP ステータス / 制御レジスタ（ACMPSC） 83
8.4 機能の説明 84

第 9 章
アナログ / デジタル・コンバータ（S08ADC10V1）

9.1 はじめに 85
9.1.1 モジュールの設定 87
9.1.2 主な特長 89
9.1.3 ブロック図 90
9.2 外部信号の説明 91
9.2.1 アナログ電源（VDDAD） 91

目次

パラグラフ番号　　タイトル　　ページ番号

9.2.2 アナログ接地（VSSAD） 91
9.2.3 高位基準電圧（VREFH） 91
9.2.4 低位基準電圧（VREFL） 91
9.2.5 アナログ・チャネル入力（ADx） 91
9.3 レジスタ定義 91
9.3.1 ステータス / 制御レジスタ 1（ADCSC1） 92
9.3.2 ステータス / 制御レジスタ 2（ADCSC2） 93
9.3.3 データ結果上位レジスタ（ADCRH） 94
9.3.4 データ結果下位レジスタ（ADCRL） 94
9.3.5 比較値上位レジスタ（ADCCVH） 94
9.3.6 比較値下位レジスタ（ADCCVL） 95
9.3.7 コンフィギュレーション・レジスタ（ADCCFG） 95
9.3.8 ピン制御 1 レジスタ（APCTL1） 96
9.3.9 P ピン制御 2 レジスタ（APCTL2） 97
9.3.10 ピン制御 3 レジスタ（APCTL3） 98
9.4 機能の説明 98
9.4.1 クロック選択と分周制御 99
9.4.2 入力選択とピン制御 99
9.4.3 ハードウェア・トリガ 99
9.4.4 変換制御 100
9.4.5 自動比較機能 102
9.4.6 MCU のウェイト・モード動作 102
9.4.7 MCU のストップ 3 モード動作 102
9.4.8 MCU のストップ 1 およびストップ 2 モード動作 103
9.5 初期化情報 103
9.5.1 ADC モジュールの初期化例 103
9.6 アプリケーション情報 105
9.6.1 外部ピンと接続 105
9.6.2 誤差の原因 106

第 10 章
内部クロック・ソース（S08ICSV1）

10.1 はじめに 109
10.1.1 モジュールの設定 109
10.1.2 主な特長 111
10.1.3 動作モード 111
10.1.4 ブロック図 112
10.2 外部信号の説明 113
10.3 レジスタ定義 113
10.3.1 ICS 制御レジスタ 1（ICSC1） 113
10.3.2 ICS 制御レジスタ 2（ICSC2） 114
10.3.3 ICS トリム・レジスタ（ICSTRM） 114
10.3.4 ICS ステータス / 制御（ICSSC） 115
10.4 機能の説明 116
10.4.1 動作モード 116
10.4.2 モードの切り替え 118
10.4.3 バス周波数分周比 118
10.4.4 低電力ビットの使い方 118
10.4.5 内部基準クロック 118
10.4.6 オプションの外部基準クロック 119

目次

パラグラフ番号 **タイトル** **ページ番号**

10.4.7 固定周波数クロック 119
10.5 モジュールの初期化 119
10.5.1 ICS モジュールの初期化シーケンス 119

第 11 章
インター・インテグレーテッド回路（S08IICV1）

11.1 はじめに 121
11.1.1 モジュールの設定 121
11.1.2 主な特長 125
11.1.3 動作モード 125
11.1.4 ブロック図 126
11.2 外部信号の説明 126
11.2.1 SCL（シリアル・クロック・ライン） 126
11.2.2 SDA（シリアル・データ・ライン） 126
11.3 レジスタ定義 127
11.3.1 IIC アドレス・レジスタ（IICA） 127
11.3.2 IIC 周波数分周レジスタ（IICF） 127
11.3.3 IIC 制御レジスタ（IICC） 130
11.3.4 IIC ステータス・レジスタ（IICS） 131
11.3.5 IIC データ I/O レジスタ（IICD） 132
11.4 機能の説明 133
11.4.1 IIC プロトコル 133
11.5 リセット 136
11.6 割込み 136
11.6.1 バイト転送割込み 136
11.6.2 アドレス検出割込み 136
11.6.3 アービトレーション喪失割込み 136

第 12 章
キーボード割込み（S08KBIV2）

12.1 はじめに 137
12.1.1 主な特長 139
12.1.2 動作モード 139
12.1.3 ブロック図 139
12.2 外部信号の説明 140
12.3 レジスタ定義 140
12.3.1 KBI ステータス / 制御レジスタ（KBISC） 140
12.3.2 KBI ピン・イネーブル・レジスタ（KBIPE） 141
12.3.3 KBI エッジ選択レジスタ（KBIES） 141
12.4 機能の説明 142
12.4.1 エッジのみ検出 142
12.4.2 エッジおよびレベルの検出 142
12.4.3 KBI のプルアップ / プルダウン抵抗 142
12.4.4 KBI の初期化 142

目次

パラグラフ番号 **タイトル** **ページ番号**

第 13 章
モジュロ・タイマ（S08MTIMV1）

13.1 はじめに ... 143
13.1.1 MTIM/TPM 設定情報 ... 143
13.1.2 特長 ... 145
13.1.3 動作モード ... 145
13.1.4 ブロック図 ... 146
13.2 外部信号の説明 ... 146
13.3 レジスタ定義 ... 146
13.3.1 MTIM ステータス / 制御レジスタ（MTIMSC） ... 147
13.3.2 MTIM クロック・コンフィギュレーション・レジスタ（MTIMCLK） ... 148
13.3.3 MTIM カウンタ・レジスタ（MTIMCNT） ... 148
13.3.4 MTIM モジュロ・レジスタ（MTIMMOD） ... 149
13.4 機能の説明 ... 150
13.4.1 MTIM の動作例 ... 151

第 14 章
シリアル通信インタフェース（S08SCIV3）

14.1 はじめに ... 153
14.1.1 主な特長 ... 156
14.1.2 動作モード ... 156
14.1.3 ブロック図 ... 157
14.2 レジスタ定義 ... 159
14.2.1 SCI ボーレート・レジスタ（SCIxBDH、SCIxBHL） ... 159
14.2.2 SCI 制御レジスタ 1（SCIxC1） ... 160
14.2.3 SCI 制御レジスタ 2（SCIxC2） ... 161
14.2.4 SCI ステータス・レジスタ 1（SCIxS1） ... 162
14.2.5 SCI ステータス・レジスタ 2（SCIxS2） ... 163
14.2.6 SCI 制御レジスタ 3（SCIxC3） ... 164
14.2.7 SCI データ・レジスタ（SCIxD） ... 165
14.3 機能の説明 ... 165
14.3.1 ボーレートの生成 ... 165
14.3.2 トランスミッタの機能 ... 166
14.3.3 レシーバの機能 ... 167
14.3.4 割込みおよびステータスのフラグ ... 168
14.4 その他の SCI 機能 ... 169
14.4.1 8 ビットおよび 9 ビットのデータ・モード ... 169
14.4.2 ストップ・モードの動作 ... 170
14.4.3 ループ・モード ... 170
14.4.4 シングルワイヤの動作 ... 170

第 15 章
シリアル・ペリフェラル・インタフェース（S08SPIV3）

15.1 はじめに ... 171
15.1.1 主な特長 ... 173
15.1.2 ブロック図 ... 173

目次

パラグラフ番号 **タイトル** **ページ番号**

15.1.3 SPI ボーレートの生成 175
15.2 外部信号の説明 175
15.2.1 SPSCK － SPI シリアル・クロック 175
15.2.2 MOSI －マスタ・データ出力、スレーブ・データ入力 175
15.2.3 MISO － マスタ・データ入力、スレーブ・データ出力 175
15.2.4 SS －スレーブ選択 175
15.3 レジスタ定義 176
15.3.1 SPI 制御レジスタ 1（SPIxC1） 176
15.3.2 SPI 制御レジスタ 2（SPIxC2） 177
15.3.3 SPI ボーレート・レジスタ （SPIxBR） 178
15.3.4 SPI ステータス・レジスタ （SPIxS） 179
15.3.5 SPI データ・レジスタ （SPIxD） 180
15.4 機能の説明 181
15.4.1 SPI クロックのフォーマット 181
15.4.2 SPI 割込み 183
15.4.3 モード・フォルト検出 184

第 16 章
タイマ / パルス幅モジュレータ （S08TPMV2）

16.1 はじめに 185
16.1.1 ACMP/TPM 設定情報 185
16.1.2 MTIM/TPM 設定情報 185
16.1.3 ブロック図 187
16.2 外部信号の説明 188
16.2.1 外部の TPM クロック・ソース 188
16.2.2 TPMCHn － TPM チャネル n の I/O ピン 188
16.3 レジスタ定義 188
16.3.1 タイマ・ステータス / 制御レジスタ （TPMSC） 189
16.3.2 タイマ・カウンタ・レジスタ （TPMCNTH:TPMCNTL） 190
16.3.3 タイマ・カウンタ・モジュロ・レジスタ （TPMMODH:TPMMODL） 191
16.3.4 タイマ・チャネル n ステータス / 制御レジスタ （TPMCnSC） 191
16.3.5 タイマ・チャネル値レジスタ （TPMCnVH:TPMCnVL） 193
16.4 機能の説明 193
16.4.1 カウンタ 194
16.4.2 チャネル・モードの選択 195
16.4.3 センター・アライン PWM モード 196
16.5 TPM の割込み 197
16.5.1 タイマ割込みフラグのクリア 198
16.5.2 タイマ・オーバフロー割込みの説明 198
16.5.3 チャネル・イベント割込みの説明 198
16.5.4 PWM のデューティ・サイクル完了イベント 198

第 17 章
開発サポート

17.1 はじめに 199
17.1.1 モジュール設定 199
17.2 主な特長 200
17.3 バックグラウンド・デバッグ・コントローラ （BDC） 200

目次

パラグラフ番号 **タイトル** **ページ番号**

17.3.1 BKGD ピンの説明 201
17.3.2 通信の詳細 201
17.3.3 BDC コマンド 205
17.3.4 BDC のハードウェア・ブレークポイント 207
17.4 レジスタ定義 207
17.4.1 BDC のレジスタおよび制御ビット 207
17.4.2 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR） 209

付録 A
Electrical Characteristics

A.1 Introduction........ 211
A.2 Absolute Maximum Ratings 211
A.3 Thermal Characteristics 212
A.4 ESD Protection and Latch-Up Immunity........ 214
A.5 DC Characteristics 215
A.6 Supply Current Characteristics 218
A.7 External Oscillator (XOSC) and Internal Clock Source (ICS) Characteristics 220
A.8 AC Characteristics 223
A.8.1 Control Timing 223
A.8.2 TPM/MTIM Module Timing........ 224
A.8.3 SPI Timing........ 225
A.9 Analog Comparator (ACMP) Electricals........ 228
A.10 ADC Characteristics 228
A.11 FLASH Specifications 231
A.12 EMC Performance 232
A.12.1 Radiated Emissions........ 232
A.12.2 Conducted Transient Susceptibility........ 232

付録 B
Ordering Information and Mechanical Drawings

B.1 Ordering Information........ 235
B.1.1 Device Numbering Scheme 235
B.2 Mechanical Drawings 235

図リスト

図番号	タイトル	ページ番号

1-1 MC9S08QG8/4 のブロック図 2
1-2 システム・クロック供給図 3
2-1 8 ピン・パッケージ 5
2-2 16 ピン・パッケージ 6
2-3 基本システムの接続 7
4-1 MC9S08QG8/4 メモリ・マップ 19
4-2 FLASH の消去 / プログラムのフローチャート 27
4-3 FLASH バースト・プログラムのフローチャート 28
4-4 ブロック保護メカニズム 29
4-5 FLASH クロック分周レジスタ（FCDIV） 31
4-6 FLASH オプション・レジスタ（FOPT） 32
4-7 FLASH コンフィギュレーション・レジスタ（FCNFG） 33
4-8 FLASH 保護レジスタ（FPROT） 34
4-9 FLASH ステータス・レジスタ（FSTAT） 34
4-10 FLASH コマンド・レジスタ（FCMD） 35
5-1 割込みスタック・フレーム 40
5-2 割込みピン要求ステータス / 制御レジスタ（IRQSC） 44
5-3 システム・リセット・ステータス（SRS） 45
5-4 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR） 46
5-5 システム・オプション・レジスタ 1（SOPT1） 46
5-6 システム・オプション・レジスタ 2（SOPT2） 47
5-7 システム・デバイス識別レジスタ上位（SDIDH） 48
5-8 システム・デバイス識別レジスタ下位（SDIDL） 48
5-9 システム・リアルタイム割込みステータス / 制御レジスタ（SRTISC） 49
5-10 システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1） 50
5-11 システム・パワー・マネジメント・ステータス / 制御 2 レジスタ（SPMSC2） 51
5-12 システム・パワー・マネジメント・ステータス / 制御 3 レジスタ（SPMSC3） 51
6-1 パラレル I/O のブロック図 53
6-2 ポート A データ・レジスタ（PTAD） 55
6-3 ポート A データ方向レジスタ（PTADD） 55
6-4 ポート A の内部プルアップ・イネーブル・レジスタ（PTAPE） 56
6-5 ポート A のデータ方向レジスタ（PTADD） 56
6-6 ポート A のスルー・レート・イネーブル・レジスタ（PTASE） 56
6-7 ポート A のデータ方向レジスタ（PTADD） 56
6-8 ポート A のドライブ強度選択レジスタ（PTADS） 57
6-9 ポート A のデータ方向レジスタ（PTADD） 57
6-10 ポート B データ・レジスタ（PTBD） 57
6-11 ポート B のデータ方向（PTBDD） 58
6-12 ポート B の内部プルアップ・イネーブル・レジスタ（PTBPE） 58
6-13 ポート A のデータ方向レジスタ（PTADD） 58
6-14 ポート B のスルー・レート・イネーブル・レジスタ（PTBSE） 59
6-15 ポート A のデータ方向レジスタ（PTADD） 59
6-16 ポート B のドライブ強度選択レジスタ（PTBDS） 59
6-17 ポート A のデータ方向レジスタ（PTADD） 59
7-1 CPU レジスタ 62
7-2 コンディション・コード・レジスタ 63
8-1 MC9S08QG8/4 ブロック図における ACMP ブロックおよびピンの位置付け 80
8-2 Analog Comparator（ACMP）のブロック図 82
8-3 ACMP ステータス / 制御レジスタ 83
9-1 ADC モジュールとピンを強調表示した MC9S08QG8/4 のブロック図 86
9-2 ADC ブロック図 90
9-3 ステータス / 制御レジスタ（ADCSC1） 92

図リスト

図番号 **タイトル** **ページ番号**

9-4 入力チャネルの選択 92
9-5 ステータス / 制御レジスタ 2（ADCSC2）....93
9-6 データ結果上位レジスタ（ADCRH）....94
9-7 データ結果下位レジスタ（ADCRL）....94
9-8 比較値上位レジスタ（ADCCVH）....94
9-9 比較値下位レジスタ（ADCCVL）....95
9-10 コンフィギュレーション・レジスタ（ADCCFG）....95
9-11 ピン制御 1 レジスタ（APCTL1）....96
9-12 ピン制御 2 レジスタ（APCTL2）....97
9-13 ピン制御 3 レジスタ（APCTL3）....98
9-14 初期化例のフローチャート....104
10-1 ICS ブロックとピンを強調表示した MC9S08QG8/4 のブロック図....110
10-2 内部クロック・ソース（ICS）のブロック図....112
10-3 ICS 制御レジスタ 1（ICSC1）....113
10-4 ICS 制御レジスタ 2（ICSC2）....114
10-5 ICS トリム・レジスタ（ICSTRM）....114
10-6 ICS ステータス / 制御レジスタ（ICSSC）....115
10-7 クロック・モードの切り替え....116
11-1 IIC ブロックとピンを強調表示した MC9S08QG8/4 のブロック図....122
11-2 IIC モジュール・クイック・スタート....123
11-3 通常の IIC 割込みルーチン....124
11-4 IIC の機能ブロック図....126
11-5 IIC アドレス・レジスタ（IICA）....127
11-6 IIC 周波数分周レジスタ（IICF）....127
11-7 IIC 制御レジスタ（IICC）....130
11-8 IIC ステータス・レジスタ（IICS）....131
11-9 IIC データ I/O レジスタ（IICD）....132
11-10 IIC バス転送信号....133
11-11 IIC クロックの同期化....135
12-1 MC9S08QG8/4 ブロック図における KBI ブロックおよびピンの位置付け....138
12-2 Keyboard Interrupt（KBI）のブロック図....139
12-3 KBI ステータス / 制御レジスタ....140
12-4 KBI ピン・イネーブル・レジスタ....141
12-5 KBI エッジ選択レジスタ....141
13-1 MC9S080QG8/4 ブロック図における MTIM のブロックとピンの位置付け....144
13-2 モジュロ・タイマ（MTIM）のブロック図....146
13-3 MTIM ステータス / 制御レジスタ....147
13-4 MTIM クロック・コンフィギュレーション・レジスタ....148
13-5 MTIM カウンタ・レジスタ....148
13-6 MTIM モジュロ・レジスタ....149
13-7 MTIM カウンタ・オーバフローの例....151
14-1 MC9S08QG8/4 のブロック図における SCI ブロックおよびピンの位置付け....154
14-2 SCI モジュールのクイック・スタート....155
14-3 SCI トランスミッタのブロック図....157
14-4 SCI レシーバのブロック図....158
14-5 SCI ボーレート・レジスタ（SCIxBDH）....159
14-6 SCI ボーレート・レジスタ（SCIxBDL）....159
14-7 SCI 制御レジスタ 1（SCIxC1）....160
14-8 SCI 制御レジスタ 2（SCIxC2）....161
14-9 SCI ステータス・レジスタ 1（SCIxS1）....162
14-10 SCI ステータス・レジスタ 2（SCIxS2）....163
14-11 SCI 制御レジスタ 3（SCIxC3）....164

図リスト

図番号 **タイトル** **ページ番号**

14-12 SCI データ・レジスタ（SCIxD）......165
14-13 SCI ボーレートの生成......165
15-1 MC9S08QG8/4 のブロック図における SPI ブロックおよびピンの位置付け......172
15-2 SPI システムの接続......173
15-3 SPI モジュールのブロック図......174
15-4 SPI ボーレートの生成......175
15-5 SPI 制御レジスタ 1（SPIxC1）......176
15-6 SPI 制御レジスタ 2（SPIxC2）......177
15-7 SPI ボーレート・レジスタ（SPIxBR）......178
15-8 SPI ステータス・レジスタ（SPIxS）......179
15-9 SPI データ・レジスタ（SPIxD）......180
15-10 SPI クロックのフォーマット（CPHA = 1）......182
15-11 SPI クロックのフォーマット（CPHA = 0）......183
16-1 MC9S08QG8/4 のブロック図における TPM ブロックおよびピンの位置付け......186
16-2 TPM のブロック図......187
16-3 タイマ・ステータス / 制御レジスタ（TPMSC）......189
16-4 タイマ・カウンタ・レジスタ上位（TPMCNTH）......190
16-5 タイマ・カウンタ・レジスタ下位（TPMCNTL)......190
16-6 タイマ・カウンタ・モジュロ・レジスタ上位（TPMMODH）......191
16-7 タイマ・カウンタ・モジュロ・レジスタ下位（TPMMODL）......191
16-8 タイマ・チャネル n ステータス / 制御レジスタ（TPMCnSC）......191
16-9 タイマ・チャネル値レジスタ上位（TPMCnVH）......193
16-10 タイマ ・チャネル値レジスタ下位（TPMCnVL）......193
16-11 PWM の周期とパルス幅（ELSnA = 0）......196
16-12 CPWM の周期とパルス幅（ELSnA = 0）......197
17-1 BDM ツールのコネクタ......200
17-2 BDC のホストからターゲットへのシリアル・ビット・タイミング......202
17-3 BDC のターゲットからホストへのシリアル・ビット・タイミング（論理 1）......203
17-4 BDM のターゲットからホストへのシリアル・ビット・タイミング（論理 0）......204
17-5 BDC ステータス / 制御レジスタ（BDCSCR）......208
17-6 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）......209
A-1 Pullup and Pulldown Typical Resistor Values (VDD = 3.0 V)......216
A-2 Typical Low-Side Driver (Sink) Characteristics — Low Drive (PTxDSn = 0)......217
A-3 Typical Low-Side Driver (Sink) Characteristics — High Drive (PTxDSn = 1)......217
A-4 Typical High-Side (Source) Characteristics — Low Drive (PTxDSn = 0)......217
A-5 Typical High-Side (Source) Characteristics — High Drive (PTxDSn = 1)......218
A-6 Typical Run I_{DD} for FBE and FEE, I_{DD} vs. V_{DD} (ACMP and ADC off, All Other Modules Enabled)......219
A-7 Typical Crystal or Resonator Circuit......221
A-8 Deviation of DCO Output from Trimmed Frequency (8 MHz, 3.6 V)......222
A-9 Deviation of DCO Output from Trimmed Frequency (8 MHz, 25×C)......222
A-10 Reset Timing......223
A-11 IRQ/KBIPx Timing......224
A-12 Timer External Clock......224
A-13 Timer Input Capture Pulse......224
A-14 SPI Master Timing (CPHA = 0)......226
A-15 SPI Master Timing (CPHA =1)......226
A-16 SPI Slave Timing (CPHA = 0)......227
A-17 SPI Slave Timing (CPHA = 1)......227
A-18 ADC Input Impedance Equivalency Diagram......229

図リスト

図番号 **タイトル** **ページ番号**

表リスト

表番号	タイトル	ページ番号

1-1 MC9S08QG8/4 シリーズ 1
1-2 各オンチップ・モジュールのバージョン 3
2-1 ピン共有優先度 10
2-2 ピン機能の参照先 11
3-1 ストップ・モードの選択 14
3-2 ストップ・モードの動作 17
4-1 リセット・ベクタと割込みベクタ 20
4-2 ダイレクトページ・レジスタ一覧 21
4-3 上位ページ・レジスタ一覧 23
4-4 不揮発レジスタ一覧 24
4-5 消去とプログラムの時間 25
4-7 FLASH クロック分周器の設定 32
4-6 FCDIV レジスタのフィールド説明 32
4-9 セキュリティ状態 33
4-10 FCNFG レジスタのフィールド説明 33
4-8 FCDIV レジスタのフィールド説明 33
4-11 FPROT レジスタのフィールド説明 34
4-12 FSTAT レジスタのフィールド説明 34
4-13 FLASH コマンド 35
5-1 COP の設定オプション 38
5-2 ベクタ一覧 42
5-3 IRQSC レジスタのフィールド説明 44
5-4 SRS レジスタのフィールド説明 45
5-5 SBDFR レジスタのフィールド説明 46
5-6 SOPT1 レジスタのフィールド説明 47
5-7 SOPT2 レジスタのフィールド説明 47
5-8 SDIDH レジスタのフィールド説明 48
5-9 SDIDL レジスタのフィールド説明 48
5-10 SRTISC レジスタのフィールド説明 49
5-11 リアルタイム割込み周期 49
5-12 SPMSC1 レジスタのフィールド説明 50
5-13 SPMSC2 レジスタのフィールド説明 51
5-14 SPMSC3 レジスタのフィールド説明 52
6-1 PTAD レジスタのフィールド説明 55
6-2 PTADD レジスタのフィールド説明 55
6-3 PTAPE レジスタのフィールド説明 56
6-4 PTASE レジスタのフィールド説明 56
6-5 PTADS レジスタのフィールド説明 57
6-6 PTBD レジスタのフィールド説明 58
6-7 **PTBDD** レジスタのフィールド説明 58
6-9 PTBSE レジスタのフィールド説明 59
6-8 PTBPE レジスタのフィールド説明 59
6-10 PTBDS レジスタのフィールド説明 60
7-1 CCR レジスタのフィールド説明 63
7-2 HCS08 命令セット一覧 70
7-3 オペコード・マップ 76
8-1 信号属性 83
8-2 ACMP ステータス / 制御レジスタのフィールド説明 83
9-1 ADC のチャネル割り当て 87
9-2 信号特性 91
9-3 ADCSC1 レジスタのフィールド説明 92
9-4 ADCSC2 レジスタのフィールド説明 93

表リスト

表番号	タイトル	ページ番号

9-5 ADCCFG レジスタのフィールド説明 95
9-6 クロック分周比選択....95
9-7 変換モード....96
9-8 入力クロック選択....96
9-9 APCTL1 レジスタのフィールド説明 96
9-10 APCTL2 レジスタのフィールド説明 97
9-11 APCTL3 レジスタのフィールド説明 98
9-12 各制御条件での合計変換時間....101
10-1 ICS 制御レジスタ 1 のフィールド説明 113
10-2 ICS 制御レジスタ 2 のフィールド説明 114
10-3 ICS トリム・レジスタのフィールド説明 115
10-4 ICS ステータス / 制御レジスタのフィールド説明 115
11-1 IIC の位置オプション 121
11-2 IICA レジスタのフィールド説明 127
11-3 IICA レジスタのフィールド説明 128
11-4 IIC の分周比とホールド値 129
11-5 IICC レジスタのフィールド説明....130
11-6 IICS レジスタのフィールド説明 131
11-7 IICD レジスタのフィールド説明 132
11-8 割込みのまとめ....136
12-1 信号属性....140
12-2 KBISC レジスタのフィールド説明....140
12-3 KBIPE レジスタのフィールド説明....141
12-4 KBIES レジスタのフィールド説明....141
13-1 信号特性....146
13-2 MTIM ステータス / 制御レジスタのフィールド説明 147
13-3 MTIM クロック・コンフィギュレーション・レジスタのフィールド説明....148
13-4 MTIM カウンタ・レジスタのフィールド説明....149
13-5 MTIM モジュロ・レジスタのフィールド説明....149
14-1 SCIxBDH のフィールド説明....159
14-3 SCIxC1 のフィールド説明....160
14-2 SCIxBDL のフィールド説明 160
14-4 SCIxC2 のフィールド説明....161
14-5 SCIxS1 のフィールド説明 162
14-7 SCIxC3 のフィールド説明....164
14-6 SCIxS2 のフィールド説明 164
14-8 ブレーク・キャラクタの長さ....167
15-1 SPIxC1 のフィールド説明 176
15-2 SS ピンの機能 177
15-3 SPIxC2 レジスタのフィールド説明 177
15-4 SPIxBR レジスタのフィールド説明 178
15-5 SPI ボーレートのプリスケーラ分周値....179
15-6 SPI ボーレートの分周値....179
15-7 SPIxS レジスタのフィールド説明....180
16-1 TPMSC レジスタのフィールド説明 189
16-2 TPM クロック・ソースの選択 190
16-3 プリスケール分周値の選択....190
16-4 TPMCnSC レジスタのフィールド説明....192
16-5 モード、エッジ、およびレベルの選択....192
17-1 BDC コマンドの一覧 206
17-2 BDCSCR レジスタのフィールド説明....208
17-3 BR レジスタのフィールド説明 210
A-1 Absolute Maximum Ratings 211

表リスト

表番号	タイトル	ページ番号

A-2 Thermal Characteristics 212
A-3 ESD and Latch-up Test Conditions 214
A-4 ESD and Latch-Up Protection Characteristics....................214
A-5 DC Characteristics (Temperature Range = –40 to 85×C Ambient)....................215
A-6 Supply Current Characteristics 218
A-7 XOSC and ICS Specifications (Temperature Range = –40 to 85×C Ambient)....................220
A-8 Control Timing....................223
A-9 TPM/MTIM Input Timing 224
A-10 SPI Timing 225
A-11 Analog Comparator Electrical Specifications....................228
A-12 3 Volt 10-bit ADC Operating Conditions 228
A-13 3 Volt 10-bit ADC Characteristics....................229
A-14 FLASH Characteristics 231
A-15 Radiated Emissions, Electric Field 232
A-16 Conducted Susceptibility, EFT/B 233
A-17 Susceptibility Performance Classification 233
B-1 Device Numbering System 235
B-2 Package Information 235

表リスト

表番号 **タイトル** **ページ番号**

第 1 章
デバイスの概要

1.1 はじめに

MC9S08QG8 は、低コストで高性能の 8 ビット・マイクロコントローラ・ユニット（MCU）HCS08 ファミリの製品です。このファミリのすべての MCU は、強化された HCS08 コアを採用し、モジュール、メモリ・サイズ、メモリ・タイプ、およびパッケージ・タイプのさまざまなバリエーションがあります。このファミリの各デバイスの特長については、表 1-1 を参照してください。

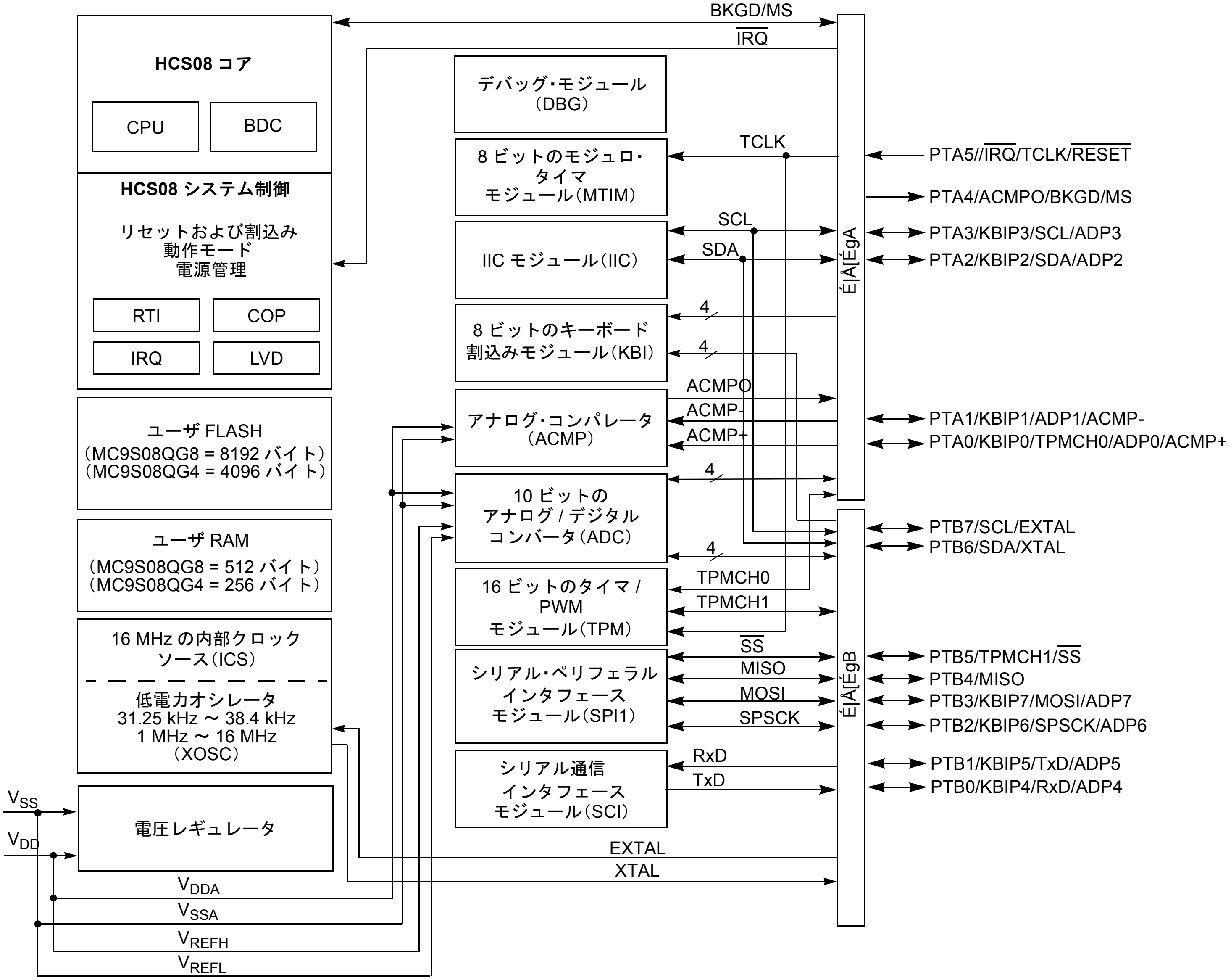
1.1.1 MC9S08QG8/4 シリーズのデバイス

表 1-1 に、MC9S08QG8/4 シリーズの MCU の主な特長の一覧を示します。

表 1-1. MC9S08QG8/4 シリーズ

特長	デバイス			
	MC9S08QG8		MC9S08QG4	
パッケージ	16 ピン	8 ピン	16 ピン	8 ピン
FLASH	8K		4K	
RAM	512		256	
XOSC	あり	なし	あり	なし
ICS	あり		あり	
ACMP	あり		あり	
ADC	8-ch	4-ch	8-ch	4-ch
DBG	あり		あり	なし
IIC	あり		あり	
IRQ	あり		あり	
KBI	8 ピン	4 ピン	8 ピン	4 ピン
MTIM	あり		あり	
SCI	あり	なし	あり	なし
SPI	あり	なし	あり	なし
TPM	2-ch	1-ch	2-ch	1-ch
I/O ピン	12 本の I/O 1 本の出力専用 1 本の入力専用	4 本の I/O 1 本の出力専用 1 本の入力専用	12 本の I/O 1 本の出力専用 1 本の入力専用	4 本の I/O 1 本の出力専用 1 本の入力専用
パッケージ・タイプ	16 PDIP 16 QFN 16 TSSOP	8 DFN 8 SOIC	16 QFN 16 TSSOP	8 DFN 8 PDIP 8 SOIC

1.1.2 MCU のブロック図



注意：

1. デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。
2. 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。
3. ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。
4. ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。
5. PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）でプルアップが可能です。
6. PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップが可能です。
7. BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。
8. SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9. ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 1-1. MC9S08QG8/4 のブロック図

表 1-2 に、各オンチップ・モジュールの機能バージョンを示します。

表 1-2. 各オンチップ・モジュールのバージョン

モジュール		バージョン
アナログ・コンパレータ	(ACMP)	2
アナログ / デジタル・コンバータ	(ADC)	1
中央処理装置	(CPU)	2
IIC モジュール	(IIC)	1
内部クロック・ソース	(ICS)	1
キーボード割込み	(KBI)	2
モジュロ・タイマ	(MTIM)	1
シリアル通信インタフェース	(SCI)	3
シリアル・ペリフェラル・インタフェース	(SPI)	3
タイマ・パルス幅モジュレータ	(TPM)	2
低電力オシレータ	(XOSC)	1
デバッグ・モジュール	(DBG)	2

システム・クロックの供給

図 1-2 は、クロック接続の概略を示しています。図からわかるように、MCU 内の一部のモジュールはクロック・ソースの選択が可能です。モジュールへのクロック入力は、モジュール機能の制御に使用されるクロックを示します。モジュールに関連付けられるメモリ・マップト・レジスタはすべて、BUSCLK でクロックを供給されます。

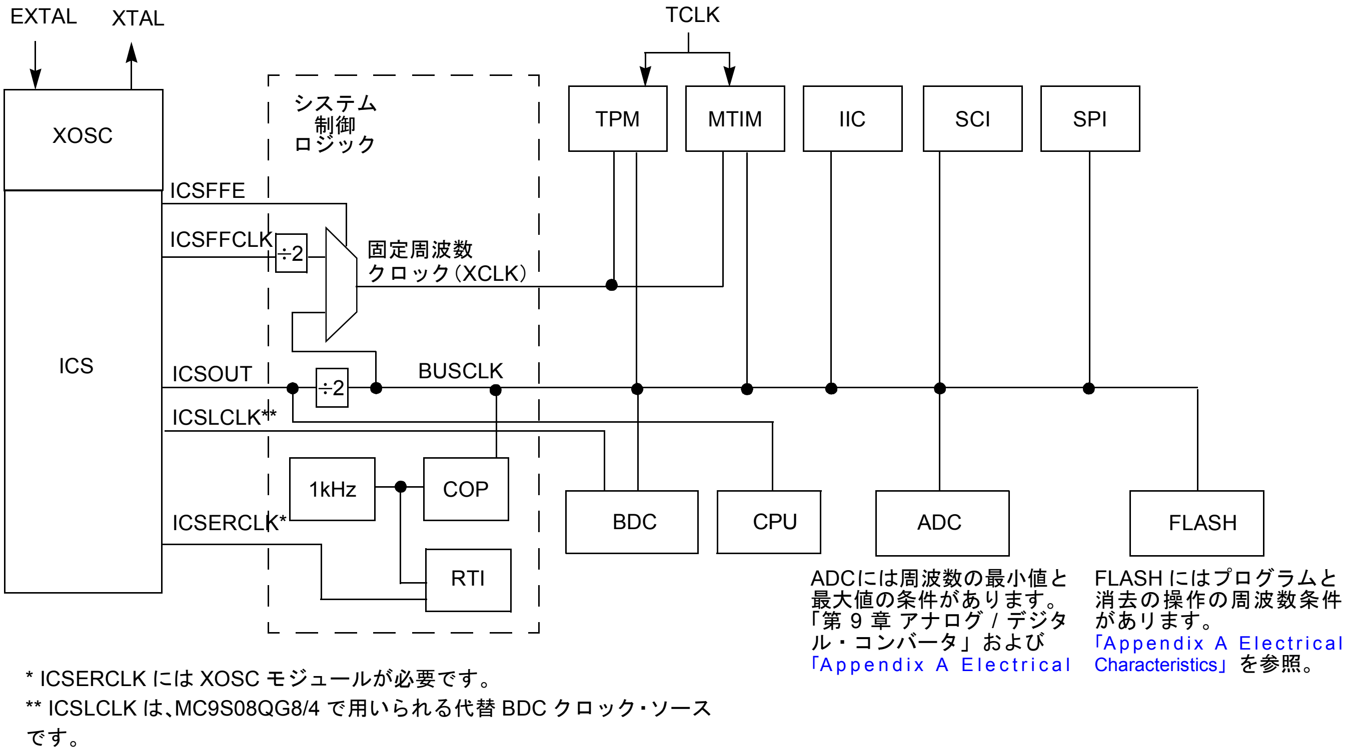


図 1-2. システム・クロック供給図

第 2 章
外部信号の説明

本章では、パッケージのピンに接続される信号について述べます。はじめにピンアウト図と信号を示し、その後で各信号について詳しく説明します。

2.1 デバイス・ピンの割当て

図 2-1 は 8 ピン・パッケージのピン割当て、図 2-2 は 16 ピン・パッケージのピン割当てです。このシリーズの各デバイスで選択できるパッケージ・タイプについては、表 1-1 を参照してください。

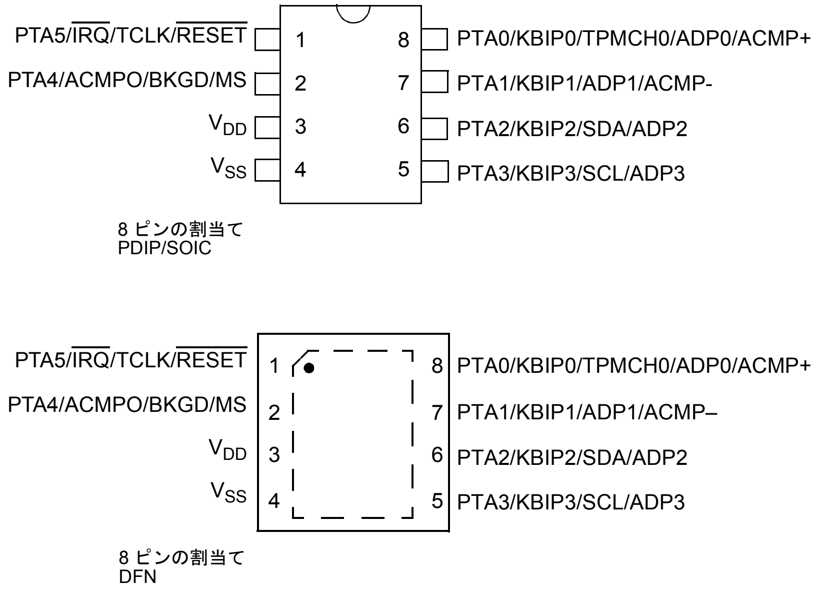


図 2-1. 8 ピン・パッケージ

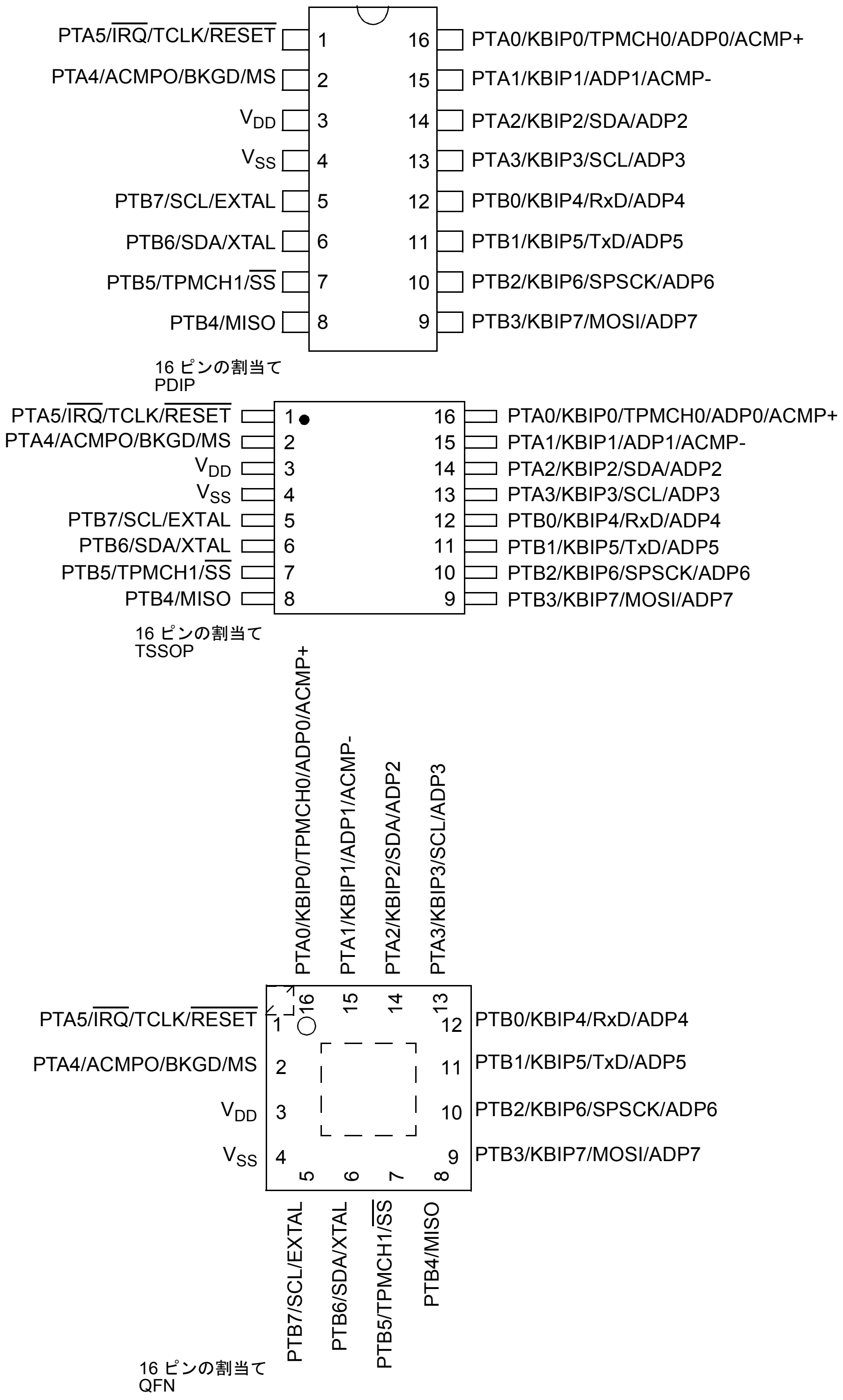
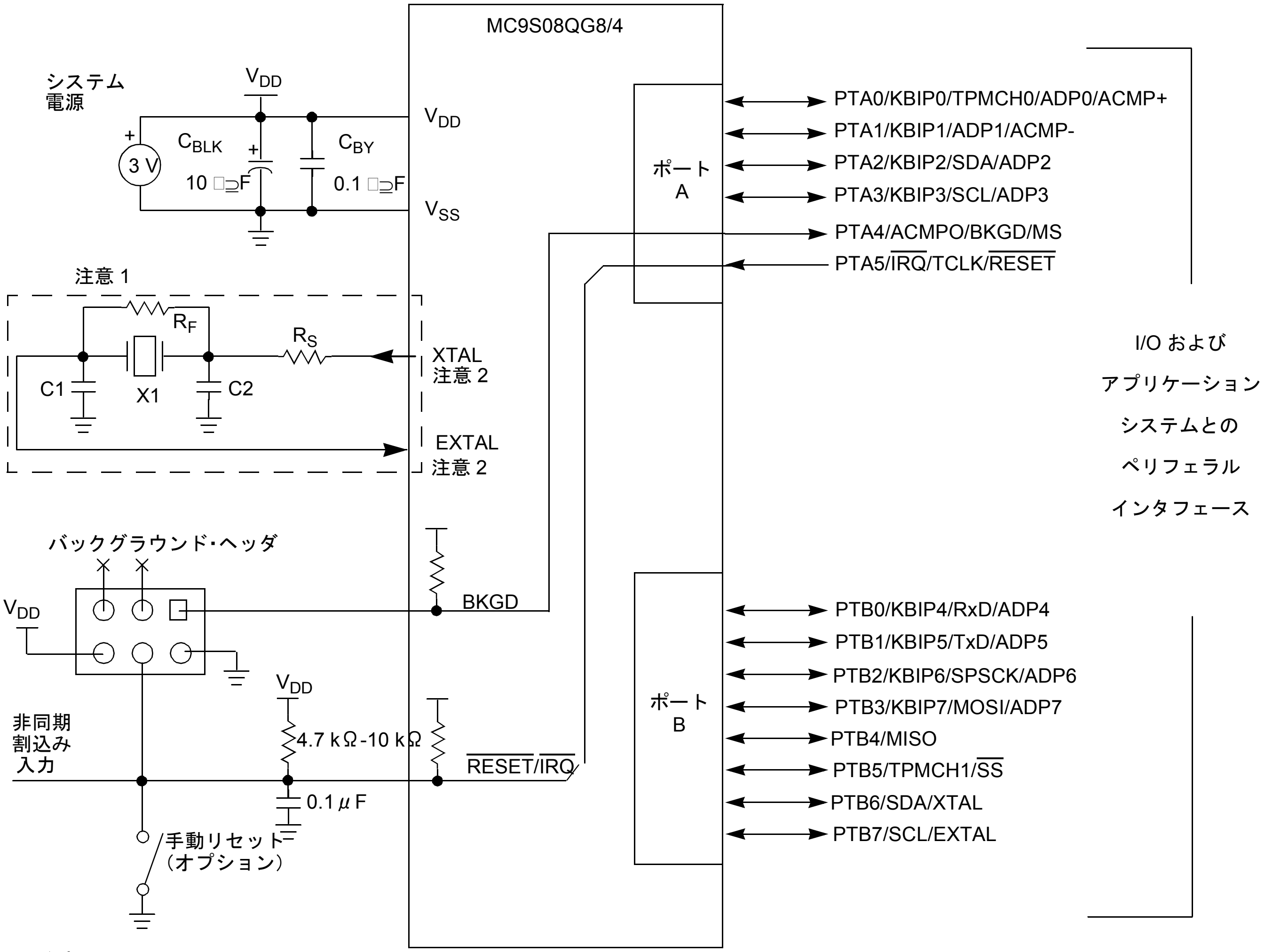


図 2-2. 16 ピン・パッケージ

2.2 推奨されるシステム接続

図 2-3 に、ほぼすべての MC9S08QG8/4 アプリケーション・システムに共通のピン接続を示します。



注意：
1. 内部クロックのオプションを使用しない場合は不要です。
2. XTAL は PTB6 と同一ピン、EXTAL は PTB7 と同一ピンです。
3. RESET ピンはユーザ・モードに再設定する場合にのみ使用でき、RESET ピンを使用して BDM に移行することはできません。BDM に移行するには、POR 中に MS を Low に維持するか、BDM コマンドの発行後に MS を Low にした状態で SBDFR の BDFR に 1 をライトします。
4. IRQ 機能は、オプションの内部プルアップ・デバイスを備えています。
5. ノイズの多い環境では、RESET/IRQ ピンで RC フィルタを使用することが推奨されます。

図 2-3. 基本システムの接続

2.2.1 電源

V_{DD} と V_{SS} は、MCU の主電源ピンです。I/O バッファ回路のすべて、ACMP モジュール、ADC モジュール、および内部の電圧レギュレータには、この電源が供給されます。内部の電圧レギュレータから、CPU およびその他の MCU 内部回路に対して調整済みの低電圧が供給されます。

通常のアプリケーション・システムでは、電源ピンに 2 個のコンデンサが接続されます。1 つは、10 μ F のタンタル・コンデンサなどの大容量の電界コンデンサで、システム全体の大容量コンデンサとして働きます。もう 1 つは、MCU の電源ピンにできるだけ近接して設けられる 0.1 μ F のセラミック・コンデンサで、高周波ノイズを抑止する役割を果たします。

2.2.2 オシレータ（XOSC）

リセット後の MCU は、内部クロック・ソース（ICS）モジュールの内部生成クロックを使用します。内部周波数は 16 MHz で、ICS のデフォルト設定ではリセット後のバスは 4 MHz です。ICS の詳細については、「第 10 章 内部クロック・ソース（S08ICSV1）」を参照してください。

MCU のオシレータ・モジュール（XOSC）はピアース・オシレータで、ICSC2 の RANGE ビットで 2 つの周波数範囲のいずれかを選択すれば、選択された周波数範囲で水晶またはセラミック発振子が使用されます。水晶またはセラミック発振子の代わりに、外部クロック・ソースを EXTAL 入力ピンに接続することも可能です。

以降の説明は図 2-3 を参照してください。R_S（使用する場合）および R_F は、炭素抵抗のような低インダクタンスの抵抗にします。巻線抵抗や一部の金属フィルム抵抗は、インダクタンスが大きすぎます。C1 と C2 は、通常は高周波動作専用の高品質セラミック・コンデンサを使用してください。

R_F は、水晶発振子の起動時に EXTAL 入力を線形レンジに保つバイアス・パスを形成するのに使用します。一般的なシステムでは 1 MΩ ～ 10 MΩ です。これより高い値は湿度に影響され、これより低い値はゲインが低下するために（極端な場合は）起動ができなくなります。

C1 と C2 は、通常は 5pF ～ 25pF のレンジで、水晶発振子や共振回路の条件に合わせて選択します。C1 と C2 の値を決定するときは、必ずプリント基板（PCB）と MCU ピンのキャパシタンスを考慮してください。水晶発振子のメーカーは、一般的には同じ値の C1 と C2 を直列にしたときの値となる負荷キャパシタンスを指定しています。各オシレータ・ピン（EXTAL と XTAL）のピンと PCB の結合キャパシタンスに最も近い値は、10 pF に見積もる必要があります。

2.2.3 リセット（入力専用）

パワーオン・リセット（POR）後に、PTA5/$\overline{\text{IRQ}}$/TCLK/$\overline{\text{RESET}}$ ピンは汎用入力ポート・ピンの PTA5 にデフォルト設定されます。SOPT1 の RSTPE をセットすると、ピンは RESET 入力ピンとして設定されます。RESET ピンとして設定したら、ピンは次の POR まで RESET のままです。RESET ピンは、Low でドライブされていれば外部ソースから MCU のリセットに使用できます。RESET ピンとしてイネーブルされると（RSTPE = 1）、内部プルアップ・デバイスが自動的にイネーブルされます。

注意

このピンは V_{DD} に対するクランプ・ダイオードを持たないため、V_{DD} 以上にドライブしないでください。

内部でプルアップを行った $\overline{\text{RESET}}$ ピンで測定される電圧は、V_{DD} のレベルまでプルされません。このピンに接続された内部ゲートは V_{DD} までプルされます。RESET のプルアップは、MCU の外部回路のプルアップに使用しないでください。

注意

EMC に影響されるアプリケーションでは、$\overline{\text{RESET}}$ ピン（イネーブルの場合）に外部 RC フィルタを使用することが推奨されます。例については、図 2-3 を参照してください。

2.2.4 バックグラウンド / モード選択（BKGD/MS）

パワーオン・リセット（POR）またはバックグラウンド・デバッグ強制リセット（「5.8.3 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR)」参照）中は、PTA4/ACMPO/BKGD/MS ピンはモード選択ピンとして機能します。リセット直後にピン機能がバックグラウンドとなり、バックグラウンド・デバッグ通信を使用できるようになります。BKGD/MS ピンとしてイネーブルされると（BKGDPE = 1)、内部プルアップ・デバイスが自動的にイネーブルされます。

バックグラウンド・デバッグ通知機能は、SOPT1 の BKGDPE をセットするとイネーブルされます。BKGDPE は、MCU のリセットのたびにセットされるため、PTA4/ACMPO/BKGD/MS ピンの代替機能を使用するにはクリアが必要となります。

このピンに何も接続しないと、MCU は POR 後の内部リセットまたは強制 BDC リセットの立ち上がりエッジで通常の動作モードとなります。標準の 6 ピン・バックグラウンド・デバッグ・ヘッダにデバッグ・システムを接続すると、POR 中またはバックグラウンド・デバッグ強制リセット直後に BKGD/MS を Low に維持することができ、MCU は強制的にバックグラウンド・モードとなります。

BKGD ピンの主な用途は、ターゲット MCU の 16 クロック・サイクルの BDC クロックをビット・タイムあたりで使用する、カスタム・プロトコルに基づくバックグラウンド・デバッグ・コントローラ（BDC）通信です。ターゲット MCU の BDC クロックは最大バス・クロックと同じレートになる場合もあるため、バックグラウンド・シリアル通信に影響を与えるような大きな電気容量を BKGD/MS ピンに接続しないでください。

BKGD ピンは疑似的なオープン・ドレイン・ピンですが、バックグラウンド・デバッグ通信プロトコルは立ち上がり時間を短くするために、確実にドライブされる短時間の高速化パルスを供給します。BKGD ピンの立ち上がりおよび立ち下がりの時間に関しては、ケーブルからの小さい電気容量や内部プルアップ・デバイスの影響はありません。

2.2.5 汎用 I/O およびペリフェラル・ポート

MC9S08QG8/4 シリーズの MCU は、最大 12 本の汎用 I/O ピン、1 本の出力専用ピン、および 1 本の入力専用ピン本をサポートしており、ピンはオンチップ・ペリフェラル機能（タイマ、シリアル I/O、ADC、キーボード割当てなど）と共有されます。各 MC9S08QG8/4 デバイスには、入力専用と出力専用のポート・ピンがそれぞれ 1 本あります。

ポート・ピンを汎用出力に設定した場合またはペリフェラルがポート・ピンを出力として使用する場合、ソフトウェアでは 2 種類のドライブ強度から 1 つを選択したり、スルー・レート制御をディセーブルしたりできます。ポート・ピンを汎用入力に設定した場合またはペリフェラルがポート・ピンを入力として設定する場合、ソフトウェアではプルアップ・デバイスのイネーブルが可能です。

これらのピンを汎用 I/O ピンとして制御する方法については、「第 6 章 パラレル入力 / 出力の制御」を参照してください。表 2-2 に、オンチップ・ペリフェラル・システムがこれらのピンを使用するタイミングとその用途の参照先を示します。

リセット直後は、出力専用以外のすべてのピンはすべて高インピーダンスの汎用入力となり、内部プルアップ・デバイスはディセーブルされます。リセット後は、出力専用ポート機能はイネーブルされず、出力ドライブ強度が Low に設定され、スルー・レート制御がイネーブルになります。PTA4 ピンは、リセットするたびに BKGD/MS にデフォルト設定されます。

注意

過剰な電流ドレインによって入力ピンがフロートしないように、アプリケーション・プログラムのリセット初期化ルーチンでオンチップのプルアップ・デバイスをイネーブルするか、未使用ピンの方向を出力に変更する必要があります。

8 ピン・デバイスを使用する場合、ピンがフロートしないように、オンチップのプルアップ・デバイスをイネーブルするか、ポート B の未使用ピンの方向を出力に変更する必要があります。

2.2.5.1 ピン制御レジスタ

ドライブ強度を選択したりスルー・レート制御またはプルアップ・デバイスをイネーブルしたりするには、メモリ・マップの上位ページ・レジスタ・ブロックにあるピン制御レジスタにライトします。ピン制御レジスタはパラレル I/O レジスタと無関係に動作し、ピン単位でポートの制御が可能です。

2.2.5.1.1 内部プルアップのイネーブル

内部プルアップ・デバイスは、いずれかのプルアップ・イネーブル・レジスタ（PTxPEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。ピンがパラレル I/O 制御ロジックまたは共有ペリフェラル機能で出力に設定される場合、プルアップ・イネーブル・レジスタ・ビットの状態に関係なく、プルアップ・デバイスはディセーブルされます。また、ピンがアナログ機能で制御される場合にも、プルアップ・デバイスはディセーブルされます。

KBI モジュールでは、立ち上がりエッジを検出するように設定されていれば、内部プルアップのイネーブルによりプル・デバイスがプルダウンに設定されます。

2.2.5.2 出力スルー・レートの制御

スルー・レート制御は、いずれかのスルー・レート制御レジスタ（PTxSEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。スルー・レート制御がイネーブルであれば、スルー・レートは EMC を低減するために出力が追従可能な変化率に制限されます。入力に設定されているピンは、スルー・レート制御の影響を受けません。

2.2.5.3 出力ドライブ強度の選択

出力ピンは、いずれかのドライブ強度選択レジスタ（PTxDSn）の対応ビットをセットすることで出力ドライブ強度を High にするよう選択できます。High ドライブを選択すると、ピンはより大きな電流のソースまたはシンクが可能になります。すべての I/O ピンで High のドライブ強度を選択できますが、チップの電流ソースおよびシンクの合計が制限を越えないようにする必要があります。ドライブ強度の選択は、I/O ピンの DC 動作に影響を与えるためのものです。ただし、AC 動作にも影響します。High ドライブを選択すると、ピンは Low ドライブをイネーブルされたピンが小さな負荷をドライブする場合と同じ切り替え速度で大きな負荷をドライブできます。このため、ピンで High ドライブを選択すると EMC ノイズの発生に影響することがあります。

表 2-1. ピン共有優先度

ピン数		優先度 ← 最下位 … 最上位 →				
16 ピン	8 ピン	ポート・ピン	代替機能 1	代替機能 2	代替機能 3	代替機能 4
1	1	PTA5[1]	$\overline{IRQ}$	TCLK		$\overline{RESET}$
2	2	PTA4		ACMPO	BKGD	MS
3	3					V_{DD}
4	4					V_{SS}
5	—	PTB7		SCL[2]	EXTAL	
6	—	PTB6		SDA[2]	XTAL	
7	—	PTB5		TPMCH1	$\overline{SS}$	
8	—	PTB4		MISO		
9	—	PTB3	KBIP7	MOSI	ADP7	
10	—	PTB2	KBIP7	SPSCK	ADP6	
11	—	PTB1	KBIP5	TxD	ADP5	
12	—	PTB0	KBIP4	RxD	ADP4	
13	5	PTA3	KBIP3	SCL[2]	ADP3	

表 2-1. ピン共有優先度

ピン数		優先度 ← 最下位　　　　最上位 →				
16 ピン	8 ピン	ポート・ピン	代替機能 1	代替機能 2	代替機能 3	代替機能 4
14	6	PTA2	KBIP2	SDA[2]	ADP2	
15	7	PTA1	KBIP7		ADP1[3]	ACMP-[3]
16	8	PTA0	KBIP0	TPMCH0	ADP0[3]	ACMP+[3]

1 このピンは V_{DD} に対するクランプ・ダイオードを持たないため、V_{DD} 以上にドライブしないでください。内部でプルアップを行った RESET ピンで測定される電圧は、V_{DD} のレベルまでプルされません。このピンに接続された内部ゲートは V_{DD} までプルされます。

2 IIC ピンは SOPT2 の IICPS を使用して位置の変更が可能で、デフォルトのリセット位置は PTA2 と PTA3 です。

3 ACMP と ADC のどちらもイネーブルであれば、どちらもこのピンを使用します。

表 2-2. ピン機能の参照先

信号の機能	例	参照先
ポート・ピン	PTAx、PTBx	「第 6 章 パラレル入力 / 出力の制御」
アナログ・コンパレータ	ACMPO、ACMP-、ACMP+	「第 8 章 アナログ・コンパレータ（S08ACMPV2）」
シリアル・ペリフェラル・インタフェース	SS、MISO、MOSI、SPSCK	「第 15 章 シリアル・ペリフェラル・インタフェース（S08SPIV3）」
キーボード割込み	KBIPx	「第 12 章 キーボード割込み（S08KBIV2）」
タイマ /PWM	TCLK、TPMCHx	「第 16 章 タイマ / パルス幅モジュレータ（S08TPMV2）」
インター・インテグレーテッド回路	SCL、SDA	「第 11 章 インター・インテグレーテッド回路（S08IICV1）」
シリアル通信インタフェース	TxD、RxD	「第 14 章 シリアル通信インタフェース（S08SCIV3）」
オシレータ / クロック供給	EXTAL、XTAL	「第 10 章 内部クロック・ソース（S08ICSV1）」
アナログ・デジタル変換	ADPx	「第 9 章 アナログ / デジタル・コンバータ（S08ADC10V1）」
電源 / コア	BKGD/MS、V_{DD}、V_{SS}	「第 2 章 外部信号の説明」
リセットおよび割込み	RESET、IRQ	「第 5 章 リセット、割込み、および全体的なシステム制御」

注意

代替機能を初めてイネーブルする場合、モジュールに対して誤ったエッジが発生する可能性があります。ユーザ・ソフトウェアでは、関連するフラグをすべてクリアしてから割込みをイネーブルする必要があります。表 2-1 は、複数のモジュールがイネーブルされる場合の優先度を示しています。優先度の最も高いモジュールがピンを制御します。すでにイネーブルされている機能よりも優先度の高いピン機能を選択すると、優先度の低い方のモジュールに対して誤ったエッジが発生することがあります。そのため、ピンを共有するすべてのモジュールをいったんディセーブルしてから必要なモジュールをイネーブルすることが推奨されます。

第 3 章
動作モード

3.1 はじめに

本章では、MC9S08QG8/4 の各動作モードについて、各モードの開始、各モードの終了、および各モードの機能を説明します。

3.2 主な特長

- コード開発用のアクティブ・バックグラウンド・モード
- ウェイト・モード
  - — CPU のホルトによる消費電力の節約
  - — システム・クロックの動作を継続
  - — 内蔵電圧レギュレータはアクティブ
- ストップ・モード CPU およびバス・クロックの停止
  - — ストップ 1：内部回路の全面的な電源オフにより最大の消費電力節約が可能
  - — ストップ 2：内部回路の部分的な電源オフにより消費電力の最適化可能。RAM の内容も保持される。
  - — ストップ 3：すべての内部回路への電力供給。RAM およびレジスタの内容も保持される。

3.3 実行モード

実行モードは、MC9S08QG8/4 の通常の動作モードです。このモードは、BKGD/MS ピンが High であれば MCU のリセット後に選択されます。CPU は、内部メモリのコードを実行します。実行を開始するのは、リセット後にメモリの 0xFFFE:0xFFFF からフェッチされたアドレスです。

3.4 アクティブ・バックグラウンド・モード

アクティブ・バックグラウンド・モードの機能は、HCS08 コアのバックグラウンド・デバッグ・コントローラ（BDC）で管理されます。BDC は、オンチップ・デバッグ・モジュール（DBG）とともにソフトウェア開発時に MCU 動作を解析する手段となります。

アクティブ・バックグラウンド・モードへは、次の 5 つのいずれかの条件で移行します。

- BKGD/MS ピンが POR 中またはバックグラウンド・デバッグ強制リセット直後に Low である（「5.8.3 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）」参照）
- BKGD ピンで BACKGROUND コマンドを受け付ける
- BGND 命令が実行される
- BDC ブレークポイントを検出する
- DBG ブレークポイントを検出する

アクティブ・バックグラウンド・モードへ移行すると CPU は一時停止の状態となり、ユーザのアプリケーション・プログラムの命令を実行せずにシリアル・バックグランド・コマンドを待ちます。

バックグラウンド・コマンドには以下の 2 種類があります。

- 非侵入型コマンド。ユーザ・プログラムの実行中に発行可能なコマンドとして定義されます。非侵入型コマンドは、MCU が実行モードのときに BKGD ピンから発行できます。また、MCU がアクティブ・バックグラウンド・モードのときにも実行可能です。非侵入型コマンドには以下のものがあります。
  - — メモリ・アクセス・コマンド
  - — ステータス検査メモリ・アクセス・コマンド
  - — BDC レジスタ・アクセス・コマンド
  - — BACKGROUND コマンド
- MCU がアクティブ・バックグラウンド・モードのときにだけ実行できます。アクティブ・バックグラウンド・コマンドには以下のものがあります。
  - — CPU レジスタをリード / ライトするコマンド
  - — 一度に 1 つのユーザ・プログラム命令をトレースするコマンド
  - — アクティブ・バックグラウンド・モードからユーザのアプリケーション・プログラムに復帰するコマンド（GO）

アクティブ・バックグラウンド・モードは、MCU を最初に実行モードで動作させる場合に、ブートローダまたはユーザ・アプリケーション・プログラムを FLASH プログラム・メモリにロードするのに使用されます。FLASH プログラム・メモリは、特に指定がない限り MC9S08QG8/4 の出荷時には消去されるため、FLASH メモリをプログラムするまでは実行モードで実行できるプログラムはありません。アクティブ・バックグラウンド・モードでは、プログラムした FLASH メモリの消去と再プログラムを行うことも可能です。

アクティブ・バックグラウンド・モードの詳細については、「第 17 章 開発サポート」を参照してください。

3.5 ウェイト・モード

ウェイト・モードへは、WAIT 命令を実行すると移行します。WAIT 命令を実行すると、CPU は低電力状態となってクロックの供給を受けません。CPU がウェイト・モードに移行すると、コンディション・コード・レジスタ（CCR）の I ビットがクリアされて割込みがイネーブルになります。割込み要求が発生すると、CPU はウェイト・モードを終了して処理を再開します。この場合は、スタック処理を行ってから割込みサービス・ルーチンに移行します。

MCU がウェイト・モードなら、バックグラウンド・デバッグ・コマンドの使用が部分的に制限され、BACKGROUND コマンドとステータス検査メモリ・アクセス・コマンドだけを使用できます。ステータス検査メモリ・アクセス・コマンドは、メモリをアクセスすることはできず、MCU がストップまたはウェイトのどちらかのモードであることを示すエラーを通知します。BACKGROUND コマンドを実行すると、MCU はウェイト・モードからウェイクアップしてアクティブ・バックグラウンド・モードに移行します。

3.6 ストップ・モード

SOPT1 の STOPE ビットがセットされているときに STOP 命令を実行すると、3 つのストップ・モードのいずれかに移行します。どのストップ・モードでも、バスおよび CPU クロックは停止します。ICS モジュールは、基準クロックの動作を継続するよう設定できます。詳細については、「第 10 章 内部クロック・ソース（S08ICSV1）」を参照してください。

表 3-1 に、ストップ・モードの選択に影響するすべての制御ビットと各条件に応じて選択されるモードを示します。

表 3-1. ストップ・モードの選択

STOPE	ENBDM [1]	LVDE	LVDSE	PDC	PPDC	ストップ・モード
0	x	x		x	x	ストップ・モードをディセーブル。STOP 命令が実行されると不正オペコードとしてリセットされる
1	1	x		x	x	BDM がイネーブルのストップ 3[2]

表 3-1. ストップ・モードの選択（続き）

STOPE	ENBDM [1]	LVDE	LVDSE	PDC	PPDC	ストップ・モード
1	0	どちらのビットも 1		x	x	電圧レギュレータがアクティブのストップ 3
1	0	どちらか一方のビットが 0		0	x	ストップ 3
1	0	どちらか一方のビットが 0		1	1	ストップ 2
1	0	どちらか一方のビットが 0		1	0	ストップ 1

[1] ENBDM は、BDC コマンドによってのみアクセス可能な BDCSCR にあります。「17.4.1.1 BDC ステータス / 制御レジスタ（BDCSCR)」を参照してください。

[2] BDM をイネーブルしたストップ 3 モードでは、内部クロックがイネーブルされるために S_{IDD} がほぼ R_{IDD} レベルになります。

選択されたモードには、STOP 命令の実行後に移行します。

3.6.1 ストップ 3 モード

ストップ 3 モードには、表 3-1 に示した条件を満たした上で STOP 命令を実行して移行します。内部レジスタ、ロジック、RAM の内容、および I/O ピンの状態はすべて保持されます。

ストップ 3 は、$\overline{\text{RESET}}$ がアサートされるか、割込みソース（リアルタイム割込み（RTI)、LVD、ADC、$\overline{\text{IRQ}}$、または KBI）から割込みが発生すると終了します。

ストップ 3 モードを $\overline{\text{RESET}}$ ピンで終了すると、MCU はリセットされ、リセット・ベクタの取得の後で動作が再開します。内部割込みソースによって終了すると、MCU は適切な割込みベクタを取得します。

3.6.1.1 ストップ・モードでの LVD のイネーブル

LVD システムは、電源電圧が LVD 電圧以下に降下すると割込みまたはリセットを生成することができます。CPU が STOP 命令を実行するときに LVD リセットがストップ・モードでイネーブル（SPMSC1 の LVDE と LVDSE のどちらもセット）なら、電圧レギュレータはストップ・モードの間はアクティブを維持します。

ADC を動作させるには、ストップ 3 に移行するときに LVD をイネーブルのままにする必要があります。

3.6.1.2 ストップ・モードでのアクティブ BDM のイネーブル

実行モードからアクティブ・バックグラウンド・モードへの移行は、BDCSCR の ENBDM がセットされていれば可能です。このレジスタについては、「第 17 章 開発サポート」で取り上げています。CPU が STOP 命令を実行するとき ENBDM がセットされていると、バックグラウンド・デバッグ・ロジック用のシステム・クロックは MCU がストップ・モードになってもアクティブのままです。したがって、バックグラウンド・デバッグ通信も可能です。電圧レギュレータは、低電力のスタンバイ状態には移行せず、内部の電圧調整を完全に維持します。

ストップ・モードでは、ほとんどのバックグラウンド・コマンドは使用できません。ステータス検査メモリ・アクセス・コマンドは、メモリをアクセスすることはできず、MCU がストップまたはウェイトのどちらかのモードであることを示すエラーを通知します。ENBDM ビットがセットされていれば、BACKGROUND コマンドを使用して MCU をストップ・モードからウェイクアップさせ、アクティブ・バックグラウンド・モードに移行させることができます。バックグラウンド・デバッグ・モードに移行後は、すべてのバックグラウンド・コマンドを使用できます。

3.6.2 ストップ 2 モード

ストップ 2 モードには、表 3-1 に示した条件を満たした上で STOP 命令を実行して移行します。ストップ 2 では、ストップ 1 と同様に MCU のほとんど内部回路の電源がオフになります。ただし、RAM には電源が供給されます。すべての I/O ピン制御信号はストップ 2 への移行時にラッチされるので、ピンの状態はストップ 2 の間も保持されます。

ストップ 2 を終了するには、MCU でウェイクアップ・ピン（PTA5）をアサートします。

注意

PTA5/$\overline{IRQ}$/TCLK/$\overline{RESET}$ は、ストップ 2 への移行前の設定に関係なく、MCU がストップ 2 ならアクティブ Low のウェイクアップ入力として動作します。ストップ 2 では、このピンのプルアップは常にディセーブルされます。ストップ 2 の間は、このピンは外部でドライブするか High にプルする必要があります。

リアルタイム割込み（RTI）がイネーブルなら、MCU をストップ 2 からウェイクアップするのに使用できます。

ストップ 1 モードからのウェイクアップでは、MCU はパワーオン・リセット（POR）の場合と同様に起動します。

- すべてのモジュールおよびステータス・レジスタはリセット
- V_{DD} が LVD トリップ・ポイント（POR によって低トリップ・ポイントが選択される）より低ければ、LVD リセット機能がイネーブルされ、MCU はリセット状態を維持
- CPU はリセット・ベクタを取得

また、ストップ 2 からのウェイクアップ時には SPMSC2 の PPDF ビットがセットされます。このフラグを使用して、ユーザ・コードをストップ 2 の復帰ルーチンに切り替えることができます。PPDF は、SPMSC2 の PPDACK に 1 がライトされるまではセットされ、I/O ピンはラッチ状態のままです。

ストップ 2 以降前に汎用 I/O として設定されたピンの I/O 状態を維持するには、PPDACK ビットへのライト前に、RAM にセーブされていた I/O ポート・レジスタの内容をポート・レジスタに復元する必要があります。PPDACK ビットへのライト前に RAM からポート・レジスタの内容が復元されないと、ピンは PPDACK のライト時にリセット状態に変化します。

ペリフェラル I/O に設定したピンでは、ピンとのインタフェースがあるペリフェラル・モジュールを再設定してから、PPDACK ビットにライトする必要があります。PPDACK へのライトの前にペリフェラル・モジュールがイネーブルされないと、I/O ラッチが開くときピンは対応するポート制御レジスタで制御されます。

3.6.3 ストップ 1 モード

ストップ 1 モードには、表 3-1 に示した条件を満たした上で STOP 命令を実行して移行します。MCU のほとんどの内部回路の電源はオフとなり、最小スタンバイ電流だけが供給されます。ストップ 1 に移行すると、すべての I/O ピンはリセット時のデフォルト状態に変化します。

ストップ 1 を終了するには、MCU でウェイクアップ・ピン（PTA5）をアサートします。

注意

PTA5/$\overline{IRQ}$/TCLK/$\overline{RESET}$ は、ストップ 1 への移行前の設定に関係なく、MCU がストップ 1 ならアクティブ Low のウェイクアップ入力として動作します。ストップ 1 では、このピンのプルアップは常にディセーブルされます。ストップ 1 の間は、このピンは外部でドライブするか High にプルする必要があります。

リアルタイム割込み（RTI）がイネーブルなら、MCU をストップ 1 からウェイクアップするのに使用できます。

ストップ 1 モードからのウェイクアップでは、MCU はパワーオン・リセット（POR）の場合と同様に起動します。

- すべてのモジュールおよびステータス・レジスタはリセット
- V_{DD} が LVD トリップ・ポイント（POR によって低トリップ・ポイントが選択される）より低ければ、LVD リセット機能がイネーブルされ、MCU はリセット状態を維持
- CPU はリセット・ベクタを取得

また、ストップ 1 からのウェイクアップ時には SPMSC2 の PDF ビットがセットされます。このフラグを使用して、ユーザ・コードをストップ 1 の復帰ルーチンに切り替えることができます。PDF は、SPMSC2 の PPDACK に 1 がライトされるまでセットされたままです。

3.6.4 ストップ・モードのオンチップ・ペリフェラル・モジュール

MCU がストップ・モードになると、内部のペリフェラル・モジュールへのシステム・クロック供給は停止します。例外的なケース（ENBDM = 1）では、バックグラウンド・デバッグ・ロジックへのクロック供給は継続されますが、ペリフェラル・システムへのクロックは停止して電力消費を抑えられます。ストップ・モードでのシステム動作の詳細については、「3.6.3 ストップ 1 モード」、「3.6.2 ストップ 2 モード」、および「3.6.1 ストップ 3 モード」を参照してください。

表 3-2. ストップ・モードの動作

ペリフェラル	モード		
	ストップ 1	ストップ 2	ストップ 3
CPU	オフ	オフ	スタンバイ
RAM	オフ	スタンバイ	スタンバイ
FLASH	オフ	オフ	スタンバイ
パラレル・ポート・レジスタ	オフ	オフ	スタンバイ
ADC	オフ	オフ	必要に応じてオン[1]
ACMP	オフ	オフ	スタンバイ
ICS	オフ	オフ	必要に応じてオン[2]
IIC	オフ	オフ	スタンバイ
MTIM	オフ	オフ	スタンバイ
SCI	オフ	オフ	スタンバイ
SPI	オフ	オフ	スタンバイ
TPM	オフ	オフ	スタンバイ
電圧レギュレータ	オフ	スタンバイ	スタンバイ
XOSC	オフ	オフ	必要に応じてオン[3]
I/O ピン	Hi-Z	状態維持	状態維持

1 非同期 ADC クロックと LVD のイネーブルが必要。イネーブルしない場合はスタンバイ。
2 ICSC1 の IRCLKEN と IREFSTEN がセットの場合です。そうでない場合はスタンバイです。
3 ICSC2 の ERCLKEN と EREFSTEN がセットの場合です。そうでない場合はスタンバイです。高周波数範囲（ICSC2 の RANGE がセット）の場合には、LVD もストップ 3 でイネーブルが必要です。

第 4 章
メモリマップとレジスタ定義

4.1 MC9S08QG8/4 メモリ・マップ

図 4-1 に示すように、MC9S08QG8/4 シリーズの MCU のオンチップ・メモリは、RAM、データ格納用の不揮発性の FLASH プログラム・メモリ、I/O レジスタ、および制御 / ステータス・レジスタで構成されています。これらのレジスタは次の 3 つに分類されます。

- ダイレクトページ・レジスタ（0x0000 ～ 0x005F）
- 上位ページ・レジスタ（0x1800 ～ 0x184F）
- 不揮発レジスタ（0xFFB0 ～ 0xFFBF）

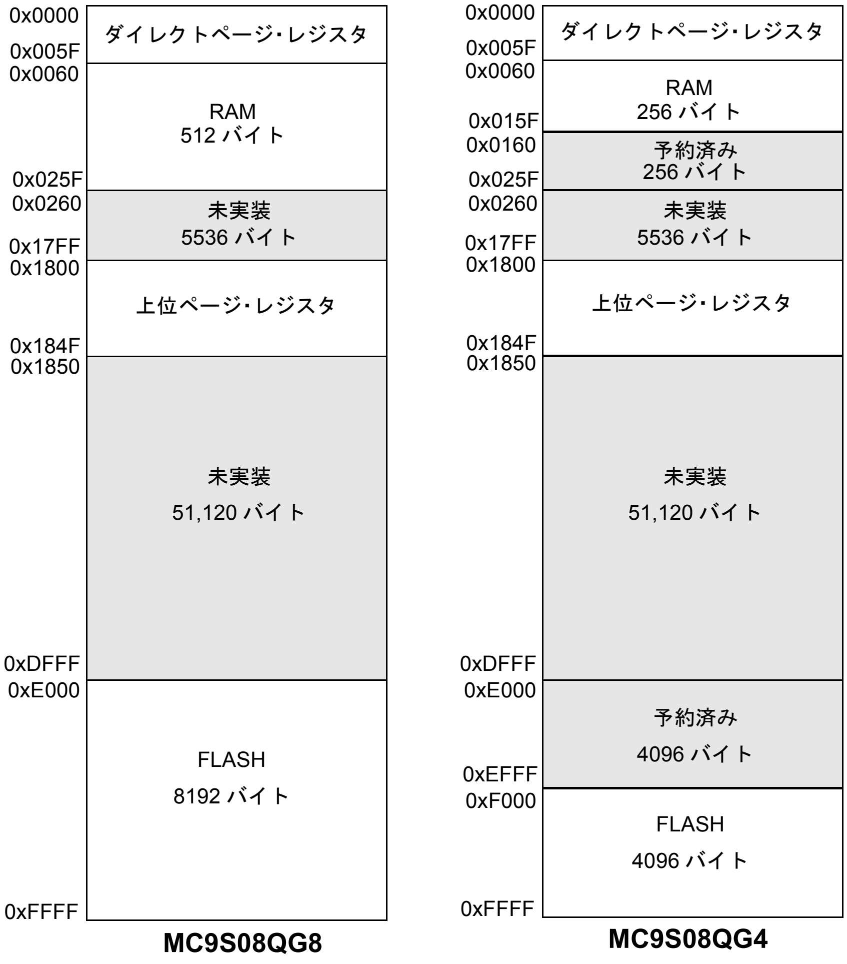


図 4-1. MC9S08QG8/4 メモリ・マップ

4.2 リセット・ベクタと割込みベクタの割当て

表 4-1 に、リセットと割込みの各ベクタに割り当てられるアドレスを示します。このベクタ名は、フリースケール・セミコンダクタの MC9S08QG8/4 向け EQU ファイルのラベルで使用されているものです。

表 4-1. リセット・ベクタと割込みベクタ

アドレス （上位 / 下位）	ベクタ	ベクタ名
0xFFC0:FFC1 ↕ 0xFFCE:FFCF	未使用ベクタ領域 （ユーザ・プログラム用）	
0xFFD0:FFD1	RTI	Vrti
0xFFD2:FFD3	予約済み	—
0xFFD4:FFD5	予約済み	—
0xFFD6:FFD7	ACMP	Vacmp
0xFFD8:FFD9	ADC 変換	Vadc
0xFFDA:FFDB	KBI 割込み	Vkeyboard
0xFFDC:FFDD	IIC	Viic
0xFFDE:FFDF	SCI 送信	Vscitx
0xFFE0:FFE1	SCI 受信	Vscirx
0xFFE2:FFE3	SCI エラー	Vscierr
0xFFE4:FFE5	SPI	Vspi
0xFFE6:FFE7	MTIM オーバフロー	Vmtim
0xFFE8:FFE9	予約済み	—
0xFFEA:FFEB	予約済み	—
0xFFEC:FFED	予約済み	—
0xFFEE:FFEF	予約済み	—
0xFFF0:FFF1	TPM オーバフロー	Vtpmovf
0xFFF2:FFF3	TPM チャネル 1	Vtpmch1
0xFFF4:FFF5	TPM チャネル 0	Vtpmch0
0xFFF6:FFF7	予約済み	—
0xFFF8:FFF9	低電圧検出	Vlvd
0xFFFA:FFFB	IRQ	Virq
0xFFFC:FFFD	SWI	Vswi
0xFFFE:FFFF	リセット	Vreset

4.3 レジスタ・アドレスとビット割当て

MC9S08QG8/4 のレジスタは、以下の 3 つグループに分類されます。

- ダイレクトページ・レジスタ。メモリ・マップの先頭 96 バイトに格納されます。そのため、効率的なダイレクト・アドレッシング・モード命令でのアクセスが可能です。
- 上位ページ・レジスタ。使用頻度が小さく、メモリ・マップの 0x1800 以降に格納されます。その結果、よく使用されるレジスタや RAM のためにより多くのダイレクトページ領域が確保されます。
- 不揮発レジスタ領域。FLASH メモリの 16 個のアドレス・ブロック（0xFFB0 ～ 0xFFBF）です。この領域の内容は以下の通りです。
  - リセット時に NVPROT と NVOPT がロードされるワーク・レジスタ
  - 8 バイトのバックドア比較キー。ユーザは、このキーによってアクセス保護されたセキュア・メモリに対してアクセスをできるようになります。

  不揮発レジスタの領域は FLASH メモリにあり、これらのレジスタは FLASH メモリのその他の領域と同様に消去とプログラムが必要です。

ダイレクトページ・レジスタは、効率的なダイレクト・アドレッシング・モード命令でアクセスできます。ビット操作命令では、任意のダイレクトページ・レジスタの任意のビットをアクセスできます。表 4-2 に、ユーザがアクセスできるダイレクトページ・レジスタと制御ビットを示します。

表 4-2 のダイレクトページ・レジスタでは、アドレスの下位バイトだけを必要とする効率的なダイレクト・アドレッシング・モードを利用できます。左端の項目に、アドレスの下位バイトを太字で示します。表 4-3 と表 4-4 では、左端の項目にアドレス全体を太字で示します。表 4-2、表 4-3、および表 4-4 の左から 2 番目の項目は太字で示したレジスタ名、その右側全体はビット名です。ビット名のないものは網掛けにしています。つまり、値が 0 で網掛けしたビットは常に 0 でリードされる未使用ビットです。ダッシュ記号で網掛けにしたビットは、リードすると 1 または 0 が返る未使用または予約済みのビットです。

表 4-2. ダイレクトページ・レジスタ一覧

アドレス	レジスタ名	ビット 7	6	5	4	3	2	1	ビット 0
0x00**00**	**PTAD**	0	0	PTAD5	PTAD4	PTAD3	PTAD2	PTAD1	PTAD0
0x00**01**	**PTADD**	0	0	PTADD5	PTADD4	PTADD3	PTADD2	PTADD1	PTADD0
0x00**02**	**PTBD**	PTBD7	PTBD6	PTBD5	PTBD4	PTBD3	PTBD2	PTBD1	PTBD0
0x00**03**	**PTBDD**	PTBDD7	PTBDD6	PTBDD5	PTBDD4	PTBDD3	PTBDD2	PTBDD1	PTBDD0
0x00**04**- 0x00**0B**	予約済み	— —	— —	— —	— —	— —	— —	— —	— —
0x00**0C**	**KBISC**	0	0	0	0	KBF	KBACK	KBIE	KBIMOD
0x00**0D**	**KBIPE**	KBIPE7	KBIPE6	KBIPE5	KBIPE4	KBIPE3	KBIPE2	KBIPE1	KBIPE0
0x00**0E**	**KBIES**	KBEDG7	KBEDG6	KBEDG5	KBEDG4	KBEDG3	KBEDG2	KBEDG1	KBEDG0
0x00**0F**	**IRQSC**	0	IRQPDD	0	IRQPE	IRQF	IRQACK	IRQIE	IRQMOD
0x00**10**	**ADCSC1**	COCO	AIEN	ADCO	ADCH				
0x00**11**	**ADCSC2**	ADACT	ADTRG	ACFE	ACFGT	—	—	—	—
0x00**12**	**ADCRH**	0	0	0	0	0	0	ADR9	ADR8
0x00**13**	**ADCRL**	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
0x00**14**	**ADCCVH**	0	0	0	0	0	0	ADCV9	ADCV8
0x00**15**	**ADCCVL**	ADCV7	ADCV6	ADCV5	ADCV4	ADCV3	ADCV2	ADCV1	ADCV0
0x00**16**	**ADCCFG**	ADLPC	ADIV		ADLSMP	MODE		ADICLK	
0x00**17**	**APCTL1**	ADPC7	ADPC6	ADPC5	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0
0x00**18**	予約済み	0	0	0	0	0	0	0	0
0x00**19**	予約済み	0	0	0	0	0	0	0	0
0x00**1A**	**ACMPSC**	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
0x00**1B**- 0x00**1F**	予約済み	— —	— —	— —	— —	— —	— —	— —	— —

表 4-2. ダイレクトページ・レジスター覧（続き）

アドレス	レジスタ名	ビット 7	6	5	4	3	2	1	ビット 0
0x00**20**	**SCIBDH**	0	0	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x00**21**	**SCIBDL**	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x00**22**	**SCIC1**	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x00**23**	**SCIC2**	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x00**24**	**SCIS1**	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x00**25**	**SCIS2**	0	0	0	0	0	BRK13	0	RAF
0x00**26**	**SCIC3**	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x00**27**	**SCID**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**28**	**SPIC1**	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x00**29**	**SPIC2**	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0
0x00**2A**	**SPIBR**	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
0x00**2B**	**SPIS**	SPRF	0	SPTEF	MODF	0	0	0	0
0x00**2C**	予約済み	0	0	0	0	0	0	0	0
0x00**2D**	**SPID**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**2E**	予約済み	—	—	—	—	—	—	—	—
0x00**2F**	予約済み	—	—	—	—	—	—	—	—
0x00**30**	**IICA**	ADDR							0
0x00**31**	**IICF**	MULT		ICR					
0x00**32**	**IICC**	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
0x00**33**	**IICS**	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
0x00**34**	**IICD**	DATA							
0x00**35**	予約済み	—	—	—	—	—	—	—	—
0x00**36**	予約済み	—	—	—	—	—	—	—	—
0x00**37**	予約済み	—	—	—	—	—	—	—	—
0x00**38**	**ICSC1**	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x00**39**	**ICSC2**	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x00**3A**	**ICSTRM**	TRIM							
0x00**3B**	**ICSSC**	0	0	0	0	CLKST		OSCINIT	FTRIM
0x00**3C**	**MTIMSC**	TOF	TOIE	TRST	TSTP	0	0	0	0
0x00**3D**	**MTIMCLK**	0	0	CLKS		PS			
0x00**3E**	**MTIMCNT**	COUNT							
0x00**3F**	**MTIMMOD**	MOD							
0x00**40**	**TPMSC**	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x00**41**	**TPMCNTH**	ビット 15	14	13	12	11	10	9	ビット 8
0x00**42**	**TPMCNTL**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**43**	**TPMMODH**	ビット 15	14	13	12	11	10	9	ビット 8
0x00**44**	**TPMMODL**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**45**	**TPMC0SC**	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x00**46**	**TPMC0VH**	ビット 15	14	13	12	11	10	9	ビット 8
0x00**47**	**TPMC0VL**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**48**	**TPMC1SC**	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0
0x00**49**	**TPMC1VH**	ビット 15	14	13	12	11	10	9	ビット 8
0x00**4A**	**TPMC1VL**	ビット 7	6	5	4	3	2	1	ビット 0
0x00**4B**- 0x00**5F**	予約済み	— —	— —	— —	— —	— —	— —	— —	— —

表 4-3 の上位ページ・レジスタは、その他の I/O レジスタや制御レジスタに比べて使用頻度が低く、ダイレクト・アドレッシングの可能なメモリ領域の外（0x1800 以降）に置かれています。

表 4-3. 上位ページ・レジスタ一覧

アドレス	レジスタ名	ビット 7	6	5	4	3	2	1	ビット 0
0x1800	SRS	POR	PIN	COP	ILOP	ILAD	0	LVD	0
0x1801	SBDFR	0	0	0	0	0	0	0	BDFR
0x1802	SOPT1	COPE	COPT	STOPE	—	0	0	BKGDPE	RSTPE
0x1803	SOPT2	COPCLKS	0	0	0	0	0	IICPS	ACIC
0x1804	予約済み	—	—	—	—	—	—	—	—
0x1805	予約済み	—	—	—	—	—	—	—	—
0x1806	SDIDH	—	—	—	—	ID11	ID10	ID9	ID8
0x1807	SDIDL	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
0x1808	SRTISC	RTIF	RTIACK	RTICLKS	RTIE	0	RTIS		
0x1809	SPMSC1	LVDF	LVDACK	LVDIE	LVDRE	LVDSE	LVDE	0	BGBE
0x180A	SPMSC2	0	0	0	PDF	PPDF	PPDACK	PDC	PPDC
0x180B	予約済み	—	—	—	—	—	—	—	—
0x180C	SPMSC3	LVWF	LVWACK	LVDV	LVWV	—	—	—	—
0x180D- 0x180F	予約済み	— —	— —	— —	— —	— —	— —	— —	— —
0x1810	DBGCAH	ビット 15	14	13	12	11	10	9	ビット 8
0x1811	DBGCAL	ビット 7	6	5	4	3	2	1	ビット 0
0x1812	DBGCBH	ビット 15	14	13	12	11	10	9	ビット 8
0x1813	DBGCBL	ビット 7	6	5	4	3	2	1	ビット 0
0x1814	DBGFH	ビット 15	14	13	12	11	10	9	ビット 8
0x1815	DBGFL	ビット 7	6	5	4	3	2	1	ビット 0
0x1816	DBGC	DBGEN	ARM	TAG	BRKEN	RWA	RWAEN	RWB	RWBEN
0x1817	DBGT	TRGSEL	BEGIN	0	0	TRG3	TRG2	TRG1	TRG0
0x1818	DBGS	AF	BF	ARMF	0	CNT3	CNT2	CNT1	CNT0
0x1819- 0x181F	予約済み	— —	— —	— —	— —	— —	— —	— —	— —
0x1820	FCDIV	DIVLD	PRDIV8	DIV					
0x1821	FOPT	KEYEN	FNORED	0	0	0	0	SEC01	SEC00
0x1822	予約済み	—	—	—	—	—	—	—	—
0x1823	FCNFG	0	0	KEYACC	0	0	0	0	0
0x1824	FPROT	FPS							FPDIS
0x1825	FSTAT	FCBEF	FCCF	FPVIOL	FACCERR	0	FBLANK	0	0
0x1826	FCMD	FCMD							
0x1827- 0x183F	予約済み	— —	— —	— —	— —	— —	— —	— —	— —
0x1840	PTAPE	0	0	PTAPE5	PTAPE4	PTAPE3	PTAPE2	PTAPE1	PTAPE0
0x1841	PTASE	0	0	PTASE5	PTASE4	PTASE3	PTASE2	PTASE1	PTASE0
0x1842	PTADS	0	0	PTADS5	PTADS4	PTADS3	PTADS2	PTADS1	PTADS0
0x1843	予約済み	—	—	—	—	—	—	—	—
0x1844	PTBPE	PTBPE7	PTBPE6	PTBPE5	PTBPE4	PTBPE3	PTBPE2	PTBPE1	PTBPE0
0x1845	PTBSE	PTBSE7	PTBSE6	PTBSE5	PTBSE4	PTBSE3	PTBSE2	PTBSE1	PTBSE0
0x1846	PTBDS	PTBDS7	PTBDS6	PTBDS5	PTBDS4	PTBDS3	PTBDS2	PTBDS1	PTBDS0
0x1847	予約済み	—	—	—	—	—	—	—	—

表 4-4 に示す不揮発性の FLASH レジスタは、FLASH メモリに置かれています。これらのレジスタには、アクセス保護されたセキュア・メモリ・リソースのアクセスを行える 8 バイトのバックドア比較キーがあります。リセット時は、セキュリティとブロック単位の保護のオプションを制御するために、FLASH メモリの不揮発レジスタ領域にある NVPROT と NVOPT の内容は対応する FPROT と FOPT のワーク・レジスタ（上位ページ・レジスタ）に転送されます。

表 4-4. 不揮発レジスター覧

アドレス	レジスタ名	ビット 7	6	5	4	3	2	1	ビット 0
0xFFAE	FTRIM 格納用に予約済み	0	0	0	0	0	0	0	FTRIM
0xFFAF	ICSTRM 格納用に予約済み	TRIM							
0xFFB0 - 0xFFB7	NVBACKKEY	8 バイトの比較キー							
0xFFB8 - 0xFFBC	未使用	— —	— —	— —	— —	— —	— —	— —	— —
0xFFBD	NVPROT	FPS							FPDIS
0xFFBE	未使用	—	—	—	—	—	—	—	—
0xFFBF	NVOPT	KEYEN	FNORED	0	0	0	0	SEC01	SEC00

キー・イネーブル（KEYEN）ビットが 1 なら、8 バイトの比較キーを使用してメモリ・セキュリティを一時的に無効にできます。このキー・メカニズムは、セキュア・メモリで実行されるユーザ・コードでのみアクセス可能です（バックグラウンド・デバッグ・コマンドでセキュリティ・キーを直接入力することはできません)。KEYEN ビットを 0 にすると、セキュリティ・キーは完全にディセーブルになります。セキュリティ・キーがディセーブルなら、メモリ・セキュリティを無効にする方法は必要に応じて（通常はバックグラウンド・デバッグ・インタフェースで）FLASH の全体を消去し、FLASH がブランクであることを確認する以外にはありません。次回のリセットでセキュア・モードに戻らないようにするには、セキュリティ・ビット（SEC01:SEC00）を非セキュア状態（1:0）にプログラムします。

4.4 RAM

MC9S08QG8/4 はスタティック RAM を搭載しています。RAM の 0x0100 以下の領域は効率的なダイレクト・アドレッシング・モードでアクセスが可能で、ビット操作命令（BCLR、BSET、BRCLR、BRSET）を使用すればこの領域のビット単位のアクセスも可能です。この領域には、最も使用頻度の高いプログラム変数を入れておくことが推奨されます。

RAM のデータは、MCU が低電力のウェイト、ストップ 2、またはストップ 3 のどのモードでも保持されます。電源投入時またはストップ 1 モードからのウェイクアップ後は、RAM の内容は初期化されません。RAM データは、電源電圧が RAM を保持するための最低電圧（V_{RAM}）より下回ることがなければ、リセットで変化することはありません。

HCS08 は、M68HC05MCU との互換性を保つためにスタック・ポインタを 0x00FF にリセットします。MC9S08QG8/4 では、使用頻度の高い RAM 変数やビット単位のアドレッシングが可能なプログラム変数に対してダイレクトページの RAM を確保するために、スタック・ポインタを RAM の先頭アドレスに初期化しなおすのが一般的に最善の方法です。そのため、リセット初期化ルーチンには以下の 2 つの命令シーケンスを組み込んでください（RamLast は、フリースケール・セミコンダクタの EQU ファイルで定義される RAM の最上位アドレスの値です)。

```
LDHX     #RamLast+1     ;point one past RAM
TXS                     ;SP<-(H:X-1)
```

セキュリティ機能がイネーブルなら、RAM はセキュア・メモリ・リソースと見なされ、BDM（バックグラウンド・デバッグ・モード）または非セキュア・メモリから実行されるコードでアクセスすることはできません。セキュリティ機能の詳細については、「4.6 セキュリティ」を参照してください。

RAM アレイは、リセット後に自動的に初期化されません。

4.5 FLASH

FLASH メモリの主な目的はプログラムの格納です。インサーキット・プログラミングを行えば、アプリケーション製品の最終的なアセンブリの後でプログラムを FLASH メモリにロードできます。また、シングルワイヤのバックグラウンド・デバッグ・インタフェースでアレイ全体もプログラムできます。FLASH の消去とプログラムの操作では特別な電圧は不要なので、ソフトウェア制御の他の通信パスを利用したアプリケーション内のプログラミングも可能です。インサーキットおよびアプリケーション内のプログラミングの詳細については、『*HCS08 Family Reference Manual, Volume I*』（フリースケール・セミコンダクタ文書注文番号 ; HCS08RMv1/D）を参照してください。

4.5.1 主な特長

以下に、FLASH メモリの主な特長を示します。

- FLASH サイズ
  - MC9S08QG8: － 8,192 バイト（各 512 バイトの 16 ページ）
  - MC9S08QG4: － 4,096 バイト（各 512 バイトの 8 ページ）
- 単一電源による消去とプログラム
- 高速な消去とプログラムのコマンド・インタフェース
- 通常の電圧と温度で最大 100,000 回の消去 / プログラム・サイクル数
- 柔軟なブロック単位の保護
- FLASH と RAM のセキュリティ機能
- 低周波リード・アクセスに対する自動的な電源断

4.5.2 消去とプログラムの時間

消去とプログラムのコマンドを実行する前に、FLASH クロック分周レジスタ（FCDIV）にライトして FLASH モジュールの内部クロックを 150 KHz ～ 200 KHz の周波数（f_{FCLK}）に設定する必要があります（「4.7.1 FLASH クロック分周レジスタ（FCDIV）」参照）。このレジスタは 1 回しかライトできず、通常はリセット初期化の中でライト処理を行います。FCDIV は、アクセス・エラー・フラグ（FSTAT 内の FACCERR）がセットされていればライトはできません。FCDIV レジスタにライトする前に、FACCERR がセットされていないことを確認してください。結果として得られるクロック周期（$1/f_{FCLK}$）は、コマンド・プロセッサが消去とプログラムのパルスのタイミングを取るのに用いられます。コマンド・プロセッサは、整数回のタイミング・パルスで消去とプログラムのコマンドを完了します。

表 4-5 に、消去とプログラムの時間を示します。FCLK の周波数（f_{FCLK}）は、バス・クロック周波数と FCDIV によって決まります。FCLK の 1 サイクルは t_{FCLK}（ $= 1/f_{FCLK}$）です。各時間は、FCLK のサイクル数と $t_{FCLK} = 5\ \mu s$ の場合の絶対時間で示してあります。この消去とプログラムの時間には、コマンド・ステート・マシンおよび消去 / プログラムの電圧をイネーブル / ディセーブルにする際のオーバヘッドも含めてあります。

表 4-5. 消去とプログラムの時間

パラメータ	FCLK サイクル数	FCLK = 200 kHz の場合の時間
バイト・プログラム	9	45 μs
バイト・プログラム（バースト）	4	20 μs[1]
ページ消去	4000	20 ms
全体消去	20,000	100 ms

[1] 開始 / 終了のオーバヘッドは除きます。

4.5.3 消去およびプログラム・コマンドの実行

以下に、各コマンドの実行手順を示します。コマンドの実行前には、FCDIV レジスタの初期化とエラー・フラグのクリアが必要です。手順は以下の通りです。

1. FLASH アレイにアドレスのデータ値をライトします。ライトされたアドレスとデータの情報は FLASH インタフェースにラッチされます。このライトは、すべてのコマンド・シーケンスに必要な最初の手順です。消去とブランク・チェックのコマンドでは、データ値に大きな意味はありません。ページ消去コマンドでは、消去する FLASH の 512 バイト・ページの任意のアドレスを指定できます。全体消去とブランク・チェックのコマンドでは、FLASH メモリの任意のアドレスを指定できます。512 バイトのページは、FLASH を消去する場合の最小単位のブロックです。

注意

消去操作後に FLASH にバイトのプログラムを 2 回以上行わないでください。プログラム済みのバイトには、そのバイトがあるページまたは FLASH メモリ全体を消去後でなければビットを再プログラムできません。消去する前にプログラムすると、FLASH に格納されているデータが影響を受けることがあります。

2. 実行するコマンドのコマンド・コードを FCMD にライトします。有効なコマンドは、ブランク・チェック（0x05）、バイト・プログラム（0x20）、バースト・プログラム（0x25）、ページ消去（0x40）、全体消去（0x41）の 5 つです。コマンド・コードはコマンド・バッファにラッチされます。
3. FSTAT の FCBEF ビットに 1 をライトして、FCBEF のクリアとコマンド（アドレスとデータ情報を含む）の発行を行います。

メモリ・アレイにライトしてから 1 のライトで FCBEF のクリアとコマンドの発行を行うまでの間に FCBEF に 0 をライトすると、コマンド・シーケンスを中断することができます。この方法でコマンドをアボートすると、FACCERR アクセス・エラー・フラグがセットされます。このフラグは、次のコマンドの実行前にはクリアしなければなりません。

以上の手順は厳密に従う必要があり、別の手順ではコマンドは受け付けられません。また、この手順には FLASH メモリの内容を誤って変更する危険を最小限に抑える意味もあります。コマンドの完了はコマンド完了フラグ（FCCF）で分かります。コマンド・シーケンスの最後で FCBEF をクリアすると、コマンドが発行されます。図 4-2 に、バースト・プログラムを除くすべてのコマンドを実行する場合のフローチャートを示します。FCDIV レジスタは、FLASH コマンドを使用する前に初期化が必要です。これはリセット後に 1 回だけ行います。

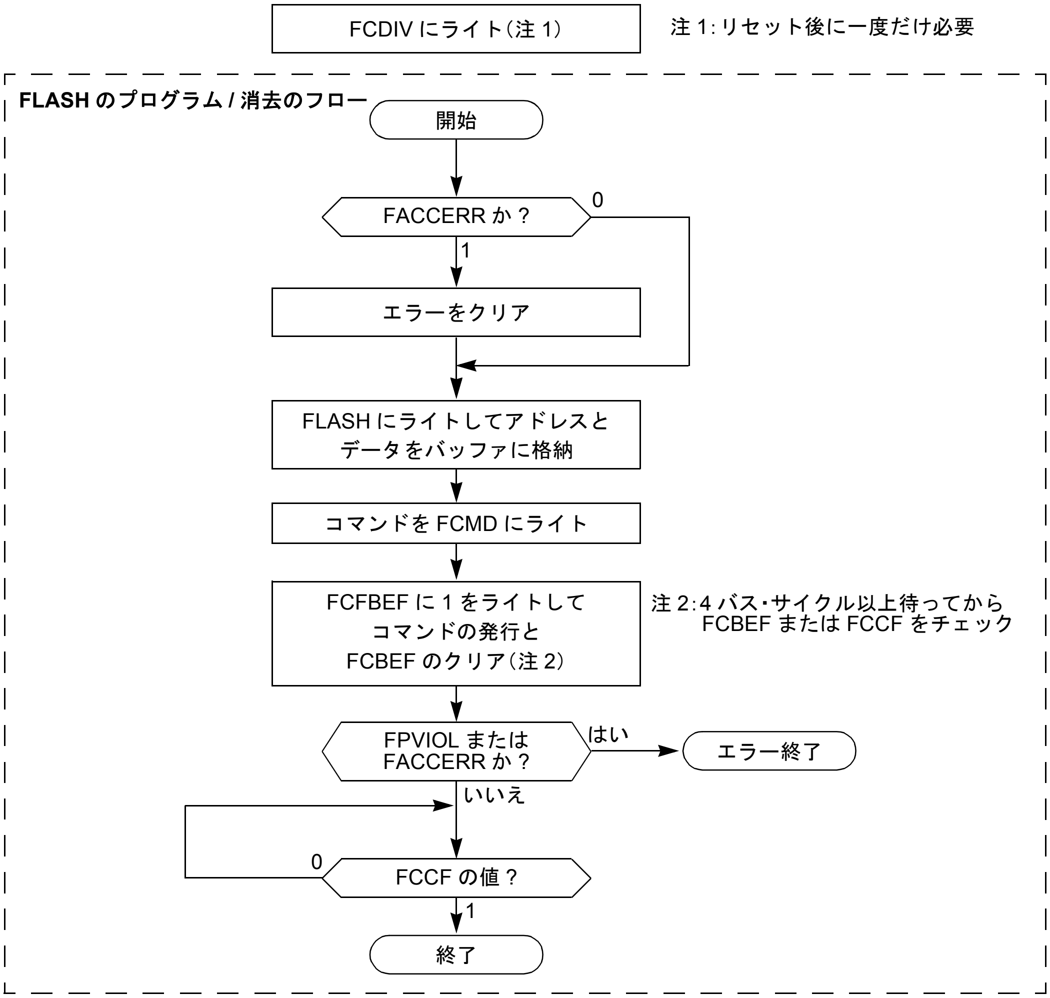


図 4-2. FLASH の消去 / プログラムのフローチャート

4.5.4 バースト・プログラムの実行

バースト・プログラム・コマンドを使用すると、標準のプログラム・コマンドよりも短時間で連続するデータ・バイトのプログラムができます。これが可能なのは、プログラム操作の間で FLASH アレイに対して高電圧をオフにする必要がないからです。通常は、消去やプログラムのコマンドを発行する場合は、FLASH メモリの内部チャージ・ポンプをオンにしてアレイに高電圧を供給する必要があり、コマンドの完了時にはチャージ・ポンプをオフにします。バースト・プログラム・コマンドを発行する際は、チャージ・ポンプをオンにした後でも以下の 2 つの条件が満たされていれば、バースト・プログラムが終了した後でもチャージ・ポンプはオンのままです。

- 現在のプログラム処理が完了する前に、次のバースト・プログラム・コマンドがキューにつながれている。
- 次の順次アドレスで、プログラム対象の現在のバイトと同じ行にあるバイトが選択される。FLASH メモリの行は 64 バイトで、行内のバイトはアドレス A5 ～ A0 で選択されます。アドレス A5 ～ A0 がすべてゼロなら次の行が始まります。

バースト・モードでプログラム対象の連続バイトの中の最初のバイトをプログラムするのは、標準モードと同じだけの時間がかかります。その後のバイトは、上記の条件が満たされればバースト・プログラムの時間でプログラムされます。次の順次アドレスが次の行の先頭にあれば、そのバイトのプログラム時間はバースト・プログラムではなく標準モードの時間です。その理由は、アレイへの高電圧をオフにしてから再びオンにする必要があるからです。現在のコマ

ンドが終了する前に新しいバースト・コマンドがキューにつながれていなければ、チャージ・ポンプはオフとなってアレイには高電圧が供給されなくなります。

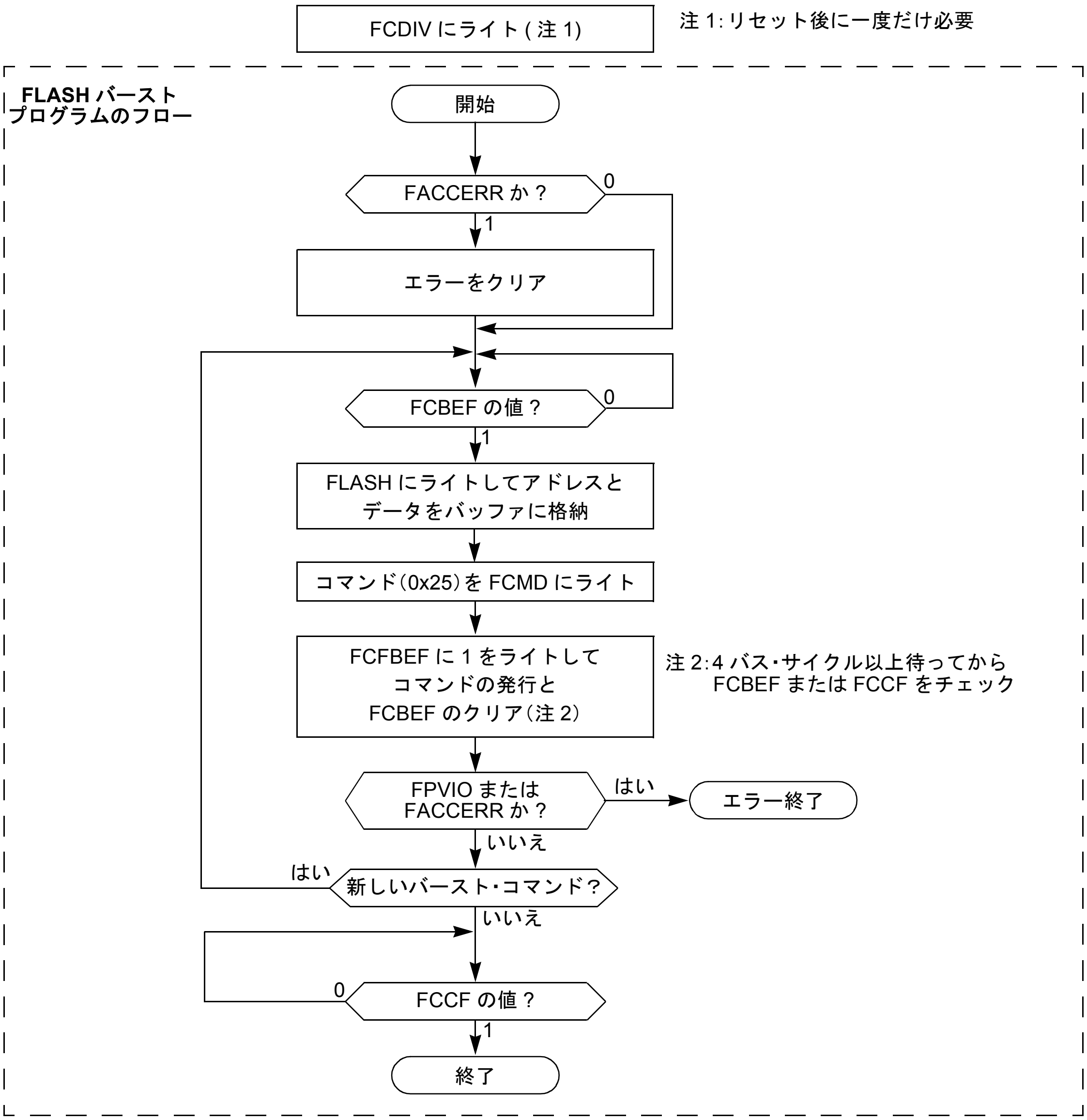


図 4-3. FLASH バースト・プログラムのフローチャート

4.5.5 アクセス・エラー

コマンド実行プロトコルに違反があると、アクセス・エラーが発生します。

以下に示す処理が行われると、FSTAT のアクセス・エラー・フラグ（FACCERR）がセットされます。コマンドを処理する場合は、あらかじめ FSTAT の FACCERR に 1 をライトして FACCERR をクリアする必要があります。

- FCDIV レジスタにライトして内部 FLASH クロックの周波数を設定する前に、FLASH アドレスにライトする。
- FCBEF がセットされていないときに FLASH アドレスにライトする（コマンド・バッファが空白になるまでは次のコマンドは実行できません）。
- 前のコマンドを発行する前に再び FLASH アドレスにライトする（FLASH へのライトは各コマンドで 1 回だけです）。
- 前のコマンドを発行する前に再び FCMD にライトする（FCMD へのライトは各コマンドで 1 回だけです）。
- FLASH アドレスへのライト後に、FCMD 以外の FLASH 制御レジスタにライトする。
- 許可コード（0x05、0x20、0x25、0x40、0x41）以外のコマンド・コードを FCMD にライトする。
- FCMD にコマンドをライトした後で、FSTAT へのライト（FCBEF のクリアとコマンド発行の処理）以外の目的で FLASH 制御レジスタにアクセス（リードまたはライト）する。
- 消去またはプログラム・コマンドの実行中に MCU をストップ・モードに移行させる（コマンドはアボートします）。
- MCU がセキュア・モードであるときに、バイト・プログラム、バースト・プログラム、またはページ消去のコマンド・コード（0x20、0x25、または 0x40）をバックグラウンド・デバッグ・コマンドでライトする（バックグラウンド・デバッグ・コントローラは、MCU がセキュア・モードである場合のみブランク・チェックと全体消去のコマンドの実行が可能です）。
- FCBEF に 0 をライトしてコマンドの実行を取り消す。

4.5.6 FLASH のブロック保護

ブロック保護機能は、プログラムや消去による FLASH の保護領域の変更を防ぎます。ブロック保護は、FLASH 保護レジスタ（FPROT）を通して制御されます。イネーブルすると、FLASH の最終アドレス（0xFFFF）以下の任意の 512 バイト境界のブロック保護が始まります（「4.7.4 FLASH 保護レジスタ（FPROT および NVPROT）」参照）。

リセット後、FLASH メモリの不揮発ロケーションにある NVPROT の内容が FPROT にロードされます。FPROT は、アプリケーション・ソフトウェアから直接変更することはできず、暴走したプログラムがブロック保護の設定を変更することはありません。NVPROT は FLASH の最後の 512 バイトにあるので、メモリを保護すると、NVPROT 自体が保護の対象となって、アプリケーション・ソフトウェアで（意図的であっても過失であっても）変更できなくなります。バックグラウンド・デバッグ・コマンドで FPROT をライトすれば、保護された FLASH メモリの消去およびプログラムが可能になります。

図 4-4 に、ブロック保護メカニズムを示します。FPS ビットは、保護されないメモリの最終アドレスの上位ビットです。このアドレスは、図のように FPS7:FPS1 と論理 1 を連結して構成されます。たとえば、メモリの最後の 1536 バイト（アドレス 0xFA00 ～ 0xFFFF）を保護するには、FPS ビットを 1111 100 にします。これにより、0xF9FF が保護されないメモリの最終アドレスになります。FPS ビットを適切な値にプログラムする以外に、FPDIS（NVPROT のビット 0）を論理 0 にプログラムしてブロック保護をイネーブルする必要があります。そのため、アドレス 0xFA00 ～ 0xFFFF を保護するには NVPROT に 0xF8 をプログラムします。

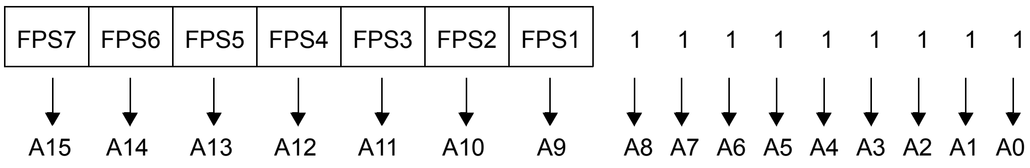


図 4-4. ブロック保護メカニズム

ブロック保護の目的の 1 つは、ブートローダ・プログラム用の FLASH メモリの領域をブロック単位で保護することです。このブートローダ・プログラムは、それ以外の FLASH メモリの消去や再プログラムに使用できます。保護されたブートローダは、消去や再プログラムの処理中に MCU の電源が切られてもまったく影響を受けません。

4.5.7 ベクタのリダイレクト

ブロック保護を行うと、リセットと割込みのベクタも保護されます。ベクタをリダイレクトすると、ブートローダとリセット・ベクタ空間の保護を解除せずに割込みベクタ情報を変更できるようになります。ベクタのリダイレクトは、アドレス 0xFFBF の NVOPT レジスタの FNORED ビットを 0 にプログラムすると可能になります。リダイレクトを行うには、アドレス 0xFFBD の NVPROT レジスタをプログラムして、FLASH メモリの一部分をブロック保護します。割込みベクタ（アドレス 0xFFC0 ～ 0xFFFD）はすべてリダイレクトされますが、リセット・ベクタ（0xFFFE:FFFF）はリダイレクトされません。

たとえば、FLASH の 512 バイトを保護すると保護されるアドレス領域は 0xFE00 ～ 0xFFFF となり、割込みベクタ（0xFFC0 ～ 0xFFFD）は 0xFDC0 ～ 0xFDFD の位置にリダイレクトされます。このときに仮に SPI 割込みが発生したとすると、0xFFE0:FFE1 ではなく 0xFDE0:FDE1 にある値がベクタとして使用されます。そのため、デフォルトのベクタ位置が含まれる FLASH の保護領域には手を付けずに、新しい割込みベクタ値を含む新しいプログラム・コードで保護されていない部分を再プログラムできます。

4.6 セキュリティ

MC9S08QG8/4 には事前に許可されていない場合、FLASH と RAM のアクセスを保護する機能があります。セキュリティ機能が有効になると、FLASH と RAM はセキュア・リソースと見なされます。ダイレクトページ・レジスタ、上位ページ・レジスタ、およびバックグラウンド・デバッグ・コントローラは非セキュア・リソースと見なされます。セキュア・メモリ内で実行されるプログラムは、MCU の任意のメモリ位置とリソースに対して通常のアクセスを行います。非セキュア・メモリ空間またはバックグラウンド・デバッグ・インタフェースから実行されるプログラムは、セキュア・メモリにアクセスしても受け付けられません（ライトは無視されてリードすると全ビットで 0 が返ります）。

セキュリティ機能は、FOPT レジスタの 2 つの不揮発レジスタ・ビット（SEC01:SEC00）の状態に基づいて有効または無効になります。リセット時には、不揮発ロケーションの NVOPT の内容が FLASH から上位ページ・レジスタ空間のワーク用の FOPT レジスタへコピーされます。セキュリティ機能は、FLASH メモリをプログラムするときと同時に NVOPT をプログラムして有効にします。1:0 の状態ではセキュリティ機能は無効で、それ以外の 3 つの組合せでは有効です。消去ステート（1:1）では MCU はセキュア・モードです。開発時は、FLASH を消去する場合はすぐに NVOPT の SEC00 ビットを SEC01:SEC00 = 0 になるようにセットすることが推奨されます。これで、それ以降のリセットの後で MCU は常に非セキュア・モードに保たれます。

MCU がセキュア・モードなら、オンチップ・デバッグ・モジュールはイネーブルにできません。バックグラウンド・メモリ・アクセス・コマンドでは別のバックグラウンド・デバッグ・コントローラを使用できますが、MCU はリセットの立ち上がりエッジで BKGD/MS が Low に維持されない限りアクティブ・バックグラウンド・モードには移行しません。

8 バイトのバックドア・セキュリティ・キーを使用すると、セキュリティ・アンロック・メカニズムの有効 / 無効を設定できます。NVOPT/FOPT の不揮発の KEYEN ビットが 0 なら、バックドア・キーはディセーブルで、FLASH 全体を完全に消去しないとセキュリティ機能は無効にできません。KEYEN が 1 なら、以下の手順でユーザ・プログラムのセキュリティ機能を一時的に無効にできます。

1. FCNFG レジスタの KEYACC に 1 をライトします。FLASH モジュールは、バックドア比較キー（NVBACKKEY ～ NVBACKKEY+7）にライトされる値をキーと比較する値として解釈します。FLASH の消去またはプログラムのコマンドの最初の手順とは解釈されません。
2. 入力するキー値を NVBACKKEY ～ NVBACKKEY+7 の領域にライトします。このライトは、NVBACKKEY から始めて NVBACKKEY+7 まで順番に行う必要があります。このライト操作は連続するバス・サイクルでは実行できないという理由から、STHX を使用することはできません。ユーザ・ソフトウェアは、通常はシリアル I/O などの通信インタフェースを通して MCU システムの外部からキー・コードを取得します。
3. FCNFG レジスタの KEYACC に 0 をライトします。上記の手順でライトされた 8 バイトのキーが FLASH に格納されるキーと一致すれば、SEC01:SEC00 は自動的に 1:0 に変わり、セキュリティ機能は次のリセットまで無効になります。

セキュリティ・キーはセキュア・メモリ（RAM または FLASH）からのみライト可能です。したがって、安全なユーザ・プログラムとの連携がなければバックグラウンド・コマンドでセキュリティ・キーを入力することはできません。

バックドア比較キー（NVBACKKEY ～ NVBACKKEY+7）は、FLASH メモリの不揮発レジスタ用の空間内にあります。したがって、他の FLASH メモリ・ロケーションでのプログラムと同様にこれらのキーもプログラムできます。不揮発レジスタは、リセットや割込みのベクタと同じ FLASH の 512 バイト・ブロックにあり、この空間をブロック保護すればバックドア比較キーもブロック保護されることになります。ブロック保護は、ユーザ・アプリケーション・プログラムからは変更できません。そのため、ベクタ空間をブロック保護すると、バックドア・セキュリティ・キー・メカニズムでブロック保護、セキュリティ設定、またはバックドア・キーを変更することはできません。

セキュリティ機能は、以下の手順によりバックグラウンド・デバッグ・インタフェースを通していつでも無効にできます。

1. FPROT にライトしてブロック保護をディセーブルにします。FPROT は、バックグラウンド・デバッグ・コマンドでのみライトが可能で、アプリケーション・ソフトウェアからはライトできません。
2. 必要なら FLASH の全体を消去します。
3. FLASH をブランク・チェックします。FLASH が完全に消去されていればセキュリティ機能は次のリセットまで無効です。

   次のリセットの後でセキュア・モードに戻らないようにするには、SEC01:SEC00 = 1:0 となるように NVOPT をプログラムします。

4.7 FLASH のレジスタおよび制御ビット

FLASH モジュールは、上位ページ・レジスタ空間に 9 個の 8 ビット・レジスタがあります。FLASH メモリの不揮発レジスタ空間の 2 つのロケーション（NVOPT、NVPROT）は、リセット時に対応する 3 つの上位ページ制御レジスタ（FOPT、FPROT）にコピーされます。FLASH メモリには 8 バイトの比較キーもあります。各 FLASH レジスタに割り当てられる絶対アドレスについては、表 4-3 と表 4-4 を参照してください。本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケール・セミコンダクタが提供する EQU ファイルまたはヘッダ・ファイルはこれらの名前を絶対アドレスに変換するのに使われます。

4.7.1 FLASH クロック分周レジスタ（FCDIV）

消去やプログラムの操作の前には、不揮発メモリ・システムに対するクロック周波数が許容範囲に入るようにこのレジスタへのライトを行ってください。

	7	6	5	4	3	2	1	0
R	DIVLD	PRDIV8	DIV					
W								
リセット	0	0	0	0	0	0	0	0

[網掛け] = 未実装または予約済み

図 4-5. FLASH クロック分周レジスタ（FCDIV）

表 4-6. FCDIV レジスタのフィールド説明

フィールド	説明
7 DIVLD	**分周比ロード・ステータス・フラグ**－このステータス・フラグはリード専用で、セットならリセット以降に FCDIV レジスタがライトされていることを示します。このビットは、リセットによってクリアされ、レジスタへの最初のライトでライトされる値に関係なくビットがセットされます。 0　FCDIV はリセット以降にライトされていない。FLASH の消去 / プログラムの操作はディセーブル。 1　FCDIV はリセット以降にライトされている。FLASH の消去 / プログラムの操作はイネーブル。
6 PRDIV8	**8 による FLASH クロックのプリスケール（分周）** 0　FLASH クロック分周器へのクロック入力はバス・レート・クロック。 1　FLASH クロック分周器へのクロック入力はバス・レート・クロックを 8 で除算した値。
5:0 DIV	**FLASH クロック分周器の分周比**－ FLASH クロック分周器は、バス・レート・クロック（または PRDIV8 = 1 ならバス・レート・クロックを 8 で除算した値）を 6 ビットの DIV フィールドの値 +1 で分周します。FLASH が正しく動作するには、内部 FLASH クロックの周波数は 200 KHz ～ 150 KHz の範囲に入っている必要があります。消去 / プログラムのタイミング・パルスは、この内部 FLASH クロックの 1 サイクルで、5 μs ～ 6.7 μs の範囲に該当します。自動プログラム・ロジックは、整数回のタイミング・パルスで消去またはプログラムの操作を完了します。方程式 4-1 と方程式 4-2 を参照してください。

$$\text{PRDIV8 = 0 の場合} - f_{FCLK} = f_{Bus} \div (DIV + 1) \qquad \text{方程式 4-1}$$

$$\text{PRDIV8 = 1 の場合} - f_{FCLK} = f_{Bus} \div (8 \times (DIV + 1)) \qquad \text{方程式 4-2}$$

表 4-7 に、各バス周波数に対する PRDIV8 と DIV の値を示します。

表 4-7. FLASH クロック分周器の設定

f_{Bus}	PRDIV8 （2 進値）	DIV （10 進値）	f_{FCLK}	消去 / プログラム・タイミング・パルス （最小 5 μs、最大 6.7 μs）
20 MHz	1	12	192.3 kHz	5.2 μs
10 MHz	0	49	200 kHz	5 μs
8 MHz	0	39	200 kHz	5 μs
4 MHz	0	19	200 kHz	5 μs
2 MHz	0	9	200 kHz	5 μs
1 MHz	0	4	200 kHz	5 μs
200 kHz	0	0	200 kHz	5 μs
150 kHz	0	0	150 kHz	6.7 μs

4.7.2　FLASH オプション・レジスタ（FOPT および NVOPT）

不揮発ロケーションの NVOPT の内容は、リセット時に FLASH から FOPT にコピーされます。このレジスタの値を変更するには、通常の手順で FLASH メモリの NVOPT ロケーションの消去とプログラムを行って、MCU リセットを起動します。

	7	6	5	4	3	2	1	0
R	KEYEN	FNORED	0	0	0	0	SEC01	SEC00
W								
リセット	このレジスタはリセット時に不揮発ロケーションの NVOPT からロードされます							

□ = 未実装または予約済み

図 4-6. FLASH オプション・レジスタ（FOPT）

表 4-8. FCDIV レジスタのフィールド説明

フィールド	説明
7 KEYEN	**バックドア・キー・メカニズム・イネーブル**－このビットが 0 なら、バックドア・キー・メカニズムでセキュリティ機能を無効にすることはできません。バックドア・キー・メカニズムはユーザの（安全な）ファームウェアによってのみアクセスが可能です。BDM コマンドでは、バックドア・キーをアンロックするキー比較値はライトできません。バックドア・キー・メカニズムの詳細については、「4.6 セキュリティ」を参照してください。 0 バックドア・キーはアクセスできない。 1 ユーザ・ファームウェアで不揮発バックドア・キーに一致する 8 バイト値を（NVBACKKEY ～ NVBACKKEY+7 の順で）ライトすると、セキュリティ機能は次の MCU リセットまで一時的に無効となる。
6 FNORED	**ベクタ・リダイレクト・ディセーブル**－このビットが 1 なら、ベクタ・リダイレクトはディセーブルです。 0 ベクタ・リダイレクトはイネーブル。 1 ベクタ・リダイレクトはディセーブル。
1:0 SEC0[1:0]	**セキュリティ状態コード**－この 2 ビット・フィールドは、MCU のセキュリティ状態を決定します（表 4-9 参照）。MCU がセキュア・モードなら、RAM および FLASH メモリの内容は、バックグラウンド・インタフェースを含む非セキュア・ソースの命令ではアクセスできません。SEC01:SEC00 は、正しいバックドア・キーの入力または FLASH のブランク・チェックの後では 1:0 に変化します。 セキュリティ機能の詳細については、「4.6 セキュリティ」を参照してください。

表 4-9. セキュリティ状態[1]

SEC01:SEC00	説明
0:0	セキュア
0:1	セキュア
1:0	非セキュア
1:1	セキュア

[1] SEC01:SEC00 は、正しいバックドア・キーの入力または FLASH のブランク・チェックの後では 1:0 に変化します。

4.7.3 FLASH コンフィギュレーション・レジスタ（FCNFG）

	7	6	5	4	3	2	1	0
R	0	0	KEYACC	0	0	0	0	0
W								
リセット	0	0	0	0	0	0	0	0

(網掛け) = 未実装または予約済み

図 4-7. FLASH コンフィギュレーション・レジスタ（FCNFG）

表 4-10. FCNFG レジスタのフィールド説明

フィールド	説明
5 KEYACC	**アクセス・キーのライト許可**－このビットは、バックドア比較キーのライトをイネーブルします。バックドア・キー・メカニズムの詳細については、「4.6 セキュリティ」を参照してください。 0 0xFFB0 ～ 0xFFB7 へのライトは、FLASH の消去またはプログラム・コマンドの開始と見なされる。 1 NVBACKKEY（0xFFB0 ～ 0xFFB7）へのライトは、比較キーのライトと見なされる。

4.7.4 FLASH 保護レジスタ（FPROT および NVPROT）

不揮発ロケーションの NVPROT の内容は、リセット時に FLASH から FPROT へコピーされます。このレジスタは常にリードが可能ですが、ユーザ・プログラムでライトしても値は変化しません。

	7	6	5	4	3	2	1	0
R / W	FPS(1)							FPDIS(1)
リセット	このレジスタはリセット時に不揮発ロケーションの NVPROT からロードされます							

1 FPROT のこれらのビットの内容はバックグラウンド・コマンドで変更できます。

図 4-8. FLASH 保護レジスタ（FPROT）

表 4-11. FPROT レジスタのフィールド説明

フィールド	説明
7:1 FPS	**FLASH 保護選択ビット**— FPDIS = 0 なら、FLASH の上位アドレスの末尾の非保護 FLASH ロケーションの末尾アドレスがこの 7 ビット・フィールドで決まります。保護された FLASH ロケーションは、消去やプログラムはできません。
0 FPDIS	**FLASH 保護ディセーブル** 0 FPS7:FPS1 で指定される FLASH ブロックはブロック保護される（消去またはプログラムはできない）。 1 FLASH ブロックは保護されない。

4.7.5 FLASH ステータス・レジスタ（FSTAT）

	7	6	5	4	3	2	1	0
R	FCBEF	FCCF	FPVIOL	FACCERR	0	FBLANK	0	0
W	FCBEF		FPVIOL	FACCERR				
リセット	1	1	0	0	0	0	0	0

(網掛け) = 未実装または予約済み

図 4-9. FLASH ステータス・レジスタ（FSTAT）

表 4-12. FSTAT レジスタのフィールド説明

フィールド	説明
7 FCBEF	**FLASH コマンド・バッファ・エンプティ・フラグ**— FCBEF ビットは、コマンドの発行に使用します。また、コマンド・バッファがエンプティで、バースト・プログラムの実行時に新しいコマンド・シーケンスを実行可能であることも示します。FCBEF ビットは、1 をライトするか、プログラミングのためにバースト・プログラム・コマンドをアレイに転送すると、クリアされます。バッファに格納できるのはバースト・プログラム・コマンドだけです。 0 コマンド・バッファは一杯（以降のコマンドを受け付ける準備が整っていない）。 1 新しいバースト・プログラム・コマンドをコマンド・バッファにライト可能。
6 FCCF	**FLASH コマンド完了フラグ**— FCCF は、コマンド・バッファがエンプティで処理中のコマンドがなければ、自動的にセットされます。新しいコマンドを起動すると（FCBEF に 1 をライトしてコマンドをレジスタにライトする）、自動的にクリアされます。FCCF にライトしても値は変化しません。 0 コマンドを処理中。 1 すべてのコマンドが完了。
5 FPVIOL	**保護違反フラグ**— FPVIOL は、保護ブロックの消去またはプログラムを行うコマンドをレジスタにライトするために FCBEF がクリアされると（不正コマンドは無視されます）、自動的にセットされます。1 をライトするとクリアされます。 0 保護違反なし。 1 保護ロケーションの消去 / プログラムを行おうとした。

表 4-12. FSTAT レジスタのフィールド説明（続き）

フィールド	説明
4 FACCERR	**アクセス・エラー・フラグ**— FACCERR は、正しいコマンド・シーケンスが守られない場合に自動的にセットされます（不正コマンドは無視されます）。たとえば、FCDIV レジスタを初期化する前に消去やプログラムのコマンドを実行したり、コマンドの実行中に MCU をストップ・モードに移行させたりする場合です。アクセス・エラーと判断される処理の詳細については、「4.5.5 アクセス・エラー」を参照してください。FACCERR は、1 をライトするとクリアされます。FACCERR に 0 をライトしても値は変化しません。 0 アクセス・エラーなし。 1 アクセス・エラーが発生した。
2 FBLANK	**FLASH の全ブランク（消去済み）検証フラグ**— FBLANK は、ブランク・チェック・コマンドの完了時に FLASH アレイ全体の消去が確認されると、自動的にセットされます。また、新しい有効なコマンドをライトするために FCBEF をクリアすると、クリアされます。FBLANK にライトしても値は変化しません。 0 ブランク・チェック・コマンドが完了して FCCF = 1 なら、FLASH アレイが完全には消去されていない。 1 ブランク・チェック・コマンドが完了して FCCF = 0 なら、FLASH アレイが完全に消去されている（すべて 0xFF）。

4.7.6 FLASH コマンド・レジスタ（FCMD）

表 4-13 に示すように、通常のユーザ・モードでは 5 つのコマンド・コードだけが認識されます。FLASH の消去とプログラムの操作の詳細については、「4.5.3 消去およびプログラム・コマンドの実行」を参照してください。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0
W	FCMD							
リセット	0	0	0	0	0	0	0	0

図 4-10. FLASH コマンド・レジスタ（FCMD）

表 4-13. FLASH コマンド

コマンド	FCMD	EQU ファイルのラベル
ブランク・チェック	0x05	mBlank
バイト・プログラム	0x20	mByteProg
バイト・プログラム（バースト・モード）	0x25	mBurstProg
ページ消去（512 バイト / ページ）	0x40	mPageErase
全体消去（全 FLASH）	0x41	mMassErase

それ以外のすべてのコマンド・コードは無効で、アクセス・エラーの原因となります。

全体消去の後では、ブランク・チェック・コマンドを実行する必要はありません。このコマンドの実行は、セキュリティ機能のアンロック・メカニズムの中でのみ必要です。

第 5 章
リセット、割込み、および全体的なシステム制御

5.1 はじめに

本章では、MC9S08QG8/4 のリセットと割込みの基本的なメカニズムおよび各種のソースについて解説します。主なペリフェラル・モジュールの割込みソースについては、以降の各章で詳しく解説します。本章は、理解を助ける意味でリセットと割込みのすべてのソースに関する基本的な情報をまとめておきます。コンピュータ動作保証（COP）ウォッチドッグやリアルタイム割込み（RTI）などの一部のリセットと割込みのソースは、オンチップ・ペリフェラル・システムではなくシステム制御ロジックの説明の中で取り上げます。

5.2 主な特長

以下に、リセットと割込みの主な特長を示します。

- 柔軟なシステム構成と安定動作のための多数のリセット・ソース：
- 直前のリセットのソースを示すリセット・ステータス・レジスタ（SRS）
- モジュールごとの独立した割込みベクタ（ポーリング・オーバヘッドの短縮が可能）（表 5-2 参照）

5.3 MCU のリセット

MCU をリセットすると、初期状態から処理を開始することができます。リセット時は、制御とステータスを扱うほとんどのレジスタは強制的に初期値に戻され、プログラム・カウンタにはリセット・ベクタ（0xFFFE:0xFFFF）の内容がロードされます。オンチップ・ペリフェラル・モジュールはディセーブルとなり、I/O ピンはプルアップ・デバイスがディセーブルとなる汎用のハイ・インピーダンス入力に初期設定されます。コンディション・コード・レジスタ（CCR）の I ビットがセットされてマスク可能割込みがブロックされるので、この間にユーザ・プログラムがスタック・ポインタ（SP）とシステム制御設定値を初期化できます。SP は、リセット時は強制的に 0x00FF に設定されます。

MC9S08QG8/4 には、以下のリセット・ソースがあります。

- 外部ピン・リセット（PIN）－ SOPT1 の RSTPE を使用することで実行
- パワーオン・リセット（POR）
- 低電圧検出（LVD）
- コンピュータ動作保証（COP）タイマ
- 不正オペコード検出（ILOP）
- 不正アドレス検出（ILAD）
- バックグラウンド・デバッグ強制リセット

以上の各ソースは、バックグラウンド・デバッグ強制リセットを除いて、システム・リセット・ステータス・レジスタに対応するビットがあります。

5.4 コンピュータ動作保証（COP）ウォッチドッグ

COP ウォッチドッグは、アプリケーション・ソフトウェアが期待通りに動作しなくなった際に、強制的にシステム・リセットを行う場合に使用します。COP タイマ（イネーブルの場合）によるシステム・リセットを回避するには、アプリケーション・ソフトウェアは COP タイマを周期的にリセットすることが求められます。アプリケーション・プログラムが正常に動作しなくなり、タイムアウトする前に COP をリセットできなければ、システム・リセットが起動してシステムは強制的に初期状態へ戻されます。

リセット後は SOPT1 の COPE がセットされて、COP ウォッチドッグがイネーブルされます（詳細については「5.8.4 システム・オプション・レジスタ 1（SOPT1）」参照）。アプリケーションで COP ウォッチドッグを使用しない場合は、COPE をクリアしてディセーブルできます。COP カウンタは、SRS のアドレスに任意の値をライトするとリセットされます。SRS はリード専用なので、ライトする内容には意味はありません。このアドレスへのライト操作は、デコードされて COP カウンタのリセット信号として使われます。

SOPT2 の COPCLKS ビット（詳細については「5.8.5 システム・オプション・レジスタ 2（SOPT2）」参照）は、COP タイマのクロック・ソースを選択します。クロック・ソースは、バス・クロックまたは 1 kHz の内部クロック・ソースです。各クロック・ソースには、SOPT1 の COPT で制御される 2 つのタイムアウト（短い周期と長い周期）が関連付けられています。表 5-1 に、COPCLKS ビットと COPT ビットの制御機能を示します。COP ウォッチドッグは、デフォルトで 1 kHz のクロック・ソースで動作し、長いタイムアウト（2^8 サイクル）が関連付けられます。

表 5-1. COP の設定オプション

制御ビット		クロック・ソース	COP オーバフロー・カウント
COPCLKS	COPT		
0	0	~1 kHz	2^5 サイクル（32 ms）[1]
0	1	~1 kHz	2^8 サイクル（256 ms）[1]
1	0	バス	2^{13} サイクル
1	1	バス	2^{18} サイクル

[1] この欄の値は、t_{RTI} = 1 ms という条件に基づいています。許容値に関しては、「A.8.1 Control Timing」の t_{RTI} を参照してください。

アプリケーションで COPE、COPCLKS、および COPT のリセット時のデフォルト設定を使用する場合でも、設定を確定するためにユーザはリセット初期化の中でライトワンスの SOPT1 および SOPT2 レジスタにライトする必要があります。この操作をしておけば、アプリケーション・プログラムが正常に動作しなくなっても誤って設定が変更されることはありません。SOPT1 および SOPT2 への初期ライトにより、COP カウンタがリセットされます。

COP カウンタをイネーブル（またはディセーブル）にする SRS へのライトは、割込みサービス・ルーチン（ISR）の中では行わないでください。ISR は、メインのアプリケーション・プログラムが誤動作する場合でも周期的に実行されるようになっています。

バックグラウンド・デバッグ・モードでは、COP カウンタはインクリメントしません。

バス・クロック・ソースを選択した場合、COP カウンタはシステムがストップ・モードならインクリメントしません。COP カウンタは、MCU がストップ・モードを終了すると速やかに再開します。

1 kHz クロック・ソースを選択した場合、COP カウンタはストップ・モード移行時に初期化されてゼロになります。COP カウンタは、MCU がストップ・モードを終了するとゼロから開始します。

5.5 割込み

割込みとは、CPU のステータスとレジスタの現在の内容をセーブして、割込みサービス・ルーチン（ISR）を実行し、CPU ステータスをリストアして割込みに入る前の位置から処理を再開する一連の手続きのことをいいます。プログラム命令によるソフトウェア割込み（SWI）を除けば、割込みは IRQ ピンのエッジやタイマ・オーバフロー・イベントなどのハードウェア・イベントで引き起こされます。デバッグ・モジュールでも、特定の状況では SWI を生成することができます。

イネーブルされた割込みソースでイベントが発生すると、対応するリード専用のステータス・フラグがセットされます。CPU は、ローカル（各モジュールの）割込みをイネーブル（論理 1）に設定するまでは、それに応答することはありません。CCR の I ビットが 0 なら、割込みは許可されます。CCR のグローバル割込みマスク（I ビット）は、リセット後の初期化でセットされるため、すべてのマスカブルな割込みソースはマスクされます（割込みは生成されません）。ユーザ・プログラムでは、スタック・ポインタを初期化してその他のシステム設定を行ってから、I ビットをクリアして CPU が割込みに応答できるようにします。

CPU は、適正な割込み要求を受け取ると、実行中の命令を完了してから割込みに応答します。その後の割込みシーケンスは、SWI 命令の場合と同じサイクル単位の処理です。以下にその手順を示します。

- CPU レジスタをスタックにセーブする
- CCR の I ビットがセットされて以降の割込みがマスクされる
- 保留中の最上位優先度の割込みの割込みベクタをフェッチする
- 割込みベクタ・ロケーションからフェッチしたアドレスから 3 バイトのプログラム情報を命令キューに格納する

CPU が割込みに応答している間は、別の割込みが ISR に割り込まないように自動的に I ビットがセットされます（割込みの重複を割込みのネストと呼びます）。通常は、ISR への移行時にスタックされた値が CCR にリストアされるタイミングで、I ビットは 0 にリストアされます。I ビットは、ごくまれに ISR の中で（割込みを生成したステータス・フラグのクリアの後で）クリアされる場合があり、最初のサービス・ルーチンの終了を待たずに別の割込みをサービスすることができます。こうした複雑な処理は、デバッグの難しい微妙なプログラム・エラーにつながる可能性があり、熟練したプログラマ以外は避けることが推奨されます。

割込みサービス・ルーチンの最後に割込みから復帰（RTI）命令を実行すると、セーブした情報がスタックからリードされて、CCR、A、X、および PC の各レジスタがリストアされます。

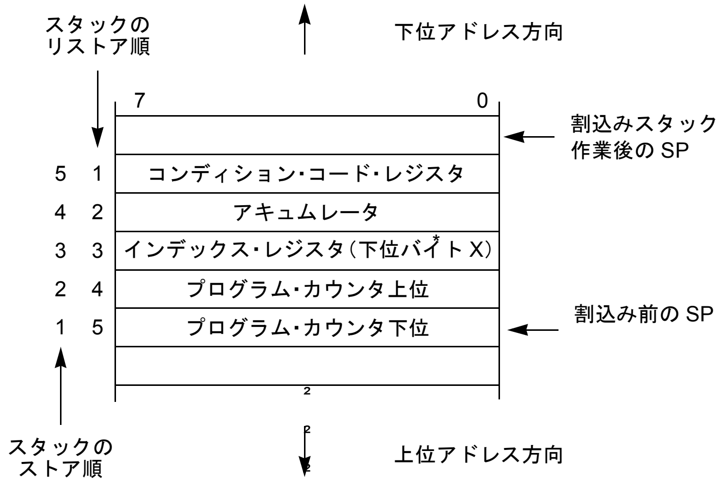
注意

M68HC08 との互換性を保つため、H レジスタは自動的にはセーブされず、リストアもされません。そのため、割込みサービス・ルーチン（ISR）の先頭で H をスタックにプッシュし、ISR からの復帰を実行する RTI の直前でリストアすることをお奨めします。

I ビットがクリアであるときに 2 つ以上の割込みが保留中なら、最上位優先度のソースが最初にサービスされます（表 5-2 参照）。

5.5.1 割込みスタック・フレーム

図 5-1 に、スタック・フレームの内容と構成を示します。割込み前のスタック・ポインタ（SP）はスタック上で次に使用が可能なバイト・ロケーションを指示します。CPU レジスタの現在の値は、スタック領域に、下位バイトのプログラム・カウンタ（PCL）から CCR の順でストアされます。スタック作業の後は、SP はスタック上で次に使用が可能なロケーションを指示しますが、今度の場合は CCR がセーブされた位置より 1 だけ小さいアドレスです。スタックにセーブされる PC 値は、割込みが発生しない場合に次に実行されることになっていた、メイン・プログラム中の命令のアドレスです。



* インデックス・レジスタの上位バイト（H）は、自動的にはスタックに格納されません。

図 5-1. 割込みスタック・フレーム

RTI 命令が実行されると、これらの値はスタックから逆の順序で復元されます。RTI シーケンスの中で、CPU はスタックからの復元を行った後の PC アドレス以降の 3 バイトのプログラム情報をリードして、それを命令パイプラインに格納します。

割込みの原因となったステータス・フラグは、ISR から復帰する前に特定（クリア）しなければなりません。通常は、フラグは ISR の先頭でクリアします。こうすれば、同じソースから別の割込みが生成される場合でも登録されるため、現在の ISR の完了後にサービスを行うことができます。

5.5.2 外部割込み要求ピン（$\overline{\mathrm{IRQ}}$）

外部割込みは、IRQ ステータス / 制御レジスタ（IRQSC）で管理されます。$\overline{\mathrm{IRQ}}$ 機能がイネーブルなら、同期ロジックはエッジのみまたはエッジとレベルのイベントをピンで監視します。MCU がストップ・モードでシステム・クロックが停止している場合でも、個々の非同期パスを使用して $\overline{\mathrm{IRQ}}$（イネーブルの場合）で MCU をウェイクアップできます。

5.5.2.1 ピン設定のオプション

$\overline{\mathrm{IRQ}}$ ピンが割込み要求（IRQ）入力として機能するには、IRQSC の $\overline{\mathrm{IRQ}}$ ピン・イネーブル（IRQPE）制御ビットを 1 にしておく必要があります。IRQ 入力としてユーザが選択できるのは、ピンでエッジ検出のみまたはエッジとレベル検出のどちらか（IRQMOD）、およびイベントを割込みにつなげるかまたはソフトウェアでのポーリングが可能な IRQF フラグのセットだけにするか、です。

$\overline{\mathrm{IRQ}}$ ピンは、イネーブルされると内部プルアップ・デバイス（IRQPDD = 0）をデフォルトで使用します。外部プルアップを使用する場合は、IRQPDD に 1 をライトして内部デバイスをオフにします。

IRQ 入力として機能するようにピンを設定している場合は、BIH および BIL 命令で $\overline{\mathrm{IRQ}}$ ピンのレベルを検知できます。

注意

このピンは V_{DD} に対するクランプ・ダイオードを持たないため、V_{DD} 以上にドライブしないでください。

内部でプルアップを行った $\overline{\mathrm{IRQ}}$ ピンは、V_{DD} のレベルまでプルされません。$\overline{\mathrm{IRQ}}$ のプルアップは、外部コンポーネントのプルアップに使用しないでください。（このピンに接続された内部ゲートは V_{DD} まで引き上げられ、正しく Hi を検出できる回路構成になっています。）

5.5.2.2 エッジおよびレベルの検知

検出ロジックによるエッジ・イベントとピン・レベルの検出は、IRQMOD 制御ビットで再設定します。このエッジ検出モードでは、エッジ（$\overline{\text{IRQ}}$ ピンがディアサートからアサートのレベルに変化するタイミング）が検出されると IRQF ステータス・フラグがセットされ、$\overline{\text{IRQ}}$ ピンがアサート・レベルを維持している間はフラグは継続的にセットされます（クリアはできません）。

5.5.3 割込みのベクタ、ソース、およびローカル・マスク

表 5-2 に、すべての割込みソースをまとめておきます。ソースの優先度は、表の下に行くほど高くなります。ベクタ・アドレス欄の最初のアドレスが割込みサービス・ルーチンのアドレスの上位バイト、次のアドレスがサービス・ルーチンのアドレスの下位バイトです。

割込み条件が発生すると、それに対するフラグ・ビットがセットされ、そのローカル割込みイネーブルが 1 なら、割込み要求が CPU に送出されます。CPU は、グローバル割込みマスク（CCR の I ビット）が 0 なら、実行中の命令を終了し、PCL、PCH、X、A、および CCR の各 CPU レジスタの内容をスタックに格納し、I ビットをセットして、保留中で最上位優先度の割込みに対する割込みベクタをフェッチします。それ以降の処理は、割込みサービス・ルーチンで行われます。

表 5-2. ベクター覧

ベクタ優先度	ベクタ番号	アドレス （上位 / 下位）	ベクタ名	モジュール	ソース	イネーブル	説明
下位	31 ～ 24	0xFFC0:FFC1 ～ 0xFFCE:FFCF	未使用ベクタ領域 （ユーザ・プログラム用）				
	23	0xFFD0:FFD1	Vrti	システム 制御	RTIF	RTIE	リアルタイム割込み
	22	0xFFD2:FFD3	—	—	—	—	—
	21	0xFFD4:FFD5	—	—	—	—	—
	20	0xFFD6:FFD7	Vacmp	ACMP	ACF	ACIE	ACMP
	19	0xFFD8:FFD9	Vadc	ADC	COCO	AIEN	ADC
	18	0xFFDA:FFDB	Vkeyboard	KBI	KBF	KBIE	キーボード・ピン
	17	0xFFDC:FFDD	Viic	IIC	IICIF	IICIE	IIC 制御
	16	0xFFDE:FFDF	Vscitx	SCI	TDRE TC	TIE TCIE	SCI 送信
	15	0xFFE0:FFE1	Vscirx	SCI	IDLE RDRF	ILIE RIE	SCI 受信
	14	0xFFE2:FFE3	Vscierr	SCI	OR NF FE PF	ORIE NFIE FEIE PFIE	SCI エラー
	13	0xFFE4:FFE5	Vspi	SPI	SPIF MODF SPTEF	SPIE SPIE SPTIE	SPI
	12	0xFFE6:FFE7	Vmtim	MTIM	TOF	TOIE	MTIM
	11	0xFFE8:FFE9	—	—	—	—	—
	10	0xFFEA:FFEB	—	—	—	—	—
	9	0xFFEC:FFED	—	—	—	—	—
	8	0xFFEE:FFEF	—	—	—	—	—
	7	0xFFF0:FFF1	Vtpmovf	TPM	TOF	TOIE	TPM オーバフロー
	6	0xFFF2:FFF3	Vtpmch1	TPM	CH1F	CH1IE	TPM チャネル 1
	5	0xFFF4:FFF5	Vtpmch0	TPM	CH0F	CH0IE	TPM チャネル 0
	4	0xFFF6:FFF7	—	—	—	—	—
	3	0xFFF8:FFF9	Vlvd	システム 制御	LVDF	LVDIE	低電圧検出
	2	0xFFFA:FFFB	Virq	IRQ	IRQF	IRQIE	IRQ ピン
	1	0xFFFC:FFFD	Vswi	CPU	SWI 命令	—	ソフトウェア割込み
上位	0	0xFFFE:FFFF	Vreset	システム制御	COP LVD RESET ピン 不正オペコード 不正アドレス POR	COPE LVDRE RSTPE — — —	ウォッチドッグ・タイマ 低電圧検出 外部ピン 不正オペコード 不正アドレス パワーオン・リセット

5.6 低電圧検出（LVD）システム

MC9S08QG8/4 には、電源電圧の変動に際してメモリ内容の確保と MCU のシステム状態の制御を行う、低電圧条件に対する保護システムがあります。システムの構成は、パワーオン・リセット（POR）回路および High（V_{LVDH}）または Low（V_{LVDL}）のトリップ電圧をユーザが選択できる LVD 回路です。LVD 回路は、SPMSC1 の LVDE が High のときにイネーブルされ、トリップ電圧は SPMSC3 の LVDV で選択します。LVD は、LVDSE が SPMSC1 でセットされていなければいずれかのストップ・モードへの移行時にディセーブルされます。LVDSE と LVDE がともにセットされていれば、MCU はストップ 1 またはストップ 2 には移行できず、LVD をイネーブルしたストップ 3 となり電流消費が大きくなります。

5.6.1 パワーオン・リセットの処理

MCU に最初に電源が投入されるか、電源電圧が V_{POR} レベル未満に降下すると、POR 回路はリセット条件と見なします。LVD 回路は、電源電圧が上昇して V_{LVDL} レベルを超えるまで MCU をリセット状態に保ちます。SRS の POR ビットと LVD ビットは、いずれも POR の後でセットされます。

5.6.2 LVD リセットの処理

LVD は、LVDRE を 1 にセットして低電圧条件の検出でリセットを生成するように設定できます。LVD リセット後、電源電圧が LVDV レベルを超えるまで、LVD システムは MCU をリセット状態に保ちます。SRS レジスタの LVD ビットは、LVD リセットまたは POR のいずれかに後でセットされます。

5.6.3 LVD 割込みの処理

LVD 回路が SPMSC1 を使用して割込み処理向けに設定してあるとき（LVDE はセット、LVDIE はセット、LVDRE はクリア）に低電圧条件が検出されると、SPMSC1 の LVDF がセットされて LVD 割込み要求が発生します。

5.6.4 低電圧警告（LVW）

LVD システムの低電圧警告フラグは、電源電圧が LVD 電圧レベルに近づいていることをユーザに示します。LVW に対応する割込みはありません。LVW に対してユーザが選択可能なトリップ電圧は、上位（V_{LVWH}）または下位（V_{LVWL}）の 2 つです。トリップ電圧は、SPMSC3 の LVWV で選択します。

5.7 リアルタイム割込み（RTI）

リアルタイム割込み機能は、周期割込みの生成に使用できます。RTI は、内部の 1 kHz クロックまたは外部クロック（利用できる場合）の 2 つのクロック・ソースを受け付けます。外部クロック入力には XOSC モジュールが必要です。利用する MCU がこのモジュールを搭載しているかどうかは、表 1-1 で確認してください。RTI クロック・ソースの選択には、SRTISC の RTICLKS ビットを使用します。

どちらの RTI クロック・ソースも、MCU が実行モード、ウェイト・モード、またはストップ 3 モードのときに使用できます。ストップ 3 モードで外部オシレータを使用する場合、ストップ・モードでのイネーブル（EREFSTEN = 1）と低周波動作（RANGE = 0）の設定が必要です。内部の 1 kHz クロック・ソースを選択した場合にのみ、MCU をストップ 1 モードまたはストップ 2 モードからウェイクアップできます。

SRTISC レジスタには、リード専用のステータス・フラグ、ライト専用のアクノリッジ・ビット、そして 7 種類のウェイクアップ周期から 1 つを選択するための 3 ビットの制御値（RTIS）があります。RTI には、リアルタイム割込みをマスクするローカル割込みイネーブルの RTIE が用意されています。RTIS の各ビットに 0 をライトすると、RTI がディセーブルされて割込みは生成されません。このレジスタの詳細については、「5.8.7 システム・リアルタイム割込みステータス / 制御レジスタ（SRTISC）」を参照してください。

5.8 リセット、割込み、およびシステム制御レジスタと制御ビット

リセットと割込みのシステムに関連するレジスタは、ダイレクト・ページのレジスタ空間にある 1 つの 8 ビット・レジスタと上位ページのレジスタ空間にある 8 つの 8 ビット・レジスタです。

すべてのレジスタの絶対アドレスの割当てについては、「第 4 章 メモリマップとレジスタ定義」のダイレクト・ページ・レジスタの一覧を参照してください。本章では、レジスタと制御ビットを名前で示しています。フリースケールはこれらの名前を絶対アドレスに変換するための EQU ファイルまたはヘッダ・ファイルを提供します。

SOPT1、SOPT2、および SPMSC2 レジスタの一部の制御ビットは、動作モードに関するものです。本章ではこれらのビットについて簡単に説明します。関連する機能の詳細については、「第 3 章 動作モード」を参照してください。

5.8.1 割込みピン要求ステータス / 制御レジスタ（IRQSC）

このダイレクト・ページ・レジスタには、IRQ 機能の設定、ステータスの通知、および IRQ イベントの通知に使用されるステータス・ビットと制御ビットがあります。

	7	6	5[1]	4	3	2	1	0
R	0	IRQPDD	0	IRQPE	IRQF	0	IRQIE	IRQMOD
W						IRQACK		
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 5-2. 割込みピン要求ステータス / 制御レジスタ（IRQSC）

[1] ビット 5 は予約ビットで、常に 0 に設定しておく必要があります。

表 5-3. IRQSC レジスタのフィールド説明

フィールド	説明
6 IRQPDD	**割込み要求（IRQ）プル・デバイス・ディセーブル**—リード / ライト可能な制御ビットで、IRQ ピンがイネーブル（IRQPE = 1）のときに内部プルアップ・デバイスをディセーブルして外部デバイスを使用できるようにします。 0 IRQPE = 1 なら IRQ プル・デバイスはイネーブル。 1 IRQPE = 1 なら IRQ プル・デバイスはディセーブル。
4 IRQPE	**IRQ ピン・イネーブル**—リード / ライト可能な制御ビットで、IRQ ピン機能をイネーブルします。このビットがセットなら、IRQ ピンは割込み要求として使用できます。 0 IRQIRQ ピン機能はディセーブル。 1 IRQIRQ ピン機能はイネーブル。
3 IRQF	**IRQ フラグ**—リード専用のステータス・ビットで、割込み要求イベントが発生したかどうかを示します。 0 IRQ 要求なし。 1 IRQ イベントを検出。
2 IRQACK	**IRQ アクノリッジ**—ライト専用ビットで、割込み要求イベントの承認に用いられます（1 をライトすると IRQF がクリアされます）。0 をライトしても意味がなく、ビットは変化しません。リードすると常に 0 が返ります。エッジとレベルの検出が選択されている場合（IRQMOD = 1）、IRQ ピンがアサート・レベルを維持している間は、IRQF はクリアできません。
1 IRQIE	**IRQ 割込みイネーブル**—リード / ライト可能な制御ビットで、IRQ イベントにより割込み要求を生成するかどうかを指定します。 0 IRQF がセットのときの割込み要求はディセーブル（ポーリングを使用）。 1 IRQF = 1 なら割込みを要求。
0 IRQMOD	**IRQ 検出モード**—リード / ライト可能な制御ビットで、エッジのみまたはエッジとレベルの検出を選択します。詳細については、「5.5.2.2 エッジおよびレベルの検知」を参照してください。 0 立ち下がりエッジのみを IRQ イベントと見なす。 1 立ち下がりエッジと Low レベルを IRQ イベントと見なす。

5.8.2 システム・リセット・ステータス・レジスタ（SRS）

この上位ページ・レジスタは、直前のリセットのソースを示すリード専用のステータス・フラグを格納します。デバッグ・ホストが SBDFR レジスタの BDFR に 1 をライトして強制リセットを実行する場合は、SRS のすべてのステータス・ビットがクリアされます。このレジスタ・アドレスに任意の値をライトすると、COP ウォッチドッグ・タイマがクリアされ、レジスタの内容は変化しません。これらのビットのリセット状態は、MCU のリセットを引き起こしたソースによって異なります。

	7	6	5	4	3	2	1	0
R	POR	PIN	COP	ILOP	ILAD	0	LVD	0
W	SRS アドレスに任意の値をライトすると COP ウォッチドッグ・タイマがクリアされる							
POR：	1	0	0	0	0	0	1	0
LVR：	u[1]	0	0	0	0	0	1	0
その他のリセット：	0	注[2]	注[2]	注[2]	注[2]	0	0	0

図 5-3. システム・リセット・ステータス（SRS）

1 u = 影響なし
2 リセット開始時にアクティブであるリセット・ソースに対応するビットがセットされ、アクティブではないソースに対応するビットはクリアされます。

表 5-4. SRS レジスタのフィールド説明

フィールド	説明
7 POR	**パワーオン・リセット**－リセットがパワーオン検出ロジックにより発生したことを示します。このタイミングでは内部の電源電圧も規定のレベルに達していたため、内部電源が LVR しきい値未満に降下してリセットが発生したことを示す低電圧リセット（LVR）のステータス・ビットもセットされます。 0 リセットの原因は POR ではない。 1 リセットは POR により発生した。
6 PIN	**外部リセット・ピン**－リセットが外部リセット・ピンのアクティブ Low レベルにより発生したことを示します。 0 リセットの原因は外部リセット・ピンではない。 1 リセットは外部リセット・ピンにより発生した。
5 COP	**コンピュータ動作保証（COP）ウォッチドッグ**－リセットが COP ウォッチドッグ・タイマのタイムアウトで発生したことを示します。COPE = 0 ならこのリセット・ソースは除外されます。 0 リセットの原因は COP タイムアウトではない。 1 リセットは COP タイムアウトにより発生した。
4 ILOP	**不正オペコード**－リセットが未実装または不正なオペコードの実行により発生したことを示します。STOP 命令は、SOPT レジスタの STOPE = 0 によりストップがディセーブルにされている場合は、不正オペコードと見なされます。BGND 命令は、BDCSC レジスタの ENBDM = 0 によりアクティブ・バックグラウンド・モードがディセーブルにされている場合は、不正オペコードと見なされます。 0 リセットの原因は不正オペコードではない。 1 リセットは不正オペコードにより発生した。
3 ILAD	**不正アドレス**－リセットが未実装のメモリ・アドレスにあるデータまたは命令へのアクセスにより発生したことを示します。 0 リセットの原因は不正アドレスではない。 1 リセットは不正アドレスにより発生した。
1 LVD	**低電圧検出**－ LVDRE ビットがセットのときに電源が LVD トリップ電圧未満に降下すると、LVD リセットが発生します。このビットは POR でもセットされます。 0 リセットの原因は LVD トリップまたは POR ではない。 1 リセットは LVD トリップまたは POR により発生した。

5.8.3 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）

この上位ページ・レジスタは、単独のライト専用の制御ビットを格納します。このレジスタへのライトには、WRITE_BYTE などのシリアル・バックグラウンド・コマンドを使用します。ユーザ・プログラムでこのレジスタにライトしても無視されます。リードすると常に 0x00 が返ります。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0
W								BDFR[1]
リセット :	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 5-4. システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）

1 BDFR は、シリアル・バックグラウンド・デバッグ・コマンドでのみライトが可能で、ユーザ・プログラムではライトできません。

表 5-5. SBDFR レジスタのフィールド説明

フィールド	説明
0 BDFR	**バックグラウンド・デバッグ強制リセット**ー外部デバッグ・ホストでターゲット・システムのリセットを実行するには、WRITE_BYTE などのシリアル・バックグラウンド・コマンドが必要です。このビットに論理 1 をライトすると MCU リセットされます。このビットは、ユーザ・プログラムからはライトできません。ユーザ・モードに移行するには、WRITE_BYTE コマンド発行直後に PTA4/ACMPO/BKGD/MS が High でなければなりません。BDM に移行するには、WRITE_BYTE コマンド発行直後に PTA4/ACMPO/BKGD/MS が Low でなければなりません。詳細については、「Table A-8. Control Timing」を参照してください。

5.8.4 システム・オプション・レジスタ 1（SOPT1）

この上位ページ・レジスタはライトワンス・レジスタであるため、リセット後の最初のライトだけが有効です。リードは常に可能です。それ以降の SOPT1 への（故意または過失による）ライトは、これらの慎重を要する設定が誤って変更されるのを防ぐために無視されます。SOPT1 へのライトは、目的の設定がリセット設定と同じである場合でもユーザのリセット初期化プログラムの中で行う必要があります。

	7	6	5	4[1]	3	2	1	0
R	COPE	COPT	STOPE		0	0	BKGDPE	RSTPE
W								
リセット :	1	1	0	1	0	0	1	u[2]
POR:	1	1	0	1	0	0	1	0
LVR:	1	1	0	1	0	0	1	0

= 未実装または予約済み

図 5-5. システム・オプション・レジスタ 1（SOPT1）

1 ビット 4 は予約済みで、ライトにより値は変化しますが、この MCU では何の影響もありません。
2 u = 影響なし

表 5-6. SOPT1 レジスタのフィールド説明

フィールド	説明
7 COPE	**COP ウォッチドッグ・イネーブル**ーライトワンス・ビットで、COP ウォッチドッグをイネーブルするかどうかを選択します。 0 COP ウォッチドッグ・タイマはディセーブル。 1 COP ウォッチドッグ・タイマはイネーブル（タイムアウトでリセットが発生）。
6 COPT	**COP ウォッチドッグ・タイムアウト**ーライトワンス・ビットで、COP のタイムアウト周期を選択します。COPT は、SOPT2 の COPCLKS との併用により COP のタイムアウト周期を定義します。 0 短いタイムアウト周期を選択。 1 長いタイムアウト周期を選択。
5 STOPE	**ストップ・モード・イネーブル**ーライトワンス・ビットで、ストップ・モードをイネーブルします。ストップ・モードがディセーブルのときにユーザ・プログラムで STOP 命令を実行すると、不正オペコード・リセットが発生します。 0 ストップ・モードはディセーブル。 1 ストップ・モードはイネーブル。
1 BKGDPE	**バックグラウンド・デバッグ・モード・ピン・イネーブル**ーこのライトワンス・ビットをセットすると、PTA4/ACMPO/BKGD/MS ピンの BKGD/MS 機能がイネーブルになります。クリアすると、ピンの機能は出力専用の代替機能のいずれかになります。MCU のリセット後のデフォルトは BKGD/MS 機能です。 0 PTA4/ACMPO/BKGD/MS ピンは PTA4 または ACMPO として動作。 1 PTA4/ACMPO/BKGD/MS ピンは BKGD/MS として動作。
0 RSTPE	**RESET ピン・イネーブル**ーこのライトワンス・ビットをセットすると、PTA5/IRQ/TCLK/RESET ピンの RESET 機能がイネーブルになります。クリアすると、ピンの機能は出力専用の代替機能のいずれかになります。MCU の POR 後のデフォルトは入力専用のポート機能です。RSTPE がセットなら、内部プルアップ・デバイスが RESET でイネーブルされます。 0 PTA5/IRQ/TCLK/RESET ピンは PTA5、IRQ、または TCLK として動作。 1 PTA5/IRQ/TCLK/RESET ピンは RESET として動作。

5.8.5 システム・オプション・レジスタ 2（SOPT2）

この上位ページ・レジスタは、MC9S08QG8/4 デバイスの MCU 固有の機能を設定するためのビットを格納します。

	7	6	5	4	3	2	1	0
R	COPCLKS[1]	0	0	0	0	0	IICPS	ACIC
W								
リセット：	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 5-6. システム・オプション・レジスタ 2（SOPT2）

1 このビットはリセット後に 1 回だけライトできます。それ以降はライトしても無視されます。

表 5-7. SOPT2 レジスタのフィールド説明

フィールド	説明
7 COPCLKS	**COP ウォッチドッグ・クロック選択**ーライトワンス・ビットで、COP ウォッチドッグのクロック・ソースを選択します。 0 内部の 1 kHz クロック・ソースを COP に供給。 1 バス・クロックを COP に供給。
1 IICPS	**IIC ピン選択**ーこのビットは、IIC モジュールの SDA ピンと SCL ピンの位置を選択します。 0 SDA は PTA2、SCL は PTA3。 1 SDA は PTB6、SCL は PTB7。
0 ACIC	**アナログ・コンパレータ入力キャプチャ・イネーブル**ーこのビットは、ACMP の出力を TPM の入力チャネル 0 に接続します。 0 ACMP の出力を TPM の入力チャネル 0 に接続しない。 1 ACMP の出力を TPM の入力チャネル 0 に接続する。

5.8.6 システム・デバイス識別レジスタ（SDIDH、SDIDL）

これらのリード専用の上位ページ・レジスタは、ホスト開発システムで HCS08 のバリエーションとリビジョン番号を識別するためのレジスタです。開発ソフトウェアは、この情報に基づいて特定のメモリ・ブロック、レジスタ、および制御ビットのターゲット MCU 内での位置を判定できます。

	7	6	5	4	3	2	1	0
R					ID11	ID10	ID9	ID8
W								
リセット :	—	—	—	—	0	0	0	0

= 未実装または予約済み

図 5-7. システム・デバイス識別レジスタ上位（SDIDH）

表 5-8. SDIDH レジスタのフィールド説明

フィールド	説明
7:4 予約済み	**ビット 7:4 は予約済みです。リードしても値は不定で、ライトしても意味がありません。**
3:0 ID[11:8]	**パーツ識別番号**— HCS08 ファミリの各バリエーションには個別の識別番号が付けられています。MC9S08QG8 は 0x009 にハードコード化されています。表 5-9 の ID ビットも参照してください。

	7	6	5	4	3	2	1	0
R	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
W								
リセット :	0	0	0	0	1	0	0	1

= 未実装または予約済み

図 5-8. システム・デバイス識別レジスタ下位（SDIDL）

表 5-9. SDIDL レジスタのフィールド説明

フィールド	説明
7:0 ID[7:0]	**パーツ識別番号**— HCS08 ファミリの各バリエーションには個別の識別番号が付けられています。MC9S08QG8 は 0x009 にハードコード化されています。表 5-8 の ID ビットも参照してください。

5.8.7 システム・リアルタイム割込みステータス / 制御レジスタ（SRTISC）

この上位ページ・レジスタは、RTI のステータス・ビットと制御ビットを格納します。

	7	6	5	4	3	2	1	0
R	RTIF	0	RTICLKS	RTIE	0	RTIS		
W		RTIACK						
リセット :	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 5-9. システム・リアルタイム割込みステータス / 制御レジスタ（SRTISC）

表 5-10. SRTISC レジスタのフィールド説明

フィールド	説明
7 RTIF	**リアルタイム割込みフラグ**ーリード専用のステータス・ビットで、周期ウェイクアップ・タイマのタイムアウトを指示します。 0 周期ウェイクアップ・タイマはタイムアウトしていない。 1 周期ウェイクアップ・タイマがタイムアウトした。
6 RTIACK	**リアルタイム割込みアクノリッジ**ーライト専用ビットで、リアルタイム割込み要求の承認に用いられます（1 をライトすると RTIF がクリアされます）。0 をライトしても意味がなく、ビットは変化しません。リードすると常に 0 が返ります。
5 RTICLKS	**リアルタイム割込みクロック選択**ーリード / ライト可能なビットで、リアルタイム割込みのクロック・ソースを選択します。 0 リアルタイム割込み要求のクロック・ソースは内部の 1 kHz オシレータ。 1 リアルタイム割込み要求のクロック・ソースは外部クロック。
4 RTIE	**リアルタイム割込みイネーブル**ーリード / ライト可能なビットで、リアルタイム割込みをイネーブルします。 0 リアルタイム割込みはディセーブル。 1 リアルタイム割込みはイネーブル。
2:0 RTIS	**リアルタイム割込み周期選択**ーリード / ライト可能なビットで、RTI の周期を選択します。表 5-11 を参照してください。

表 5-11. リアルタイム割込み周期

RTIS2:RTIS1:RTIS0	内部 1 kHz クロック・ソースを使用する場合の周期[1,2]	外部クロック・ソースを使用する場合の周期 周期 = t_{ext}[3]
0:0:0	RTI はディセーブル	RTI はディセーブル
0:0:1	8 ms	t_{ext} x 256
0:1:0	32 ms	t_{ext} x 1024
0:1:1	64 ms	t_{ext} x 2048
1:0:0	128 ms	t_{ext} x 4096
1:0:1	256 ms	t_{ext} x 8192
1:1:0	512 ms	t_{ext} x 16384
1:1:1	1.024 s	t_{ext} x 32768

1 この欄の値は、t_{RTI} = 1 ms という条件に基づいています。許容値に関しては、「A.8.1 Control Timing」の t_{RTI} を参照してください。
2 最初の RTI タイムアウト周期は、指定された時間よりも短く最大で 1 kHz クロックの 1 周期です。
3 t_{ext} は、外部水晶発振子周波数の周期です。

5.8.8 システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1）

この上位ページ・レジスタは、低電圧検出機能をサポートしたり、ADC モジュールで使用するバンドギャップ基準電圧をイネーブルしたりするステータス・ビットと制御ビットを格納します。低電圧検出トリップ電圧の設定については、表 5-14 にある SPMSC3 の LVDV ビットの説明を参照してください。

	7	6	5	4	3	2	1[1]	0
R	LVDF	0	LVDIE	LVDRE[2]	LVDSE	LVDE[2]	0	BGBE
W		LVDACK						
リセット：	0	0	0	1	1	1	0	0

□ = 未実装または予約済み

図 5-10. システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1）

1 ビット 1 は予約ビットで、常に 0 に設定しておく必要があります。
2 このビットはリセット後に 1 回だけライトできます。それ以降はライトしても無視されます。

表 5-12. SPMSC1 レジスタのフィールド説明

フィールド	説明
7 LVDF	**低電圧検出フラグ**ーリード専用ステータス・ビットで、LVDE = 1 なら低電圧検出イベントを示します。
6 LVDACK	**低電圧検出アクノリッジ**ーライト専用ビットで、低電圧検出エラーの承認に用いられます（1 をライトすると LVDF がクリアされます）。リードすると常に 0 が返ります。
5 LVDIE	**低電圧検出割込みイネーブル**ーこのビットは、LVDF に対するハードウェア割込み要求をイネーブルします。 0 ハードウェア割込みはディセーブル（ポーリングを使用）。 1 LVDF = 1 ならハードウェア割込みを要求。
4 LVDRE	**低電圧検出リセット・イネーブル**ーライトワンス・ビットで、LVDF イベントによるハードウェア・リセットの生成をイネーブルします（LVDE = 1 の場合）。 0 LVDF によるハードウェア・リセットを生成しない。 1 LVDF = 1 なら MCU リセットを実行。
3 LVDSE	**低電圧検出ストップ・イネーブル**ーリード / ライト可能なビットで、MCU がストップ・モードのときに低電圧検出機能が動作するかどうかを指定します（LVDE = 1 の場合）。 0 ストップ・モード中の低電圧検出はディセーブル。 1 ストップ・モード中の低電圧検出はイネーブル。
2 LVDE	**低電圧検出イネーブル**ーライトワンス・ビットで、低電圧検出ロジックをイネーブルしてこのレジスタのそれ以外のビットの動作を有効にします。 0 LVD ロジックはディセーブル。 1 LVD ロジックはイネーブル。
0 BGBE	**バンドギャップ・バッファ・イネーブル**ーこのビットは、バンドギャップ基準電圧の内部バッファをイネーブルして、いずれかの内部チャネルの ADC モジュールで使用したり、ACMP モジュールの基準電圧として使用したりできるようにします。 0 バンドギャップ・バッファはディセーブル。 1 バンドギャップ・バッファはイネーブル。

5.8.9 システム・パワー・マネジメント・ステータス / 制御 2 レジスタ（SPMSC2）

この上位ページ・レジスタは、MCU のストップ・モードの動作を設定するためのステータス・ビットと制御ビットを格納します。ストップ・モードの詳細については、「3.6 ストップ・モード」を参照してください。

<table>
<tr><td></td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>R</td><td>0</td><td>0</td><td>0</td><td>PDF</td><td>PPDF</td><td>0</td><td rowspan="2">PDC[1]</td><td rowspan="2">PPDC[1]</td></tr>
<tr><td>W</td><td></td><td></td><td></td><td></td><td></td><td>PPDACK</td></tr>
<tr><td>リセット :</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
</table>

= 未実装または予約済み

図 5-11. システム・パワー・マネジメント・ステータス / 制御 2 レジスタ（SPMSC2）

1 このビットはリセット後に 1 回だけライトできます。それ以降はライトしても無視されます。

表 5-13. SPMSC2 レジスタのフィールド説明

フィールド	説明
4 PDF	**低電力フラグ**ーリード専用のステータス・ビットで、MCU がストップ 1 モードを抜け出したことを示します。 0 MCU はストップ 1 モードから回復していない。 1 MCU はストップ 1 モードから回復した。
3 PPDF	**部分低電力フラグ**ーリード専用のステータス・ビットで、MCU がストップ 2 モードを抜け出したことを示します。 0 MCU はストップ 2 モードから回復していない。 1 MCU はストップ 2 モードから回復した。
2 PPDACK	**部分低電力アクノリッジ**ーこのビットに 1 をライトすると、PPDF と PDF ビットがクリアされます。
1 PDC	**低電力制御**ーこのビットは、低電力モード（ストップ 2 とストップ 1）への移行を制御します。 0 低電力モードはディセーブル。 1 低電力モードはイネーブル。
0 PPDC	**部分低電力制御**ーこのビットは、低電力モードの選択を制御します。 0 PDC がセットなら、ストップ 1 のフル低電力モードがイネーブル。 1 PDC がセットなら、ストップ 2 の部分低電力モードがイネーブル。

5.8.10 システム・パワー・マネジメント・ステータス / 制御 3 レジスタ（SPMSC3）

この上位ページ・レジスタは、低電圧警告機能のステータスの通知と低電圧検出トリップ電圧の選択に使用されます。

<table>
<tr><td></td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>R</td><td>LVWF</td><td>0</td><td rowspan="2">LVDV</td><td rowspan="2">LVWV</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>W</td><td></td><td>LVWACK</td><td></td><td></td><td></td><td></td></tr>
<tr><td>POR:</td><td>0[1]</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>LVR :</td><td>0[1]</td><td>0</td><td>U</td><td>U</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>その他の
リセット :</td><td>0[1]</td><td>0</td><td>U</td><td>U</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
</table>

= 未実装または予約済み　　U = リセットによる影響なし

図 5-12. システム・パワー・マネジメント・ステータス / 制御 3 レジスタ（SPMSC3）

[1] LVWF は、V_{Supply} がトリップ・ポイント未満に降下するか、リセット後に V_{Supply} がすでに V_{LVW} 未満である場合にセットされます。

表 5-14. SPMSC3 レジスタのフィールド説明

フィールド	説明
7 LVWF	**低電圧警告フラグ**ーこのビットは、低電圧警告ステータスを示します。 0 低電圧警告は出されていない。 1 低電圧警告が現在出されているか過去に出されたことがある。
6 LVWACK	**低電圧警告アクノリッジ**ーこのビットは、低電圧警告のアクノリッジです。このビットに 1 をライトすると、低電圧警告が出されていなければ LVWF は 0 にクリアされます。
5 LVDV	**低電圧検出電圧選択**ーこのビットは、LVD のトリップ・ポイント電圧（V_{LVD}）を選択します。 0 低位トリップ・ポイントを選択（$V_{LVD} = V_{LVDL}$）。 1 高位トリップ・ポイントを選択（$V_{LVD} = V_{LVDLH}$）。
4 LVWV	**低電圧警告電圧選択**ーこのビットは、LVW のトリップ・ポイント電圧（V_{LVW}）を選択します。 0 低位トリップ・ポイントを選択（$V_{LVW} = V_{LVWL}$）。 1 高位トリップ・ポイントを選択（$V_{LVW} = V_{LVWH}$）。

第 6 章
パラレル入力 / 出力の制御

本章では、パラレル入力 / 出力（I/O）に関するソフトウェア制御とピンの制御について説明します。MC9S08QG8 には、2 つのパラレル I/O ポートがあり、各ポートの合計で 12 本の I/O ピンおよび出力専用と入力専用のピンを 1 本ずつ備えています。ピンの割当てとこれらのピンに関する外部ハードウェアの注意点については、「第 2 章 外部信号の説明」を参照してください。MC9S08QG8/4 ファミリの全デバイスですべてのピンが利用できるわけではありません。各デバイスで利用可能な汎用ピンの本数については、表 1-1 で確認してください。

すべての I/O ピンは、表 2-2 に示したようにオンチップのペリフェラル機能と共有されます。ペリフェラル・モジュールは I/O に対して優先するので、あるペリフェラルがイネーブルになると、ピンを共有している I/O 機能はディセーブルになります。リセット後の共有ペリフェラル機能はディセーブルなので、ピンは I/O で制御されます。すべての I/O は、BKGD/MS ピンとしてデフォルト設定される出力専用ピンの PTA4 を除いて、入力として設定（PTxDDn = 0）され、プルアップ・デバイスはディセーブル（PTxPEn = 0）です。

注意

パッケージによっては、一部の汎用 I/O ピンが利用できない場合があります。過剰な電流ドレインによって入力ピンがフロートしないように、アプリケーション・プログラムのリセット初期化ルーチンでオンチップのプルアップ・デバイスをイネーブルするか、未使用ピンの方向を出力に変更する必要があります。

6.1 ポート・データとデータ方向

パラレル I/O のリードとライトは、ポート・データ・レジスタを通して実行します。データ方向（入力または出力）の制御には、ポート・データ方向レジスタを使用します。個々のピンのパラレル I/O ポート機能は、図 6-1 のブロック図に示す通りです。

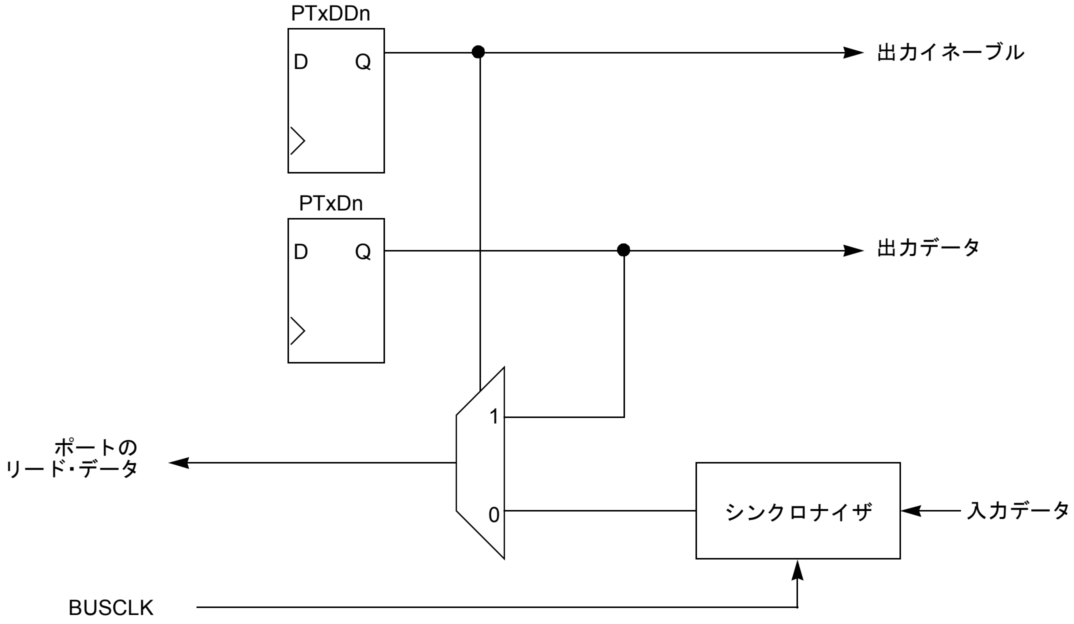


図 6-1. パラレル I/O のブロック図

データ方向制御ビット（PTxDDn）は、対応するピンの出力バッファをイネーブルするかどうかを指定し、ポート・データ・レジスタのリード・ソースも制御します。対応するピンの入力バッファは、ピンがアナログ機能としてイネーブルされるか出力専用ピンである場合を除いて、常にイネーブルされます。

ピンが共有デジタル機能用にイネーブルされる場合、出力バッファは共有機能で制御されます。ただし、データ方向レジスタ・ビットはポート・データ・レジスタのリード・ソースを引き続き制御します。

ピンが共有アナログ機能用にイネーブルされる場合、入力と出力のどちらのバッファもディセーブルされます。ビットが入力（PTxDDn = 0）であるか入力バッファがディセーブルの場合、ポート・データ・ビットをリードすると 0 が返ります。一般に、ピンがデジタルとアナログの両方の代替機能で共有されている場合、その両方がイネーブルされたときにはアナログ機能がピンを制御するように、アナログ機能が優先されます。

プログラミングに際しては、ポート・ピンの方向を出力に変更する前に、ポート・レジスタのライトを行うことが推奨されます。この操作により、ポート・データ・レジスタに残された古いデータ値によりピンがドライブされるのを回避できます。

6.2 ピン制御－プルアップ、スルー・レート、およびドライブ強度

パラレル I/O ポートには、上位ページ・レジスタ空間にある一連のレジスタが対応しており、それぞれがパラレル I/O レジスタから独立して動作します。これらのレジスタは、ピンのプルアップ、スルー・レート、およびドライブ強度の制御に使用されます。

6.3 ストップ・モードでのピンの動作

STOP 命令を実行した後のピンの動作は、各ストップ・モードによって異なります。以下に、各ストップ・モードでのピンの動作を説明しておきます。

- ストップ 1 モードでは、パラレル I/O 制御およびデータ・レジスタを含むすべての内部レジスタには電源が供給されません。各ピンは、デフォルトのリセット状態になり、出力バッファおよび内部プルアップはディセーブルとなります。ストップ 1 から復帰するときは、POR による MCU のリセットと同様にすべてのピンを再設定する必要があります。
- ストップ 2 モードは部分低電力モードで、ピン状態は STOP 命令の実行前にラッチされて維持されます。CPU レジスタのステータスと I/O レジスタの状態は、STOP 命令を実行して MCU をストップ 2 モードに移行させる前に、RAM に保存しておく必要があります。ストップ 2 モードからの復帰に際しては、I/O をアクセスする前に SPMSC2 レジスタの PPDF ビットの状態を検査する必要があります。PPDF ビットが 0 なら、I/O はパワーオン・リセット時と同様の初期化が必要です。PPDF ビットが 1 なら、I/O データは STOP 命令を実行する前に RAM に保存した設定を使って、イネーブルされていたペリフェラルは初期化とストップ前の条件への復元が必要です。その後で、SPMSC2 レジスタの PPDACK ビットに 1 をライトします。この操作により、ユーザのアプリケーション・プログラムでのピンのアクセスが再び許可されます。
- ストップ 3 モードでは、電源が内部ロジックに供給され続けるので、すべてのピン状態が保持されます。復帰に際しては、ストップ 3 への移行前と同様にすべてのピン機能を利用できます。

6.4 パラレル I/O のレジスタ

6.4.1 ポート A のレジスタ

この項では、パラレル I/O ポートに関連するレジスタについて説明します。

すべてのパラレル I/O に対する絶対アドレスの割当てについては、「第 4 章 メモリマップとレジスタ定義」の表を参照してください。本章では、レジスタと制御ビットを名前で示しています。フリースケール・セミコンダクタが提供する EQU ファイルまたはヘッダ・ファイルを使用し、これらの名前を絶対アドレスに変換します。

6.4.1.1 ポート A データ（PTAD）

	7	6	5	4	3	2	1	0
R	0	0	PTAD5[1]	PTAD4[2]	PTAD3	PTAD2	PTAD1	PTAD0
W								
リセット：	0	0	0	0	0	0	0	0

図 6-2. ポート A データ・レジスタ（PTAD）

1 PTAD5 をリードすると、PTADD5 に格納されている値に関係なく、常に PTA5 のピン値が返ります。
2 PTAD4 をリードすると、PTADD4 に格納されている値に関係なく、常に PTAD4 の内容が返ります。

表 6-1. PTAD レジスタのフィールド説明

フィールド	説明
5:0 PTAD[5:0]	**ポート A データ・レジスタ・ビット**―ポート A ピンが入力なら、リードするとピンの論理レベルが返ります。ポート A ピンが出力に設定されていれば、リードするとレジスタに最後にライトされた値が返ります。 ライトは、このレジスタのすべてのビットにラッチされます。ポート A ピンが出力に設定されている場合、論理レベルは対応する MCU ピンに出力されます。 リセット時は、PTAD は全ビットが 0 になりますが、これらの 0 値は対応するピンには出力されません。これは、リセットによりすべてのポート・ピンがプルアップ・ディセーブルのハイ・インピーダンス入力に設定されるためです。

6.4.1.2 ポート A データ方向（PTADD）

	7	6	5	4	3	2	1	0
R	0	0	PTADD5[1]	PTADD4[2]	PTADD3	PTADD2	PTADD1	PTADD0
W								
リセット：	0	0	0	0	0	0	0	0

図 6-3. ポート A データ方向レジスタ（PTADD）

1 PTADD5 は、入力専用の PTA5 ピンには影響しません。
2 PTADD4 は、出力専用の PTA4 ピンには影響しません。

表 6-2. PTADD レジスタのフィールド説明

フィールド	説明
5:0 PTADD[5:0]	**ポート A ビットのデータ方向**―これらのリード / ライト・ビットは、ポート A のピン方向および PTAD のリードで返される内容を制御します。 0 入力（出力ドライバはディセーブル）で、リードするとピンの値が返る。 1 ポート A ビット n の出力ドライバはイネーブルで、PTAD をリードすると PTADn の内容が返る。

6.4.2 ポート A の制御レジスタ

ポート A に関連するピンは、この項で説明するレジスタで制御します。これらのレジスタは、ポート A ピンのプルアップ、スルー・レート、およびドライブ強度をパラレル I/O レジスタから独立して制御します。

6.4.2.1 ポート A 内部プルアップ・イネーブル（PTAPE）

内部プルアップ・デバイスは、プルアップ・イネーブル・レジスタ（PTAPEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。ピンがパラレル I/O 制御ロジックまたは共有ペリフェラル機能で出力に設定される場合、プルアップ・イネーブル・レジスタ・ビットの状態に関係なく、プルアップ・デバイスはディセーブルされます。また、ピンがアナログ機能で制御される場合にも、プルアップ・デバイスはディセーブルされます。

	7	6	5	4	3	2	1	0
R	0	0	PTAPE5	PTAPE4[1]	PTAPE3	PTAPE2	PTAPE1	PTAPE0
W								
リセット :	0	0	0	0	0	0	0	0

図 6-4. ポート A の内部プルアップ・イネーブル・レジスタ（PTAPE）

1 PTAPE4 は、出力専用の PTA4 ピンには影響しません。

表 6-3. PTAPE レジスタのフィールド説明

フィールド	説明
5:0 PTAPE[5:0]	**ポート A ビットの内部プルアップ・イネーブル**ーこれらの制御ビットによって、内部プルアップ・デバイスが対応する PTA ピンに対してイネーブルかどうかが決まります。ポート A ピンが出力に設定されていれば、これらのビットは何の影響もなく、内部プルアップ・デバイスはディセーブルです。 0 内部プルアップ・デバイスはポート A ビット n に対してディセーブル。 1 内部プルアップ・デバイスはポート A ビット n に対してイネーブル。

6.4.2.2 ポート A スルー・レート・イネーブル（PTASE）

スルー・レート制御は、スルー・レート制御レジスタ（PTASEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。スルー・レート制御をイネーブルにすることにより、EMC を低減するために出力のスルー・レートを制限します。入力に設定されているピンは、スルー・レート制御の影響を受けません。

	7	6	5	4	3	2	1	0
R	0	0	PTASE5[1]	PTASE4	PTASE3	PTASE2	PTASE1	PTASE0
W								
リセット :	0	0	1	1	1	1	1	1

図 6-6. ポート A のスルー・レート・イネーブル・レジスタ（PTASE）

1 PTASE5 は、入力専用の PTA5 ピンには影響しません。

表 6-4. PTASE レジスタのフィールド説明

フィールド	説明
5:0 PTASE[5:0]	**ポート A ビットの出力スルー・レート・イネーブル**ーこれらの制御ビットによって、出力スルー・レート制御が対応する PTA ピンに対してイネーブルかどうかが決まります。ポート A ピンが入力として設定されていれば、これらのビットは無視されます。 0 出力スルー・レート制御はポート A ビット n に対してディセーブル。 1 出力スルー・レート制御はポート A ビット n に対してイネーブル。

6.4.2.3 ポート A ドライブ強度選択（PTADS）

出力ピンは、ドライブ強度選択レジスタ（PTADS）の対応ビットをセットすることで出力ドライブ強度を High にするよう選択できます。High ドライブを選択すると、ピンはより大きな電流のソースまたはシンクが可能になります。すべての I/O ピンで High のドライブ強度を選択できますが、チップの電流ソースおよびシンクの合計が制限を越えないようにする必要があります。ドライブ強度の選択は、I/O ピンの DC 動作に影響を与えるためのものです。ただし、AC 動作にも影響します。High ドライブを選択すると、ピンは Low ドライブをイネーブルされたピンが小さな負荷をドライブする場合と同じ切り替え速度で大きな負荷をドライブできます。このため、ピンで High ドライブを選択すると EMC 発生に影響することがあります。

6.4.2.4 ポート A ドライブ強度選択（PTADS）

	7	6	5	4	3	2	1	0
R	0	0	PTADS5[1]	PTADS4	PTADS3	PTADS2	PTADS1	PTADS0
W								
リセット :	0	0	0	0	0	0	0	0

図 6-8. ポート A のドライブ強度選択レジスタ（PTADS）

1 PTADS5 は、入力専用の PTA5 ピンには影響しません。

表 6-5. PTADS レジスタのフィールド説明

フィールド	説明
5:0 PTADS[5:0]	**ポート A ビットの出力ドライブ強度選択**－各制御ビットは、対応する PTA ピンの出力ドライブを Low と High から選択します。ポート A ピンが入力として設定されていれば、これらのビットは無視されます。 0　ポート A ビット n に対して Low 出力ドライブ強度を選択。 1　ポート A ビット n に対して High 出力ドライブ強度を選択。

6.4.3 ポート B のレジスタ

この項では、パラレル I/O ポートに関連するレジスタについて説明します。

すべてのパラレル I/O に対する絶対アドレスの割当てについては、「第 4 章 メモリマップとレジスタ定義」の表を参照してください。本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケール・セミコンダクタが提供する EQU ファイルまたはヘッダ・ファイルはこれらの名前を絶対アドレスに変換するのに使われます。

6.4.3.1 ポート B データ（PTBD）

	7	6	5	4	3	2	1	0
R W	PTBD7	PTBD6	PTBD5	PTBD4	PTBD3	PTBD2	PTBD1	PTBD0
リセット :	0	0	0	0	0	0	0	0

図 6-10. ポート B データ・レジスタ（PTBD）

表 6-6. PTBD レジスタのフィールド説明

フィールド	説明
7:0 PTBD[7:0]	**ポート B データ・レジスタ・ビット**ーポート B ピンが入力なら、リードするとピンの論理レベルが返ります。ポート B ピンが出力に設定されていれば、リードするとレジスタに最後にライトされた値が返ります。 ライトは、このレジスタのすべてのビットにラッチされます。ポート B ピンが出力に設定されている場合、論理レベルは対応する MCU ピンに出力されます。 リセット時は、PTBD は全ビットが 0 になりますが、これらの 0 値は対応するピンには出力されません。これは、リセットによりすべてのポート・ピンがプルアップ・ディセーブルのハイ・インピーダンス入力に設定されるためです。

6.4.3.2 ポート B データ方向（PTBDD）

	7	6	5	4	3	2	1	0
R W	PTBDD7	PTBDD6	PTBDD5	PTBDD4	PTBDD3	PTBDD2	PTBDD1	PTBDD0
リセット：	0	0	0	0	0	0	0	0

図 6-11. ポート B のデータ方向（PTBDD）

表 6-7. PTBDD レジスタのフィールド説明

フィールド	説明
7:0 PTBDD[7:0]	**ポート B ビットのデータ方向**ーこれらのリード / ライト・ビットは、ポート B のピン方向および PTBD のリードで返される内容を制御します。 0 入力（出力ドライバはディセーブル）で、リードするとピンの値が返る。 1 ポート B ビット n の出力ドライバはイネーブルで、PTBD をリードすると PTBDn の内容が返る。

6.4.4 ポート B の制御レジスタ

ポート B に関連するピンは、この項で説明するレジスタで制御します。これらのレジスタは、ポート B ピンのプルアップ、スルー・レート、およびドライブ強度をパラレル I/O レジスタから独立して制御します。

6.4.4.1 ポート B 内部プルアップ・イネーブル（PTBPE）

内部プルアップ・デバイスは、プルアップ・イネーブル・レジスタ（PTBPEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。ピンがパラレル I/O 制御ロジックまたは共有ペリフェラル機能で出力に設定される場合、プルアップ・イネーブル・レジスタ・ビットの状態に関係なく、プルアップ・デバイスはディセーブルされます。また、ピンがアナログ機能で制御される場合にも、プルアップ・デバイスはディセーブルされます。

	7	6	5	4	3	2	1	0
R W	PTBPE7	PTBPE6	PTBPE5	PTBPE4	PTBPE3	PTBPE2	PTBPE1	PTBPE0
リセット：	0	0	0	0	0	0	0	0

図 6-12. ポート B の内部プルアップ・イネーブル・レジスタ（PTBPE）

表 6-8. PTBPE レジスタのフィールド説明

フィールド	説明
7:0 PTBPE[7:0]	**ポート B ビットの内部プルアップ・イネーブル**ーこれらの制御ビットによって、内部プルアップ・デバイスが対応する PTB ピンに対してイネーブルかどうかが決まります。ポート B ピンが出力に設定されていれば、これらのビットは何の影響もなく、内部プルアップ・デバイスはディセーブルです。 0 内部プルアップ・デバイスはポート B ビット n に対してディセーブル。 1 内部プルアップ・デバイスはポート B ビット n に対してイネーブル。

6.4.4.2 ポート B スルー・レート・イネーブル（PTBSE）

スルー・レート制御は、スルー・レート制御レジスタ（PTBSEn）の対応ビットをセットすることで各ポート・ピンに対してイネーブルできます。スルー・レート制御をイネーブルすることにより、EMC を低減するために出力のスルー・レートを制限します。入力に設定されているピンは、スルー・レート制御の影響を受けません。

	7	6	5	4	3	2	1	0
R W	PTBSE7	PTBSE6	PTBSE5	PTBSE4	PTBSE3	PTBSE2	PTBSE1	PTBSE0
リセット :	1	1	1	1	1	1	1	1

図 6-14. ポート B のスルー・レート・イネーブル・レジスタ（PTBSE）

表 6-9. PTBSE レジスタのフィールド説明

フィールド	説明
7:0 PTBSE[7:0]	**ポート B ビットの出力スルー・レート・イネーブル**ーこれらの制御ビットによって、出力スルー・レート制御が対応する PTB ピンに対してイネーブルかどうかが決まります。ポート B ピンが入力として設定されていれば、これらのビットは無視されます。 0 出力スルー・レート制御はポート B ビット n に対してディセーブル。 1 出力スルー・レート制御はポート B ビット n に対してイネーブル。

6.4.4.3 ポート B ドライブ強度選択（PTBDS）

出力ピンは、ドライブ強度選択レジスタ（PTBDSn）の対応ビットをセットすることで出力ドライブ強度を High にするよう選択できます。High ドライブを選択すると、ピンはより大きな電流のソースまたはシンクが可能になります。すべての I/O ピンで High のドライブ強度を選択できますが、チップの電流ソースおよびシンクの合計が制限を越えないようにする必要があります。ドライブ強度の選択は、I/O ピンの DC 動作に影響を与えるためのものです。ただし、AC 動作にも影響します。High ドライブを選択すると、ピンは Low ドライブをイネーブルされたピンが小さな負荷をドライブする場合と同じ切り替え速度で大きな負荷をドライブできます。このため、ピンで High ドライブを選択すると EMC 発生に影響することがあります。

	7	6	5	4	3	2	1	0
R W	PTBDS7	PTBDS6	PTBDS5	PTBDS4	PTBDS3	PTBDS2	PTBDS1	PTBDS0
リセット :	0	0	0	0	0	0	0	0

図 6-16. ポート B のドライブ強度選択レジスタ（PTBDS）

表 6-10. PTBDS レジスタのフィールド説明

フィールド	説明
7:0 PTBDS[7:0]	**ポート B ビットの出力ドライブ強度選択**ー各制御ビットは、対応する PTB ピンの出力ドライブを Low と High から選択します。ポート B ピンが入力として設定されていれば、これらのビットは無視されます。 0　ポート B ビット n に対して Low 出力ドライブ強度を選択。 1　ポート B ビット n に対して High 出力ドライブ強度を選択。

第 7 章
中央演算処理装置（S08CPUV2）

7.1 はじめに

本章では、HCS08 ファミリの CPU のレジスタ、アドレッシング・モード、および命令セットの概要を説明します。詳細については、『*HCS08 Family Reference Manual, volume 1*』（フリースケール・セミコンダクタ文書注文番号 ; HCS08RMV1/D）を参照してください。

HCS08 CPU と M68HC08 CPU は、ソース・コードとオブジェクト・コードの完全な互換性を備えています。HCS08 CPU は、C コンパイラの効率性の改善および M68HC08 マイクロコントローラ（MCU）のモニタ・モードに代わる新しいバックグラウンド・デバッグ・システムのサポートを目的として、数個の命令と機能強化されたアドレッシング・モードが追加されています。

7.1.1 主な特長

以下に、HCS08 CPU の主な特長を示します。

- M68HC05 および M68HC08 のファミリに対するオブジェクト・コードの完全な上位互換性
- すべてのレジスタとメモリを 64K バイトの単独のアドレス空間にマッピング
- 16 ビットのスタック・ポインタ（64K バイト・アドレス空間内の任意の場所に任意のサイズのスタックを設定可能）
- 強力なインデックスド・アドレッシング・モードを備えた 16 ビットのインデックス・レジスタ（H:X）
- 8 ビットのアキュムレータ（A）
- X を第 2 の汎用 8 ビット・レジスタとして扱う多数の命令
- 7 つのアドレッシング・モード :
  — インハラントーオペランドはレジスタ内
  — 相対－ 8 ビットの符号付きオフセットによる分岐先の指示
  — イミディエイトーオペランドは次のオブジェクト・コード・バイト内
  — ダイレクトーオペランドはメモリの 0x0000 － 0x00FF 内
  — 拡張－オペランドは 64K バイト・アドレス空間内
  — H:X へのインデックス相対－自動インクリメントを含む 5 つのサブモード
  — SP へのインデックス相対－ C の効率性を大幅に改善
- 4 つのアドレス・モードの組合せによるメモリ間データ転送命令
- オーバフロー、ハーフキャリ、ネガティブ、ゼロ、キャリの各コンディション・コードによる符号付き、符号なし、2 進化 10 進数（BCD）の各演算の結果に基づく条件分岐のサポート
- 効率的なビット操作命令
- 高速処理の 8 ビット× 8 ビット乗算命令と 16 ビット÷ 8 ビット除算命令
- 低電力動作モードを起動する STOP および WAIT 命令

7.2 プログラマズ・モデルと CPU レジスタ

図 7-1 に、5 つの CPU レジスタを示します。CPU レジスタはメモリ・マップには含まれません。

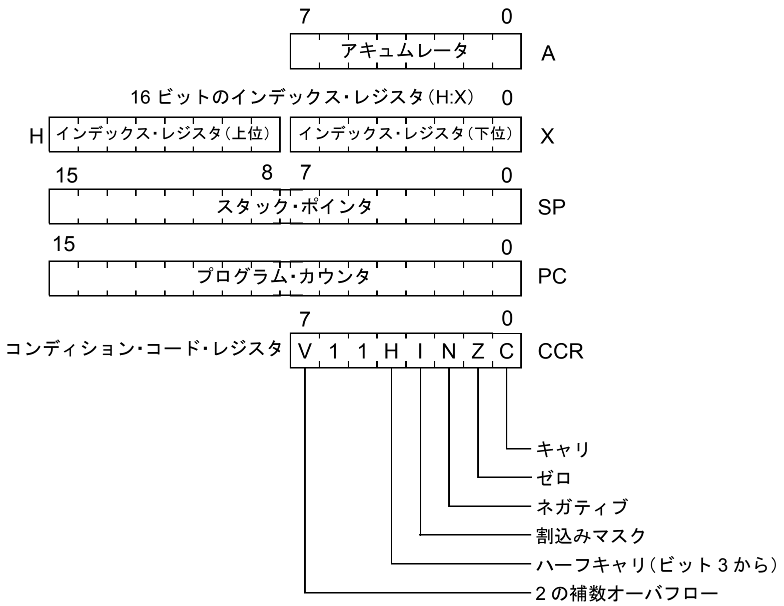


図 7-1. CPU レジスタ

7.2.1 アキュムレータ（A）

アキュムレータは、8 ビットの汎用レジスタです。算術論理演算ユニット（ALU）に入力される 1 つのオペランドはアキュムレータに送られ、ALU での算術演算や論理演算の結果は通常はアキュムレータに格納されます。各種のアドレッシング・モードを使用すれば、対象となるデータが置かれているアドレスを指定してメモリの内容をアキュムレータにロードしたり、データの格納先のアドレスを指定してアキュムレータの内容をメモリにロードすることも可能です。

アキュムレータの内容はリセットでは変化しません。

7.2.2 インデックス・レジスタ（H:X）

インデックス・レジスタは、2 つの独立した 8 ビット・レジスタ（H と X）からなる 16 ビット・レジスタです。一般的には 16 ビットのアドレス・ポインタとして用いられ、その場合には H はアドレスの上位バイト、X は下位バイトをそれぞれ格納します。インデックスド・アドレッシング・モードの命令は、すべて H:X の 16 ビット値をインデックス参照ポインタとして使用します。ただし、従来の M68HC05 ファミリとの互換性を保つために、一部の命令は下位側の 8 ビット（X）だけを使用します。

多くの命令は、X を 8 ビット・データを収めるもう 1 つの汎用の 8 ビット・レジスタとして扱います。X の内容は、クリア、インクリメント、デクリメント、補数の算出、ネゲート、シフト、ローテイトの操作が可能です。転送命令でアキュムレータとのデータのやり取りを行えば、算術や論理の演算を実行できます。

従来の M68HC05 ファミリとの互換性を保つため、H はリセット時に 0x00 に設定されます。X の内容はリセットでも変化しません。

7.2.3 スタック・ポインタ（SP）

スタック・ポインタは、自動後入れ先出し（LIFO）スタック上で次の使用可能な位置を示す、16 ビットのアドレス・ポインタ・レジスタです。スタックは、RAM の 64K バイトのアドレス空間内で任意に配置することができ、スタックのサイズは使用可能な RAM の最大量に設定することができます。スタックの目的は、サブルーチン・コールの復帰ア

ドレス、割込み時の復帰アドレスや CPU レジスタ、およびローカル変数の値を自動的にセーブすることです。AIS（スタック・ポインタにイミディエイトを加算）命令は、SP に 8 ビット符号付きイミディエイト値を加算します。この操作は、ローカル変数へのスタック空間の割り当てや割り当ての解除を行う最も一般的な方法です。

従来の M68HC05 ファミリとの互換性を保つために、SP はリセット時に 0x00FF に設定されます。HCS08 プログラムは、通常はリセット初期化の際に SP の値をオンチップ RAM の最終ロケーション（最上位アドレス）に変更して、ダイレクト・ページ RAM（オンチップ・レジスタの末尾から 0x00FF まで）を空き領域に設定します。

M68HC05 ファミリとの互換性を保つため目的で RSP（スタック・ポインタのリセット）命令が用意されていましたが、スタック・ポインタの下位側の半分だけを対象とすることから、新しい HCS08 プログラムではほとんど使用されません。

7.2.4 プログラム・カウンタ（PC）

プログラム・カウンタは、次にフェッチされる命令またはオペランドのアドレスを格納する 16 ビット・レジスタです。

通常のプログラムの実行では、プログラム・カウンタは命令またはオペランドがフェッチされるたびに自動的にインクリメントされて、次のメモリの位置を指示します。ジャンプ、分岐、割込み、および復帰の各操作では、次のメモリとは異なるアドレスがプログラム・カウンタにロードされます。この現象をフロー変更と呼びます。

リセット時は、プログラム・カウンタには $FFFE と $FFFF にあるリセット・ベクタがロードされます。ベクタは、リセット状態が終了した後で最初に実行される命令のアドレスを格納します。

7.2.5 コンディション・コード・レジスタ（CCR）

コンディション・コード・レジスタは、割込みマスク（I）および命令の実行直後の結果を表す 5 個のフラグを収める、8 ビット・レジスタです。ビット 6 とビット 5 は常に 1 にセットされます。以降では、コンディション・コード・ビットの機能の概要について説明します。各命令による CCR ビットの設定の詳細については、『*HCS08 Family Reference Manual, volume 1*』（フリースケール・セミコンダクタ文書注文番号 ; HCS08RMv1/D）を参照してください。

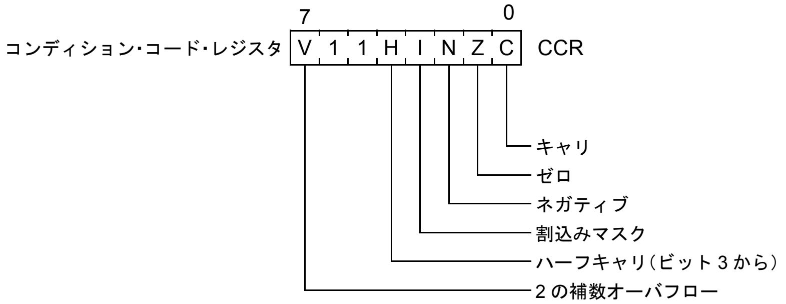


図 7-2. コンディション・コード・レジスタ

表 7-1. CCR レジスタのフィールド説明

フィールド	説明
7 V	**2 の補数オーバフロー・フラグ**― CPU は、2 の補数オーバフローが発生するとオーバフロー・フラグをセットします。オーバフロー・フラグを使用する命令は、符号付き分岐命令の BGT、BGE、BLE、および BLT です。 0 オーバフローなし。 1 オーバフローあり。
4 H	**ハーフキャリ・フラグ**― CPU は、キャリなし加算（ADD）またはキャリ付き加算（ADC）の実行時にアキュムレータのビット 3 とビット 4 の間でキャリが発生すると、ハーフキャリ・フラグをセットします。このフラグは 2 進化 10 進数（BCD）演算で必要です。DAA 命令は、H および C のコンディション・コードのビット状態に基づいて、BCD オペランドに対する直前の ADD または ADC の結果に自動的に修正値を加算して、結果を有効な BCD 値に補正します。 0 ビット 3 とビット 4 の間でキャリはない。 1 ビット 3 とビット 4 の間でキャリが発生した。

表 7-1. CCR レジスタのフィールド説明（続き）

フィールド	説明
3 I	**割込みマスク・ビット**ー割込みマスク・ビットがセットなら、マスクの可能なすべての CPU 割込みはディセーブルになります。これらの割込みは、割込みマスクがクリアされるとイネーブルになります。CPU 割込みが発生すると、CPU レジスタがスタックにセーブされてから割込みサービス・ルーチンの最初の命令が実行されるまでの間に、割込みマスクが自動的にセットされます。 割込みは、I をクリアする命令（CLI または TAP）の後は命令境界では認識されません。そのため、I がセットされている場合に CLI または TAP に続く命令は常に割込みを起こさずに実行されます。 0 割込みはイネーブル。 1 割込みはディセーブル。
2 N	**ネガティブ・フラグ**ー CPU は、算術演算、論理演算、またはデータ操作によって負の結果（結果のビット 7 がセット）が得られると、ネガティブ・フラグをセットします。8 ビットまたは 16 ビット値のロードまたはストアでは、値の最上位ビットが 1 なら N がセットされます。 0 結果は負ではない。 1 結果は負。
1 Z	**ゼロ・フラグ**ー CPU は、算術演算、論理演算、またはデータ操作で 0x00 または 0x0000 の結果が得られると、ゼロ・フラグをセットします。8 ビットまたは 16 ビット値のロードまたはストアでは、操作対象となる値がすべて 0 なら Z がセットされます。 0 結果はゼロではない。 1 結果はゼロ。
0 C	**キャリ / ボロー・フラグ**ー CPU は、加算でアキュムレータのビット 7 からキャリが発生したとき、または減算でボローが必要であるときは、キャリ / ボロー・フラグをセットします。このフラグは、ビット・テストと分岐、シフト、およびローテイトなどの一部の命令でもクリアまたはセットされます。 0 ビット 7 からキャリはない。 1 ビット 7 からキャリがある。

7.3 アドレッシング・モード

アドレッシング・モードとは、CPU がオペランドやデータをアクセスする方法のことです。HCS08 では、メモリ、ステータス、制御のすべてのレジスタと入力 / 出力（I/O）ポートが 64 K バイトの 1 つのリニア・アドレス空間を共有するようになっており、任意のメモリ・ロケーションを 16 ビットのバイナリ・アドレスで指定できます。つまり、RAM の変数をアクセスする命令は、同時に I/O や制御レジスタまたは不揮発プログラム空間をアクセスすることが可能です。

命令の中には、複数のアドレッシング・モードを使用するものもあります。たとえば、転送命令は最初のアドレッシング・モードでソース・オペランドを指定し、2 番目のアドレッシング・モードでデスティネーション・アドレスを指定します。BRCLR、BRSET、CBEQ、および DBNZ などの命令は、最初のアドレッシング・モードでテストするオペランドの位置を指定して、テストした条件が真なら相対アドレッシング・モードで分岐先アドレスを指定します。BRCLR、BRSET、CBEQ、および DBNZ 命令では、命令セットの表で示したアドレッシング・モードがテスト対象のオペランドをアクセスするのためのアドレッシング・モードで、分岐に対しては相対アドレッシング・モードが暗黙に指定されます。

7.3.1 インハラント・アドレッシング・モード（INH）

このアドレッシング・モードでは、命令の実行に必要なオペランドは CPU レジスタ内にあり、CPU はメモリをアクセスしてオペランドを取得するする必要はありません。

7.3.2 相対アドレッシング・モード（REL）

相対アドレッシング・モードは、分岐命令の分岐先を指定するのに使用します。オペコードの直後のメモリ・ロケーションには、符号付きの 8 ビットのオフセット値が設定されます。命令を実行して分岐条件が真なら、符号付きのオフセットが 16 ビット値に符号拡張され、プログラム・カウンタの現在の値に加算されて、分岐先のアドレスでプログラムの実行が継続されます。

7.3.3 イミディエイト・アドレッシング・モード（IMM）

イミディエイト・アドレッシング・モードでは、命令の実行に必要なオペランドはメモリ内で命令オペコードの直後にあるオブジェクト・コードに格納されます。イミディエイト・オペランドが 16 ビットの場合、上位バイトはオペコードの次のメモリ・ロケーションに置かれ、下位バイトはその次のメモリ・ロケーションに置かれます。

7.3.4 ダイレクト・アドレッシング・モード（DIR）

ダイレクト・アドレッシング・モードでは、ダイレクト・ページ（0x0000 ～ 0x00FF）内のアドレスの下位 8 ビットが命令に格納されます。命令を実行すると、アドレスの上位半分として暗黙に指定される 0x00 と命令のダイレクト・アドレスが連結されて、目的のオペランドが置かれる 16 ビット・アドレスが得られます。この方法は、オペランドの完全な 16 ビット・アドレスを指定する場合よりも高速である上にメモリの節約にもなります。

7.3.5 拡張アドレッシング・モード（EXT）

拡張アドレッシング・モードでは、オペコードに続くプログラム・メモリの 2 バイトにオペランドの完全な 16 ビット・アドレス（先頭が上位バイト）が格納されます。

7.3.6 インデックスド・アドレッシング・モード

インデックスド・アドレッシング・モードには、16 ビットの H:X インデックス・レジスタのペアを使用する 5 つのモードと、ベース・アドレスとしてスタック・ポインタを使用する 2 つのモードがあります。

7.3.6.1 インデックスド、オフセットなし（IX）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして H:X インデックス・レジスタ・ペアの 16 ビット値を使用します。

7.3.6.2 インデックスド、オフセットなし、ポスト・インクリメント（IX+）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして H:X インデックス・レジスタ・ペアの 16 ビット値を使用します。インデックス・レジスタ・ペアは、オペランドがフェッチされるとインクリメントされます（H:X = H:X + 0x0001）。このモードは MOV と CBEQ 命令でのみ使用します。

7.3.6.3 インデックスド、8 ビット・オフセット（IX1）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして、H:X インデックス・レジスタ・ペアの 16 ビット値と命令に含まれる符号なし 8 ビット・オフセット値を使用します。

7.3.6.4 インデックスド、8 ビット・オフセット、ポスト・インクリメント（IX1+）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして、H:X インデックス・レジスタ・ペアの 16 ビット値と命令に含まれる符号なし 8 ビット・オフセット値を使用します。インデックス・レジスタ・ペアは、オペランドがフェッチされるとインクリメントされます（H:X = H:X + 0x0001）。このモードは CBEQ 命令でのみ使用します。

7.3.6.5 インデックスド、16 ビット・オフセット（IX2）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして、H:X インデックス・レジスタ・ペアの 16 ビット値と命令に含まれる 16 ビット・オフセットの合計値を使用します。

7.3.6.6 SP 相対、8 ビット・オフセット（SP1）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして、スタック・ポインタ（SP）の 16 ビット値と命令に含まれる符号なし 8 ビット・オフセットの合計値を使用します。

7.3.6.7 SP 相対、16 ビット・オフセット（SP2）

このバリエーション・モードでは、命令の実行に必要なオペランドのアドレスとして、スタック・ポインタ（SP）の 16 ビット値と命令に含まれる符号なし 16 ビット・オフセットの合計値を使用します。

7.4 特殊な処理

CPU は、命令に似ていても命令のようにオペコードを使用しない特殊な処理を実行します。また、STOP や WAIT などの一部の命令は、他の MCU 回路に直接的な影響をおよぼします。以降では、こうした処理について詳しく説明します。

7.4.1 リセット・シーケンス

リセットは、パワーオン・リセット（POR）イベント、COP（コンピュータ動作保証）ウォッチドッグなどの内部条件、または外部のアクティブ Low リセット・ピンのアサートで引き起こされます。リセット・イベントが発生すると、CPU は実行中の処理に関係なく直ちに停止します（MCU は命令境界を待たずにリセット・イベントに応答します）。MCU によるリセットの認識と原因の特定の詳細については、「第 5 章 リセット、割込み、および全体的なシステム制御」を参照してください。

リセット・イベントは、リセットの原因が内部ソースによるものかどうかを判定するシーケンスが実行され、リセット・ピンのアサートが終了した時点で、完了したと見なされます。リセット・イベントが完了すると、CPU は 6 サイクルのシーケンスを実行して 0xFFFE と 0xFFFF からリセット・ベクタをフェッチし、その値を命令キューに収めて、最初のプログラム命令を実行する準備を整えます。

7.4.2 割込みシーケンス

割込みが要求されると、CPU は実行中の命令を完了してから割込みに応答します。このタイミングでは、プログラム・カウンタは CPU が割込みをサービスした後で復帰すべき、次の命令の先頭を指示しています。CPU は、ソフトウェア割込み（SWI）命令と同じ処理シーケンスを実行して割込みに応答します。ただし、ベクタのフェッチで使用されるアドレスは、割込みシーケンスの開始時に保留中になっている中の最高優先度の割込みによって決まります。

割込みの際の CPU シーケンスは次の通りです。

1. PCL、PCH、X、A、および CCR の内容を、この順番でスタックにストアします。
2. CCR の I ビットをセットします。
3. 割込みベクタの上位半分をフェッチします。
4. 割込みベクタの下位半分をフェッチします。
5. 1 バス・サイクルの経過を待ちます。
6. 割込みベクタで示されるアドレス以降から 3 バイトのプログラム情報をフェッチし、それを命令キューに収めて、割込みサービス・ルーチンの最初の命令を実行する準備を整えます。

CCR の内容がスタックに格納されると、割込みサービス・ルーチンの実行中に他の割込みが発生しないように、CCR の I ビットがセットされます。割込みサービス・ルーチンの命令で I ビットをクリアすることは可能ですが、それによって割込みがネストされ、結果としてプログラムのデバッグや保守が難しくなるので、お奨めできません。

従来の M68HC05MCU との互換性を保つため、H:X インデックス・レジスタ・ペアの上位半分（H）は割込みシーケンスの中ではスタックにセーブされません。したがって、ユーザは割込みサービス・ルーチンの先頭で PSHH 命令で H をセーブし、割込みサービス・ルーチンの末尾にある RTI の直前で PULH 命令を実行する必要があります。H の値を変更する可能性のある命令や自動インクリメント・アドレッシング・モードが割込みサービス・ルーチンで使用されないことが確実なら、H をセーブする必要はありません。

ソフトウェア割込み（SWI）命令はハードウェア割込みに似ていますが、CCR のグローバル I ビットによってマスクされず、またプログラム内の命令オペコードに対応しているためにプログラムの実行と非同期ではありません。

7.4.3 ウェイト・モードの動作

WAIT 命令は、CCR の I ビットをクリアして命令をイネーブルにします。その後で、CPU をウェイト・モードからウェイクアップさせる割込みまたはリセットのイベントを CPU が待機している間は、CPU へのクロック供給を停止して全体の電力消費を減らします。割込みまたはリセット・イベントが発生すると、CPU へのクロック供給が再開して、割込みまたはリセット・イベントは通常通りに処理されます。

CPU がウェイト・モードのときに、バックグラウンド・デバッグ・インタフェースを通してシリアルの BACKGROUND コマンドを MCU に発行すると、CPU へのクロック供給が再開して、CPU はアクティブ・バックグラウンド・モードに移行し、他のシリアル・バックグラウンド・コマンドを処理できるようになります。つまり、ホスト開発システムはウェイト・モードの場合でもターゲット MCU へのアクセスは可能です。

7.4.4 ストップ・モードの動作

ストップ・モードでは、通常は水晶発振器（使用している場合）を含むすべてのシステム・クロックが停止して、消費電力が最小限に抑えられます。そのため、システムにはストップ・モードの経過時間を制御したり、処理の再開時にターゲット MCU にウェイクアップ信号を発行する外部回路が必要です。従来の M68HC05 や M68HC08 の MCU とは異なり、HCS08 はストップ・モードでも最小限のクロック・セットの稼働を継続するように設定できます。したがって、内部の周期信号でターゲット MCU をストップ・モードからウェイクアップさせる指定も行えます。

ホスト・デバッグ・システムがバックグラウンド・デバッグ・ピン（BKGD）に接続されていて、バックグラウンド・インタフェースを通したシリアル・コマンドによって（または MCU がアクティブ・バックグラウンド・モードに再設定されたために）ENBDM 制御ビットがセットされている場合、MCU がストップ・モードに移行してもオシレータはアクティブのままです。このケースでは、CPU がストップ・モードのときにバックグラウンド・デバッグ・インタフェースを通してシリアルの BACKGROUND コマンドを MCU に発行すると、CPU へのクロック供給が再開して、CPU はアクティブ・バックグラウンド・モードに移行し、他のシリアル・バックグラウンド・コマンドを処理できるようになります。つまり、ホスト開発システムはストップ・モードの場合でもターゲット MCU へのアクセスは可能です。

ストップ・モードから復帰する手順は、HCS08 のタイプによって、またストップ・モードでオシレータが停止しているかどうかによっても異なります。詳細については、「第 3 章 動作モード」を参照してください。

7.4.5 BGND 命令

BGND 命令は、M68HC08 にはない HCS08 の新しい命令です。この命令は、CPU によるユーザ命令の処理を強制的に停止し、アクティブ・バックグラウンド・モードに移行させる機能を持つために、通常のユーザ・プログラムでは使用されません。ユーザ・プログラムの実行を再開する唯一の方法は、リセットの起動か、ホスト・デバッグ・システムからのバックグラウンド・デバッグ・インタフェース経由の GO、TRACE1、または TAGGO のシリアル・コマンドの発行です。

目的のブレークポイント・アドレスのオペコードを BGND オペコードに置き換えれば、ソフトウェア・ベースのブレークポイントを設定できます。プログラムがこのブレークポイント・アドレスに達すると、CPU はユーザ・プログラムの実行を継続せずに強制的にアクティブ・バックグラウンド・モードになります。

7.5 HCS08 命令セット一覧

命令セットの説明で使用する記号の意味

表 7-2 の命令の説明では、以下の記号を使用しています。

演算子

( )	=	括弧内はレジスタまたはメモリ・ロケーションの内容を示します
←	=	ロード
&	=	ブール演算の論理積
|	=	ブール演算の論理和
⊕	=	ブール演算の排他的論理和
×	=	乗算
÷	=	除算
:	=	連結
+	=	加算
−	=	ネゲート（2 の補数）

CPU レジスタ

A	=	アキュムレータ
CCR	=	コンディション・コード・レジスタ
H	=	インデックス・レジスタ、最上位側 8 ビット
X	=	インデックス・レジスタ、最下位側 8 ビット
PC	=	プログラム・カウンタ
PCH	=	プログラム・カウンタ、最上位側 8 ビット
PCL	=	プログラム・カウンタ、最下位側 8 ビット
SP	=	スタック・ポインタ

メモリとアドレッシング

M	=	メモリ・ロケーションまたは絶対データ（アドレッシング・モードにより異なる）
M:M + 0x0001	=	連続する 2 つのメモリ・ロケーションにある 16 ビット値。上位側 8 ビットは M のアドレス、下位側 8 ビットは次のアドレスにあります

コンディション・コード・レジスタ（**CCR**）ビット

V	=	2 の補数オーバフローのインジケータ、ビット 7
H	=	ハーフ・キャリ、ビット 4
I	=	割込みマスク、ビット 3
N	=	負のインジケータ、ビット 2
Z	=	ゼロのインジケータ、ビット 1
C	=	キャリ / ボロー、ビット 0（ビット 7 からのキャリ）

CCR 動作

-	=	ビットは変化しません
0	=	ビットを強制的に 0 に設定します
1	=	ビットを強制的に 1 に設定します
↕	=	処理結果に応じてビットをセットまたはクリアします
U	=	処理後は不定です

マシン・コード

dd	=	ダイレクト・アドレス 0x0000 ～ 0x00FF の下位 8 ビット（上位バイトは 0x00 と見なされます）
ee	=	16 ビット・オフセットの上位 8 ビット
ff	=	16 ビット・オフセットの下位 8 ビットまたは 8 ビット・オフセット
ii	=	1 バイトのイミディエイト・データ

jj	=	16 ビット・イミディエイト・データ値の上位バイト
kk	=	16 ビット・イミディエイト・データ値の下位バイト
hh	=	16 ビット拡張アドレスの上位バイト
ll	=	16 ビット拡張アドレスの下位バイト
rr	=	相対オフセット

ソース形式

ソース形式の欄は、イタリック体で示したもの以外はニーモニックで、アセンブリ・ソース・ファイルではこの通りに記述する必要があります。先頭の 3 〜 5 文字のニーモニックは常にアルファベットで、すべてのカンマ、シャープ (#)、括弧、およびプラス（+）は記号で表します。

n	—	0 〜 7 の整数として評価されるラベルまたは式
opr8i	—	8 ビットのイミディエイト値として評価されるラベルまたは式
opr16i	—	16 ビットのイミディエイト値として評価されるラベルまたは式
opr8a	—	8 ビット値として評価されるラベルまたは式。命令は、この 8 ビット値を 64 K バイト・アドレス空間のダイレクト・ページ内のアドレスの下位 8 ビット（0x00xx）として扱います。
opr16a	—	16 ビット値として評価されるラベルまたは式。命令は、この値を 64 K バイト・アドレス空間のアドレスとして扱います。
oprx8	—	インデックスド・アドレッシングで符号なし 8 ビット値として評価されるラベルまたは式
oprx16	—	16 ビット値として評価されるラベルまたは式。HCS08 には 16 ビットのアドレス・バスがあるため、この値は符号付きの場合と符号なしの場合があります。
rel	—	現在の命令のオブジェクト・コードの最終バイトの次のアドレスから -128 〜 +127 のロケーション内にあるアドレスを参照するラベルまたは式。アセンブラは、8 ビットの符号付きオフセットを算出し、それをこの命令のオブジェクト・コードに格納します。

アドレス・モード

INH	=	インハラント（オペランドなし）
IMM	=	8 ビットまたは 16 ビットのイミディエイト
DIR	=	8 ビット・ダイレクト
EXT	=	16 ビット拡張
IX	=	16 ビット・インデックスド、オフセットなし
IX+	=	16 ビット・インデックスド、オフセットなし、ポスト・インクリメント（CBEQ および MOV 専用）
IX1	=	16 ビット・インデックスド、H:X からの 8 ビット・オフセット
IX1+	=	16 ビット・インデックスド、8 ビット・オフセット、ポスト・インクリメント（CBEQ 専用）
IX2	=	16 ビット・インデックスド、H:X からの 16 ビット・オフセット
REL	=	8 ビット相対オフセット
SP1	=	スタック・ポインタ、8 ビット・オフセット
SP2	=	スタック・ポインタ、16 ビット・オフセット

表 7-2. HCS08 命令セット一覧（1/6 シート）

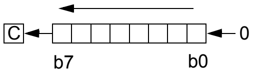
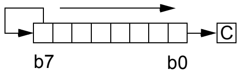
ソース形式	処理	説明	CCR の結果 V	H	I	N	Z	C	アドレスモード	オペコード	オペランド	バスサイクル[1]
ADC *#opr8i* ADC *opr8a* ADC *opr16a* ADC *oprx16*,X ADC *oprx8*,X ADC ,X ADC *oprx16*,SP ADC *oprx8*,SP	キャリ付き加算	A ← (A) + (M) + (C)	↕	↕	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	A9 B9 C9 D9 E9 F9 9ED9 9EE9	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
ADD *#opr8i* ADD *opr8a* ADD *opr16a* ADD *oprx16*,X ADD *oprx8*,X ADD ,X ADD *oprx16*,SP ADD *oprx8*,SP	キャリなし加算	A ← (A) + (M)	↕	↕	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	AB BB CB DB EB FB 9EDB 9EEB	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
AIS *#opr8i*	イミディエイト値（符号付き）とスタック・ポインタを加算	SP ← (SP) + (M) M を 16 ビット値に符号拡張	-	-	-	-	-	-	IMM	A7	ii	2
AIX *#opr8i*	イミディエイト値（符号付き）とインデックス・レジスタ（H:X）を加算	H:X ← (H:X) + (M) M を 16 ビット値に符号拡張	-	-	-	-	-	-	IMM	AF	ii	2
AND *#opr8i* AND *opr8a* AND *opr16a* AND *oprx16*,X AND *oprx8*,X AND ,X AND *oprx16*,SP AND *oprx8*,SP	論理積	A ← (A) & (M)	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	A4 B4 C4 D4 E4 F4 9ED4 9EE4	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
ASL *opr8a* ASLA ASLX ASL *oprx8*,X ASL ,X ASL *oprx8*,SP	算術左シフト （LSL と同じ）		↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	38 48 58 68 78 9E68	dd ff ff	5 1 1 5 4 6
ASR *opr8a* ASRA ASRX ASR *oprx8*,X ASR ,X ASR *oprx8*,SP	算術右シフト		↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	37 47 57 67 77 9E67	dd ff ff	5 1 1 5 4 6
BCC *rel*	キャリ・ビットがクリアなら分岐	(C) = 0 なら分岐	-	-	-	-	-	-	REL	24	rr	3
BCLR *n,opr8a*	メモリのビット n をクリア	Mn ← 0	-	-	-	-	-	-	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	11 13 15 17 19 1B 1D 1F	dd dd dd dd dd dd dd dd	5 5 5 5 5 5 5 5
BCS *rel*	キャリ・ビットがセットなら分岐（BLO と同じ）	(C) = 1 なら分岐	-	-	-	-	-	-	REL	25	rr	3
BEQ *rel*	等しければ分岐	(Z) = 1 なら分岐	-	-	-	-	-	-	REL	27	rr	3
BGE *rel*	“以上”なら分岐 （符号付きオペランド）	(N⊕V) = 0 なら分岐	-	-	-	-	-	-	REL	90	rr	3
BGND	ENBDM = 1 ならアクティブ・バックグラウンドに移行	GO、TRACE1、または TAGGO を待ってから BDM コマンドを処理	-	-	-	-	-	-	INH	82		5+
BGT *rel*	“より大”なら分岐（符号付きオペランド）	(Z) | (N ⊕ V) = 0 なら分岐	-	-	-	-	-	-	REL	92	rr	3
BHCC *rel*	ハーフ・キャリ・ビットがクリアなら分岐	(H) = 0 なら分岐	-	-	-	-	-	-	REL	28	rr	3

表 7-2. HCS08 命令セット一覧（2/6 シート）

ソース形式	処理	説明	CCR の結果						アドレスモード	オペコード	オペランド	バスサイクル[1]
			V	H	I	N	Z	C				
BHCS *rel*	ハーフ・キャリ・ビットがセットなら分岐	(H) = 1 なら分岐	-	-	-	-	-	-	REL	29	rr	3
BHI *rel*	“より大” なら分岐	(C) | (Z) = 0 なら分岐	-	-	-	-	-	-	REL	22	rr	3
BHS *rel*	“以上” なら分岐（BCC と同じ）	(C) = 0 なら分岐	-	-	-	-	-	-	REL	24	rr	3
BIH *rel*	IRQ ピンが High なら分岐	IRQ pin = 1 なら分岐	-	-	-	-	-	-	REL	2F	rr	3
BIL *rel*	IRQ ピンが Low なら分岐	IRQ pin = 0 なら分岐	-	-	-	-	-	-	REL	2E	rr	3
BIT *#opr8i* BIT *opr8a* BIT *opr16a* BIT *oprx16*,X BIT *oprx8*,X BIT ,X BIT *oprx16*,SP BIT *oprx8*,SP	ビット・テスト	(A) & (M) （CCR が更新されても オペランドは変化せず）	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	A5 B5 C5 D5 E5 F5 9ED5 9EE5	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
BLE *rel*	“以上” なら分岐 （符号付きオペランド）	(Z) | (N ⊕ V) = 1 なら分岐	-	-	-	-	-	-	REL	93	rr	3
BLO *rel*	“未満” なら分岐 （BCS と同じ）	(C) = 1 なら分岐	-	-	-	-	-	-	REL	25	rr	3
BLS *rel*	“以下” なら分岐	(C) | (Z) = 1 なら分岐	-	-	-	-	-	-	REL	23	rr	3
BLT *rel*	“未満” なら分岐（符号付きオペランド）	(N ⊕ V) = 1 なら分岐	-	-	-	-	-	-	REL	91	rr	3
BMC *rel*	割込みマスクがクリアなら分岐	(I) = 0 なら分岐	-	-	-	-	-	-	REL	2C	rr	3
BMI *rel*	負なら分岐	(N) = 1 なら分岐	-	-	-	-	-	-	REL	2B	rr	3
BMS *rel*	割込みマスクがセットなら分岐	(I) = 1 なら分岐	-	-	-	-	-	-	REL	2D	rr	3
BNE *rel*	等しくなければ分岐	(Z) = 0 なら分岐	-	-	-	-	-	-	REL	26	rr	3
BPL *rel*	正なら分岐	(N) = 0 なら分岐	-	-	-	-	-	-	REL	2A	rr	3
BRA *rel*	常に分岐	テストなし	-	-	-	-	-	-	REL	20	rr	3
BRCLR *n*,*opr8a*,*rel*	メモリのビット *n* がクリアなら分岐	(Mn) = 0 なら分岐	-	-	-	-	-	↕	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	01 03 05 07 09 0B 0D 0F	dd rr dd rr dd rr dd rr dd rr dd rr dd rr dd rr	5 5 5 5 5 5 5 5
BRN *rel*	常に分岐せず	3 バス・サイクルを使用	-	-	-	-	-	-	REL	21	rr	3
BRSET *n*,*opr8a*,*rel*	メモリのビット *n* がセットなら分岐	(Mn) = 1 なら分岐	-	-	-	-	-	↕	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	00 02 04 06 08 0A 0C 0E	dd rr dd rr dd rr dd rr dd rr dd rr dd rr dd rr	5 5 5 5 5 5 5 5
BSET *n*,*opr8a*	メモリのビット *n* をセット	Mn ← 1	-	-	-	-	-	-	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	10 12 14 16 18 1A 1C 1E	dd dd dd dd dd dd dd dd	5 5 5 5 5 5 5 5
BSR *rel*	サブルーチンに分岐	PC ← (PC) + 0x0002 プッシュ (PCL); SP ← (SP) - 0x0001 プッシュ (PCH); SP ← (SP) - 0x0001 PC ← (PC) + *rel*	-	-	-	-	-	-	REL	AD	rr	5

表 7-2. HCS08 命令セット一覧（3/6 シート）

ソース形式	処理	説明	CCR の結果						アドレスモード	オペコード	オペランド	バスサイクル[1]
			V	H	I	N	Z	C				
CBEQ *opr8a,rel* CBEQA *#opr8i,rel* CBEQX *#opr8i,rel* CBEQ *oprx8*,X+,*rel* CBEQ ,X+,*rel* CBEQ *oprx8*,SP,*rel*	比較して等しければ分岐	(A) = (M) なら分岐 (A) = (M) なら分岐 (X) = (M) なら分岐 (A) = (M) なら分岐 (A) = (M) なら分岐 (A) = (M) なら分岐	-	-	-	-	-	-	DIR IMM IMM IX1+ IX+ SP1	31 41 51 61 71 9E61	dd rr ii rr ii rr ff rr rr ff rr	5 4 4 5 5 6
CLC	キャリ・ビットをクリア	C ← 0	-	-	-	-	-	0	INH	98		1
CLI	割込みマスク・ビットをクリア	I ← 0	-	-	0	-	-	-	INH	9A		1
CLR *opr8a* CLRA CLRX CLRH CLR *oprx8*,X CLR ,X CLR *oprx8*,SP	クリア	M ← 0x00 A ← 0x00 X ← 0x00 H ← 0x00 M ← 0x00 M ← 0x00 M ← 0x00	0	-	-	0	1	-	DIR INH INH INH IX1 IX SP1	3F 4F 5F 8C 6F 7F 9E6F	dd ff ff	5 1 1 1 5 4 6
CMP *#opr8i* CMP *opr8a* CMP *opr16a* CMP *oprx16*,X CMP *oprx8*,X CMP ,X CMP *oprx16*,SP CMP *oprx8*,SP	アキュムレータとメモリを比較	(A) - (M) （CCR が更新されてもオペランドは変化せず）	↕	-	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	A1 B1 C1 D1 E1 F1 9ED1 9EE1	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
COM *opr8a* COMA COMX COM *oprx8*,X COM ,X COM *oprx8*,SP	補数 （1 の補数）	M ← (M)= 0xFF - (M) A ← (A) = 0xFF - (A) X ← (X) = 0xFF - (X) M ← (M) = 0xFF - (M) M ← (M) = 0xFF - (M) M ← (M) = 0xFF - (M)	0	-	-	↕	↕	1	DIR INH INH IX1 IX SP1	33 43 53 63 73 9E63	dd ff ff	5 1 1 5 4 6
CPHX *opr16a* CPHX *#opr16i* CPHX *opr8a* CPHX *opr8*,SP	インデックス・レジスタ（H:X）とメモリを比較	(H:X) - (M:M + 0x0001) （CCR が更新されてもオペランドは変化せず）	↕	-	-	↕	↕	↕	EXT IMM DIR SP1	3E 65 75 9EF3	hh ll jj kk dd ff	6 3 5 6
CPX *#opr8i* CPX *opr8a* CPX *opr16a* CPX *oprx16*,X CPX *oprx8*,X CPX ,X CPX *oprx16*,SP CPX *oprx8*,SP	X（下位インデックスレジスタ）とメモリを比較	(X) - (M) （CCR が更新されてもオペランドは変化せず）	↕	-	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	A3 B3 C3 D3 E3 F3 9ED3 9EE3	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
DAA	BCD 値の ADD または ADC 後にアキュムレータを 10 進数で調整	$(A)_{10}$	U	-	-	↕	↕	↕	INH	72		1
DBNZ *opr8a,rel* DBNZA *rel* DBNZX *rel* DBNZ *oprx8*,X,*rel* DBNZ ,X,*rel* DBNZ *oprx8*,SP,*rel*	デクリメントしてゼロでなければ分岐	A、X、または M をデクリメントして結果が ≠ 0 なら分岐 DBNZX は、X は変更するが H は変更しない	-	-	-	-	-	-	DIR INH INH IX1 IX SP1	3B 4B 5B 6B 7B 9E6B	dd rr rr rr ff rr rr ff rr	7 4 4 7 6 8
DEC *opr8a* DECA DECX DEC *oprx8*,X DEC ,X DEC *oprx8*,SP	デクリメント	M ← (M) - 0x01 A ← (A) - 0x01 X ← (X) - 0x01 M ← (M) - 0x01 M ← (M) - 0x01 M ← (M) - 0x01	↕	-	-	↕	↕	-	DIR INH INH IX1 IX SP1	3A 4A 5A 6A 7A 9E6A	dd ff ff	5 1 1 5 4 6
DIV	除算	A ← (H:A)÷(X) H ←剰余	-	-	-	-	↕	↕	INH	52		6

表 7-2. HCS08 命令セット一覧（4/6 シート）

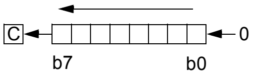
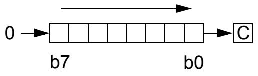
ソース形式	処理	説明	CCR の結果 V	H	I	N	Z	C	アドレス モード	オペコード	オペランド	バス サイクル[1]
EOR *#opr8i* EOR *opr8a* EOR *opr16a* EOR *oprx16*,X EOR *oprx8*,X EOR ,X EOR *oprx16*,SP EOR *oprx8*,SP	メモリとアキュムレータの排他的論理和	A ← (A ⊕ M)	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	A8 B8 C8 D8 E8 F8 9ED8 9EE8	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
INC *opr8a* INCA INCX INC *oprx8*,X INC ,X INC *oprx8*,SP	インクリメント	M ← (M) + 0x01 A ← (A) + 0x01 X ← (X) + 0x01 M ← (M) + 0x01 M ← (M) + 0x01 M ← (M) + 0x01	↕	-	-	↕	↕	-	DIR INH INH IX1 IX SP1	3C 4C 5C 6C 7C 9E6C	dd ff ff	5 1 1 5 4 6
JMP *opr8a* JMP *opr16a* JMP *oprx16*,X JMP *oprx8*,X JMP ,X	ジャンプ	PC ←ジャンプ・アドレス	-	-	-	-	-	-	DIR EXT IX2 IX1 IX	BC CC DC EC FC	dd hh ll ee ff ff	3 4 4 3 3
JSR *opr8a* JSR *opr16a* JSR *oprx16*,X JSR *oprx8*,X JSR ,X	サブルーチンへジャンプ	PC ← (PC) + *n*（*n* = 1、2、または 3） プッシュ (PCL); SP ← (SP) - 0x0001 プッシュ (PCH); SP ← (SP) - 0x0001 PC ←無条件アドレス	-	-	-	-	-	-	DIR EXT IX2 IX1 IX	BD CD DD ED FD	dd hh ll ee ff ff	5 6 6 5 5
LDA *#opr8i* LDA *opr8a* LDA *opr16a* LDA *oprx16*,X LDA *oprx8*,X LDA ,X LDA *oprx16*,SP LDA *oprx8*,SP	メモリからアキュムレータにロード	A ← (M)	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 B6 C6 D6 E6 F6 9ED6 9EE6	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
LDHX *#opr16i* LDHX *opr8a* LDHX *opr16a* LDHX ,X LDHX *oprx16*,X LDHX *oprx8*,X LDHX *oprx8*,SP	メモリからインデックス・レジスタ（H:X）にロード	H:X ← (M:M + 0x0001)	0	-	-	↕	↕	-	IMM DIR EXT IX IX2 IX1 SP1	45 55 32 9EAE 9EBE 9ECE 9EFE	jj kk dd hh ll ee ff ff ff	3 4 5 5 6 5 5
LDX *#opr8i* LDX *opr8a* LDX *opr16a* LDX *oprx16*,X LDX *oprx8*,X LDX ,X LDX *oprx16*,SP LDX *oprx8*,SP	メモリから X（下位インデックス・レジスタ）にロード	X ← (M)	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE BE CE DE EE FE 9EDE 9EEE	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
LSL *opr8a* LSLA LSLX LSL *oprx8*,X LSL ,X LSL *oprx8*,SP	論理左シフト （ASL と同じ）		↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	38 48 58 68 78 9E68	dd ff ff	5 1 1 5 4 6
LSR *opr8a* LSRA LSR*X* LSR *oprx8*,X LSR ,X LSR *oprx8*,SP	論理右シフト		↕	-	-	0	↕	↕	DIR INH INH IX1 IX SP1	34 44 54 64 74 9E64	dd ff ff	5 1 1 5 4 6
MOV *opr8a*,*opr8a* MOV *opr8a*,X+ MOV *#opr8i*,*opr8a* MOV ,X+,*opr8a*	ムーブ	$(M)_{destination} \leftarrow (M)_{source}$ H:X ← (H:X) + 0x0001 の IX+/DIR および DIR/IX+ モード	0	-	-	↕	↕	-	DIR/DIR DIR/IX+ IMM/DIR IX+/DIR	4E 5E 6E 7E	dd dd dd ii dd dd	5 5 4 5
MUL	符号なし乗算	X:A ← (X) × (A)	-	0	-	-	-	0	INH	42		5

表 7-2. HCS08 命令セット一覧（5/6 シート）

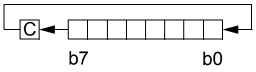
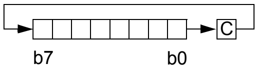
ソース形式	処理	説明	CCR の結果 V	H	I	N	Z	C	アドレスモード	オペコード	オペランド	バスサイクル[1]
NEG *opr8a* NEGA NEGX NEG *oprx8*,X NEG ,X NEG *oprx8*,SP	ネゲート （2 の補数）	M ← - (M) = 0x00 - (M) A ← - (A) = 0x00 - (A) X ← - (X) = 0x00 - (X) M ← - (M) = 0x00 - (M) M ← - (M) = 0x00 - (M) M ← - (M) = 0x00 - (M)	↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	30 40 50 60 70 9E60	dd ff ff	5 1 1 5 4 6
NOP	ノー・オペレーション	1 バス・サイクルを使用	-	-	-	-	-	-	INH	9D		1
NSA	アキュムレータのニブル をスワップ	A ← (A[3:0]:A[7:4])	-	-	-	-	-	-	INH	62		1
ORA *#opr8i* ORA *opr8a* ORA *opr16a* ORA *oprx16*,X ORA *oprx8*,X ORA ,X ORA *oprx16*,SP ORA *oprx8*,SP	アキュムレータとメモリの非排 他的論理和	A ← (A) | (M)	0	-	-	↕	↕	-	IMM DIR EXT IX2 IX1 IX SP2 SP1	AA BA CA DA EA FA 9EDA 9EEA	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
PSHA	スタックにアキュムレータを プッシュ	プッシュ (A); SP ← (SP) - 0x0001	-	-	-	-	-	-	INH	87		2
PSHH	スタックに H（上位インデック ス・レジスタ）をプッシュ	プッシュ (H); SP ← (SP) - 0x0001	-	-	-	-	-	-	INH	8B		2
PSHX	スタックに X（下位インデック ス・レジスタ）をプッシュ	プッシュ (X); SP ← (SP) - 0x0001	-	-	-	-	-	-	INH	89		2
PULA	スタックからアキュムレータを プル	SP ← (SP + 0x0001); プル (A)	-	-	-	-	-	-	INH	86		3
PULH	スタックから H（上位インデッ クス・レジスタ）をプル	SP ← (SP + 0x0001); プル (H)	-	-	-	-	-	-	INH	8A		3
PULX	スタックから X（下位インデッ クス・レジスタ）をプル	SP ← (SP + 0x0001); プル (X)	-	-	-	-	-	-	INH	88		3
ROL *opr8a* ROLA ROLX ROL *oprx8*,X ROL ,X ROL *oprx8*,SP	キャリを通して左にローテート		↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	39 49 59 69 79 9E69	dd ff ff	5 1 1 5 4 6
ROR *opr8a* RORA RORX ROR *oprx8*,X ROR ,X ROR *oprx8*,SP	キャリを通して右にローテート		↕	-	-	↕	↕	↕	DIR INH INH IX1 IX SP1	36 46 56 66 76 9E66	dd ff ff	5 1 1 5 4 6
RSP	スタック・ポインタをリセット	SP ← 0xFF （上位バイトは変化せず）	-	-	-	-	-	-	INH	9C		1
RTI	割込みから復帰	SP ← (SP) + 0x0001; プル (CCR) SP ← (SP) + 0x0001; プル (A) SP ← (SP) + 0x0001; プル (X) SP ← (SP) + 0x0001; プル (PCH) SP ← (SP) + 0x0001; プル (PCL)	↕	↕	↕	↕	↕	↕	INH	80		9
RTS	サブルーチンから復帰	SP ← SP + 0x0001; プル (PCH) SP ← SP + 0x0001; プル (PCL)	-	-	-	-	-	-	INH	81		6
SBC *#opr8i* SBC *opr8a* SBC *opr16a* SBC *oprx16*,X SBC *oprx8*,X SBC ,X SBC *oprx16*,SP SBC *oprx8*,SP	キャリ付き減算	A ← (A) - (M) - (C)	↕	-	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	A2 B2 C2 D2 E2 F2 9ED2 9EE2	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
SEC	キャリ・ビットをセット	C ← 1	-	-	-	-	-	1	INH	99		1
SEI	割込みマスク・ビットをセット	I ← 1	-	-	1	-	-	-	INH	9B		1

表 7-2. HCS08 命令セット一覧（6/6 シート）

ソース形式	処理	説明	CCR の結果 V	H	I	N	Z	C	アドレスモード	オペコード	オペランド	バスサイクル[1]
STA *opr8a* STA *opr16a* STA *oprx16*,X STA *oprx8*,X STA ,X STA *oprx16*,SP STA *oprx8*,SP	アキュムレータからメモリにストア	M ← (A)	0	-	-	↕	↕	-	DIR EXT IX2 IX1 IX SP2 SP1	B7 C7 D7 E7 F7 9ED7 9EE7	dd hh ll ee ff ff ee ff ff	3 4 4 3 2 5 4
STHX *opr8a* STHX *opr16a* STHX *oprx8*,SP	H:X（インデックス・レジスタ）にストア	(M:M + 0x0001) ← (H:X)	0	-	-	↕	↕	-	DIR EXT SP1	35 96 9EFF	dd hh ll ff	4 5 5
STOP	割込みをイネーブル： 処理を停止 MCU 資料を参照	I bit ← 0; 処理を停止	-	-	0	-	-	-	INH	8E		2+
STX *opr8a* STX *opr16a* STX *oprx16*,X STX *oprx8*,X STX ,X STX *oprx16*,SP STX *oprx8*,SP	X（インデックス・レジスタの下位 8 ビット） からメモリにストア	M ← (X)	0	-	-	↕	↕	-	DIR EXT IX2 IX1 IX SP2 SP1	BF CF DF EF FF 9EDF 9EEF	dd hh ll ee ff ff ee ff ff	3 4 4 3 2 5 4
SUB *#opr8i* SUB *opr8a* SUB *opr16a* SUB *oprx16*,X SUB *oprx8*,X SUB ,X SUB *oprx16*,SP SUB *oprx8*,SP	減算	A ← (A) - (M)	↕	-	-	↕	↕	↕	IMM DIR EXT IX2 IX1 IX SP2 SP1	A0 B0 C0 D0 E0 F0 9ED0 9EE0	ii dd hh ll ee ff ff ee ff ff	2 3 4 4 3 3 5 4
SWI	ソフトウェア割込み	PC ← (PC) + 0x0001 プッシュ (PCL); SP ← (SP) - 0x0001 プッシュ (PCH); SP ← (SP) - 0x0001 プッシュ (X); SP ← (SP) - 0x0001 プッシュ (A); SP ← (SP) - 0x0001 プッシュ (CCR); SP ← (SP) - 0x0001 I ← 1; PCH ←割込みベクタ上位バイト PCL ←割込みベクタ下位バイト	-	-	1	-	-	-	INH	83		11
TAP	アキュムレータから CCR に転送	CCR ← (A)	↕	↕	↕	↕	↕	↕	INH	84		1
TAX	アキュムレータから X（下位インデックス・レジスタ）に転送	X ← (A)	-	-	-	-	-	-	INH	97		1
TPA	CCR からアキュムレータに転送	A ← (CCR)	-	-	-	-	-	-	INH	85		1
TST *opr8a* TSTA TSTX TST *oprx8*,X TST ,X TST *oprx8*,SP	負またはゼロをテスト	(M) - 0x00 (A) - 0x00 (X) - 0x00 (M) - 0x00 (M) - 0x00 (M) - 0x00	0	-	-	↕	↕	-	DIR INH INH IX1 IX SP1	3D 4D 5D 6D 7D 9E6D	dd ff ff	4 1 1 4 3 5
TSX	SP からインデックス・レジスタに転送	H:X ← (SP) + 0x0001	-	-	-	-	-	-	INH	95		2
TXA	X（下位インデックス・レジスタ）から アキュムレータに転送	A ← (X)	-	-	-	-	-	-	INH	9F		1
TXS	インデックス・レジスタから SP に転送	SP ← (H:X) - 0x0001	-	-	-	-	-	-	INH	94		2
WAIT	割込みをイネーブル：割込みを待機	I bit ← 0;CPU 停止	-	-	0	-	-	-	INH	8F		2+

[1] バスのクロック周波数は CPU のクロック周波数の 1/2 です。

表 7-3. オペコード・マップ（1/2 シート）

ビット操作		分岐	リード・モディファイ・ライト					制御		レジスタ / メモリ					
00 5 BRSET0 3 DIR	10 5 BSET0 2 DIR	20 3 BRA 2 REL	30 5 NEG 2 DIR	40 1 NEGA 1 INH	50 1 NEGX 1 INH	60 5 NEG 2 IX1	70 4 NEG 1 IX	80 9 RTI 1 INH	90 3 BGE 2 REL	A0 2 SUB 2 IMM	B0 3 SUB 2 DIR	C0 4 SUB 3 EXT	D0 4 SUB 3 IX2	E0 3 SUB 2 IX1	F0 3 SUB 1 IX
01 5 BRCLR0 3 DIR	11 5 BCLR0 2 DIR	21 3 BRN 2 REL	31 5 CBEQ 3 DIR	41 4 CBEQA 3 IMM	51 4 CBEQX 3 IMM	61 5 CBEQ 3 IX1+	71 5 CBEQ 2 IX+	81 6 RTS 1 INH	91 3 BLT 2 REL	A1 2 CMP 2 IMM	B1 3 CMP 2 DIR	C1 4 CMP 3 EXT	D1 4 CMP 3 IX2	E1 3 CMP 2 IX1	F1 3 CMP 1 IX
02 5 BRSET1 3 DIR	12 5 BSET1 2 DIR	22 3 BHI 2 REL	32 5 LDHX 3 EXT	42 5 MUL 1 INH	52 6 DIV 1 INH	62 1 NSA 1 INH	72 1 DAA 1 INH	82 5+ BGND 1 INH	92 3 BGT 2 REL	A2 2 SBC 2 IMM	B2 3 SBC 2 DIR	C2 4 SBC 3 EXT	D2 4 SBC 3 IX2	E2 3 SBC 2 IX1	F2 3 SBC 1 IX
03 5 BRCLR1 3 DIR	13 5 BCLR1 2 DIR	23 3 BLS 2 REL	33 5 COM 2 DIR	43 1 COMA 1 INH	53 1 COMX 1 INH	63 5 COM 2 IX1	73 4 COM 1 IX	83 11 SWI 1 INH	93 3 BLE 2 REL	A3 2 CPX 2 IMM	B3 3 CPX 2 DIR	C3 4 CPX 3 EXT	D3 4 CPX 3 IX2	E3 3 CPX 2 IX1	F3 3 CPX 1 IX
04 5 BRSET2 3 DIR	14 5 BSET2 2 DIR	24 3 BCC 2 REL	34 5 LSR 2 DIR	44 1 LSRA 1 INH	54 1 LSRX 1 INH	64 5 LSR 2 IX1	74 4 LSR 1 IX	84 1 TAP 1 INH	94 2 TXS 1 INH	A4 2 AND 2 IMM	B4 3 AND 2 DIR	C4 4 AND 3 EXT	D4 4 AND 3 IX2	E4 3 AND 2 IX1	F4 3 AND 1 IX
05 5 BRCLR2 3 DIR	15 5 BCLR2 2 DIR	25 3 BCS 2 REL	35 4 STHX 2 DIR	45 3 LDHX 3 IMM	55 4 LDHX 2 DIR	65 3 CPHX 3 IMM	75 5 CPHX 2 DIR	85 1 TPA 1 INH	95 2 TSX 1 INH	A5 2 BIT 2 IMM	B5 3 BIT 2 DIR	C5 4 BIT 3 EXT	D5 4 BIT 3 IX2	E5 3 BIT 2 IX1	F5 3 BIT 1 IX
06 5 BRSET3 3 DIR	16 5 BSET3 2 DIR	26 3 BNE 2 REL	36 5 ROR 2 DIR	46 1 RORA 1 INH	56 1 RORX 1 INH	66 5 ROR 2 IX1	76 4 ROR 1 IX	86 3 PULA 1 INH	96 5 STHX 3 EXT	A6 2 LDA 2 IMM	B6 3 LDA 2 DIR	C6 4 LDA 3 EXT	D6 4 LDA 3 IX2	E6 3 LDA 2 IX1	F6 3 LDA 1 IX
07 5 BRCLR3 3 DIR	17 5 BCLR3 2 DIR	27 3 BEQ 2 REL	37 5 ASR 2 DIR	47 1 ASRA 1 INH	57 1 ASRX 1 INH	67 5 ASR 2 IX1	77 4 ASR 1 IX	87 2 PSHA 1 INH	97 1 TAX 1 INH	A7 2 AIS 2 IMM	B7 3 STA 2 DIR	C7 4 STA 3 EXT	D7 4 STA 3 IX2	E7 3 STA 2 IX1	F7 2 STA 1 IX
08 5 BRSET4 3 DIR	18 5 BSET4 2 DIR	28 3 BHCC 2 REL	38 5 LSL 2 DIR	48 1 LSLA 1 INH	58 1 LSLX 1 INH	68 5 LSL 2 IX1	78 4 LSL 1 IX	88 3 PULX 1 INH	98 1 CLC 1 INH	A8 2 EOR 2 IMM	B8 3 EOR 2 DIR	C8 4 EOR 3 EXT	D8 4 EOR 3 IX2	E8 3 EOR 2 IX1	F8 3 EOR 1 IX
09 5 BRCLR4 3 DIR	19 5 BCLR4 2 DIR	29 3 BHCS 2 REL	39 5 ROL 2 DIR	49 1 ROLA 1 INH	59 1 ROLX 1 INH	69 5 ROL 2 IX1	79 4 ROL 1 IX	89 2 PSHX 1 INH	99 1 SEC 1 INH	A9 2 ADC 2 IMM	B9 3 ADC 2 DIR	C9 4 ADC 3 EXT	D9 4 ADC 3 IX2	E9 3 ADC 2 IX1	F9 3 ADC 1 IX
0A 5 BRSET5 3 DIR	1A 5 BSET5 2 DIR	2A 3 BPL 2 REL	3A 5 DEC 2 DIR	4A 1 DECA 1 INH	5A 1 DECX 1 INH	6A 5 DEC 2 IX1	7A 4 DEC 1 IX	8A 3 PULH 1 INH	9A 1 CLI 1 INH	AA 2 ORA 2 IMM	BA 3 ORA 2 DIR	CA 4 ORA 3 EXT	DA 4 ORA 3 IX2	EA 3 ORA 2 IX1	FA 3 ORA 1 IX
0B 5 BRCLR5 3 DIR	1B 5 BCLR5 2 DIR	2B 3 BMI 2 REL	3B 7 DBNZ 3 DIR	4B 4 DBNZA 2 INH	5B 4 DBNZX 2 INH	6B 7 DBNZ 3 IX1	7B 6 DBNZ 2 IX	8B 2 PSHH 1 INH	9B 1 SEI 1 INH	AB 2 ADD 2 IMM	BB 3 ADD 2 DIR	CB 4 ADD 3 EXT	DB 4 ADD 3 IX2	EB 3 ADD 2 IX1	FB 3 ADD 1 IX
0C 5 BRSET6 3 DIR	1C 5 BSET6 2 DIR	2C 3 BMC 2 REL	3C 5 INC 2 DIR	4C 1 INCA 1 INH	5C 1 INCX 1 INH	6C 5 INC 2 IX1	7C 4 INC 1 IX	8C 1 CLRH 1 INH	9C 1 RSP 1 INH		BC 3 JMP 2 DIR	CC 4 JMP 3 EXT	DC 4 JMP 3 IX2	EC 3 JMP 2 IX1	FC 3 JMP 1 IX
0D 5 BRCLR6 3 DIR	1D 5 BCLR6 2 DIR	2D 3 BMS 2 REL	3D 4 TST 2 DIR	4D 1 TSTA 1 INH	5D 1 TSTX 1 INH	6D 4 TST 2 IX1	7D 3 TST 1 IX		9D 1 NOP 1 INH	AD 5 BSR 2 REL	BD 5 JSR 2 DIR	CD 6 JSR 3 EXT	DD 6 JSR 3 IX2	ED 5 JSR 2 IX1	FD 5 JSR 1 IX
0E 5 BRSET7 3 DIR	1E 5 BSET7 2 DIR	2E 3 BIL 2 REL	3E 6 CPHX 3 EXT	4E 5 MOV 3 DD	5E 5 MOV 2 DIX+	6E 4 MOV 3 IMD	7E 5 MOV 2 IX+D	8E 2+ STOP 1 INH	9E Page 2	AE 2 LDX 2 IMM	BE 3 LDX 2 DIR	CE 4 LDX 3 EXT	DE 4 LDX 3 IX2	EE 3 LDX 2 IX1	FE 3 LDX 1 IX
0F 5 BRCLR7 3 DIR	1F 5 BCLR7 2 DIR	2F 3 BIH 2 REL	3F 5 CLR 2 DIR	4F 1 CLRA 1 INH	5F 1 CLRX 1 INH	6F 5 CLR 2 IX1	7F 4 CLR 1 IX	8F 2+ WAIT 1 INH	9F 1 TXA 1 INH	AF 2 AIX 2 IMM	BF 3 STX 2 DIR	CF 4 STX 3 EXT	DF 4 STX 3 IX2	EF 3 STX 2 IX1	FF 2 STX 1 IX

INH インハラント
IMM イミディエイト
DIR ダイレクト
EXT 拡張
DD DIR から DIR
IX+D IX+ から DIR
REL 相対
IX インデックスド、オフセットなし
IX1 インデックスド、8 ビット・オフセット
IX2 インデックスド、16 ビット・オフセット
IMD IMM から DIR
DIX+ DIR から IX+
SP1 スタック・ポインタ、8 ビット・オフセット
SP2 スタック・ポインタ、16 ビット・オフセット
IX+ インデックスド、オフセットなし、ポスト・インクリメント
IX1+ インデックスド、1 バイト・オフセット、ポスト・インクリメント

16 進数のオペコード：F0　HCS08 サイクル数：3
命令ニーモニック：SUB
バイト数：1　アドレッシング・モード：IX

表 7-3. オペコード・マップ（2/2 シート）

ビット操作		分岐	リード・モディファイ・ライト					制御		レジスタ / メモリ					
						9E60 6 NEG 3 SP1							9ED0 5 SUB 4 SP2	9EE0 4 SUB 3 SP1	
						9E61 6 CBEQ 4 SP1							9ED1 5 CMP 4 SP2	9EE1 4 CMP 3 SP1	
													9ED2 5 SBC 4 SP2	9EE2 4 SBC 3 SP1	
						9E63 6 COM 3 SP1							9ED3 5 CPX 4 SP2	9EE3 4 CPX 3 SP1	9EF3 6 CPHX 3 SP1
						9E64 6 LSR 3 SP1							9ED4 5 AND 4 SP2	9EE4 4 AND 3 SP1	
													9ED5 5 BIT 4 SP2	9EE5 4 BIT 3 SP1	
						9E66 6 ROR 3 SP1							9ED6 5 LDA 4 SP2	9EE6 4 LDA 3 SP1	
						9E67 6 ASR 3 SP1							9ED7 5 STA 4 SP2	9EE7 4 STA 3 SP1	
						9E68 6 LSL 3 SP1							9ED8 5 EOR 4 SP2	9EE8 4 EOR 3 SP1	
						9E69 6 ROL 3 SP1							9ED9 5 ADC 4 SP2	9EE9 4 ADC 3 SP1	
						9E6A 6 DEC 3 SP1							9EDA 5 ORA 4 SP2	9EEA 4 ORA 3 SP1	
						9E6B 8 DBNZ 4 SP1							9EDB 5 ADD 4 SP2	9EEB 4 ADD 3 SP1	
						9E6C 6 INC 3 SP1									
						9E6D 5 TST 3 SP1									
										9EAE 5 LDHX 2 IX	9EBE 6 LDHX 4 IX2	9ECE 5 LDHX 3 IX1	9EDE 5 LDX 4 SP2	9EEE 4 LDX 3 SP1	9EFE 5 LDHX 3 SP1
						9E6F 6 CLR 3 SP1							9EDF 5 STX 4 SP2	9EEF 4 STX 3 SP1	9EFF 5 STHX 3 SP1

INH	インハラント	REL	相対	SP1	スタック・ポインタ、8 ビット・オフセット
IMM	イミディエイト	IX	インデックスド、オフセットなし	SP2	スタック・ポインタ、16 ビット・オフセット
DIR	ダイレクト	IX1	インデックスド、8 ビット・オフセット	IX+	インデックスド、オフセットなし、ポスト・インクリメント
EXT	拡張	IX2	インデックスド、16 ビット・オフセット		
DD	DIR から DIR	IMD	IMM から DIR	IX1+	インデックスド、1 バイト・オフセット、ポスト・インクリメント
IX+D	IX+ から DIR	DIX+	DIR から IX+		

注意：上記のすべてのオペコードは先頭にプリバイト（9E）が付きます。

プリバイト（9E）と 16 進数のオペコード	9E60 6	HCS08 サイクル数
	NEG	命令ニーモニック
バイト数	3 SP1	アドレッシング・モード

第 8 章
アナログ・コンパレータ（S08ACMPV2）

8.1 はじめに

アナログ・コンパレータ・モジュール（ACMP）は、2 つのアナログ入力電圧の比較または 1 つのアナログ入力と内部基準電圧の比較を行うための回路です。コンパレータ回路は、電源電圧の範囲全体で動作（レイル・ツー・レイル動作）します。

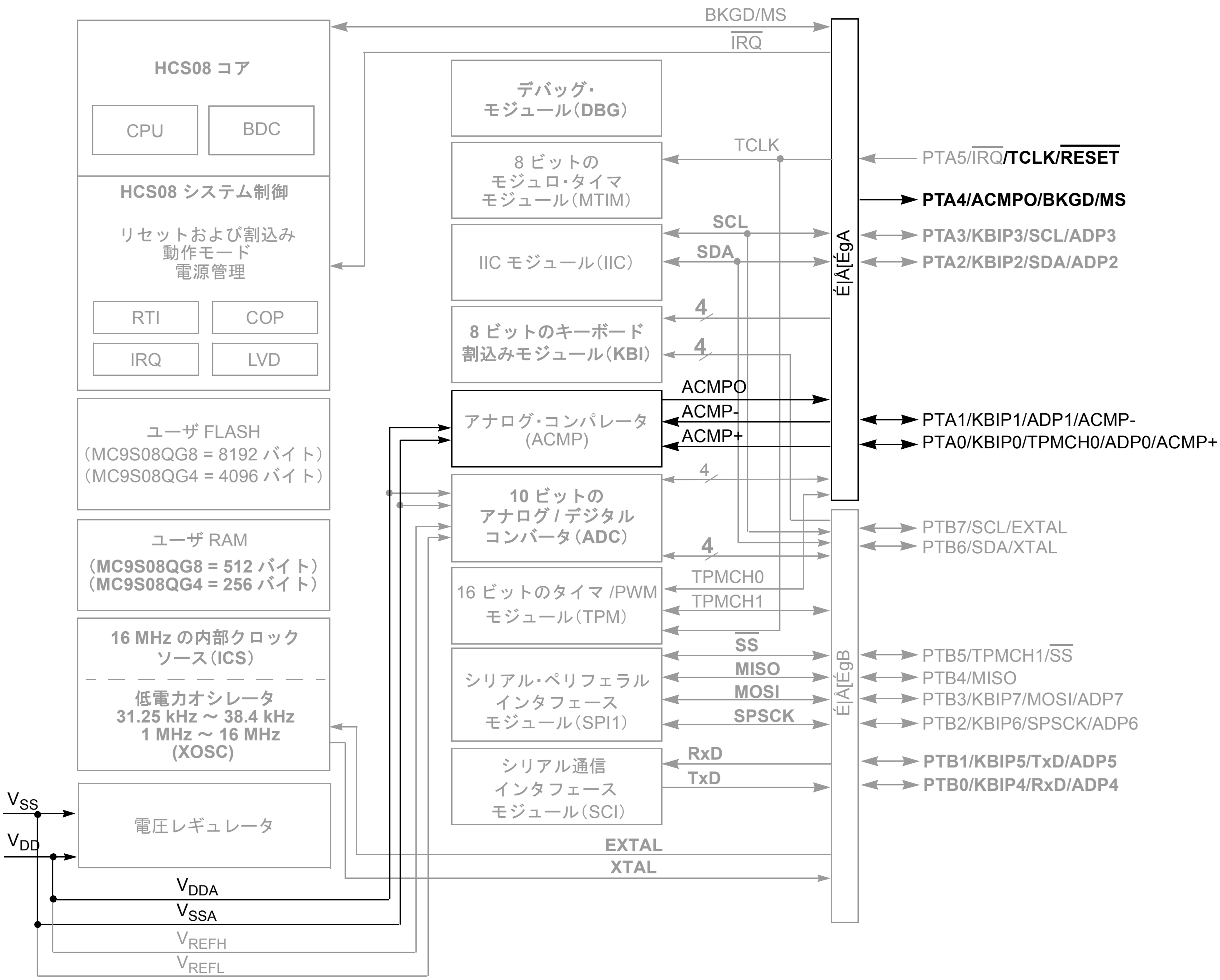
図 8-1 に、ACMP をわかりやすくした MC9S08QG8/4 のブロック図を示します。

8.1.1 ACMP の設定情報

ACMP+ の入力としてバンドギャップ基準電圧を使用する場合、SPMSC1 の BGBE =1 をセットしてバンドギャップ・バッファをイネーブルする必要があります（「5.8.8 システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1）」参照）。バンドギャップ基準電圧の値については、「A.5 DC Characteristics」を参照してください。

8.1.2 ACMP/TPM の設定情報

ACMP モジュールでは、SOPT2 の ACIC をセットするとアナログ・コンパレータの出力を TPM 入力キャプチャのチャネル 0 に接続するよう設定できます。ACIC をセットする場合、TPM モジュールの設定に関係なく TPMCH0 ピンは外部で利用できません。



注意：

1. デバイスによってはー部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。
2. 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。
3. ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。
4. ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。
5. PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。
6. PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。
7. BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。
8. SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9. ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 8-1. MC9S08QG8/4 ブロック図における ACMP ブロックおよびピンの位置付け

8.1.3 主な特長

以下に、ACMP の主な特長を示します。

- 電源電圧の範囲で完全なレイル・ツー・レイル動作
- 40 mV 未満の入力オフセット
- 15 mV 未満のヒステリシス
- コンパレータ出力の立ち上がりおよび立ち下がりエッジのみでの割込み、または立ち上がり / 立ち下がり両エッジでの割込みを選択可能
- 一定の内部バンドギャップ基準電圧との比較（オプション機能）
- コンパレータ出力をピン（ACMPO）で確認（オプション機能）

8.1.4 動作モード

この項では、ウェイト、ストップ、およびバックグラウンド・デバッグの各モードでの ACMP の動作について説明します。

8.1.4.1 ウェイト・モードの ACMP

ACMP は、WAIT 命令の実行前にイネーブルであれば動作を継続します。したがって、ACMP 割込み（ACIE）がイネーブルであれば、ACMP を使用してウェイト・モードから MCU をウェイクアップできます。電流消費を最小限に抑えるため、ウェイト・モード中の割込みソースとして必要でなければ ACMP をソフトウェアでディセーブルしてください。

8.1.4.2 ストップ・モードの ACMP

ACMP は、STOP 命令の実行前の設定に関係なくストップ・モードではディセーブルになります。したがって、ACMP を使用してストップ・モードからウェイクアップすることはできません。

ストップ 1 またはストップ 2 モードでは、ACMP モジュールの電源は完全に停止します。ストップ 1 またはストップ 2 モードからウェイクアップすると、ACMP モジュールはリセット状態になります。

ストップ 3 モード中は、ACMP モジュールへのクロック供給は停止します。レジスタに影響はありません。また、ACMP コンパレータの回路は低電力状態に移行します。ストップ 3 モード中は、比較処理は行いません。

リセットによってストップ 3 から復帰した場合、ACMP はリセット状態になります。割込みによってストップ 3 から復帰した場合、ACMP はストップ 3 への移行前の状態から再開します。

8.1.4.3 バックグラウンド・デバッグ・モードの ACMP

マイクロコントローラがアクティブなバックグラウンド・モードであるとき、ACMP は正常に動作を継続します。

8.1.5 ブロック図

アナログ・コンパレータ・モジュールのブロック図を図 8-2 に示します。

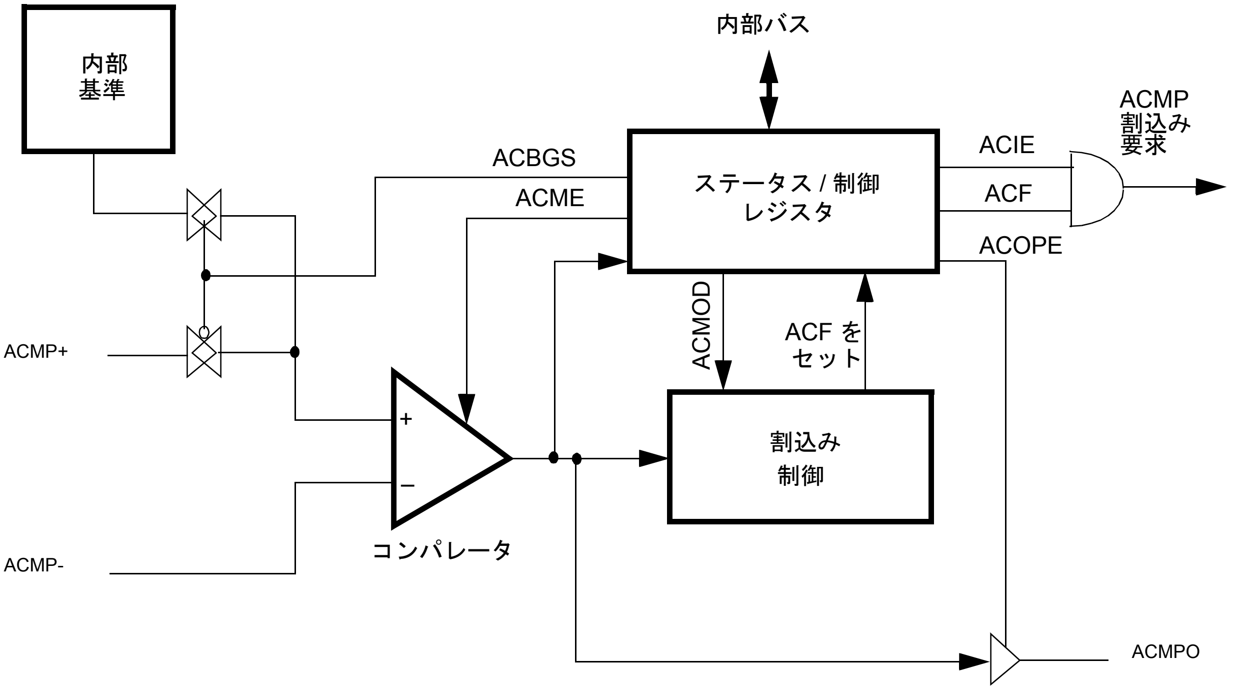


図 8-2. Analog Comparator（ACMP）のブロック図

8.2 外部信号の説明

ACMP には、ACMP+ と ACMP- という 2 本のアナログ入力ピンと ACMPO という 1 本のデジタル出力ピンがあります。各ピンには、MCU 動作電圧の範囲内の電圧を加えることができます。図 8-2 に示したように、ACBGS が 0 の場合、ACMP- ピンはコンパレータの反転入力に、ACMP+ ピンはコンパレータの非反転入力にそれぞれ接続されます。また、図 8-2 に示したように、ACMPO ピンをイネーブルすると外部ピンをドライブできます。

ACMP の信号属性は、表 8-1 の通りです。

表 8-1. 信号属性

信号	機能	I/O
ACMP-	ACMP への反転アナログ入力（負入力）	I
ACMP+	ACMP への非反転アナログ入力（正入力）	I
ACMPO	ACMP のデジタル出力	O

8.3 レジスタ定義

ACMP には以下の 1 つのレジスタがあります。

- 8 ビットのステータス / 制御レジスタ

ACMP のレジスタに対する絶対アドレスの割当てについては、「第 4 章　メモリマップとレジスタ定義」のダイレクトページ・レジスタの一覧を参照してください。本章では、レジスタと制御ビットを名前と相対アドレス・オフセットで示しています。

複数の ACMP を装備する MCU があることを考慮して、レジスタ名には特定の ACMP を示す識別番号を使用しています。

8.3.1 ACMP ステータス / 制御レジスタ（ACMPSC）

ACMPSC は、ACMP のイネーブルと設定に使用するステータス・フラグと制御ビットを格納します。

	7	6	5	4	3	2	1	0
R	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
W								
リセット :	0	0	0	0	0	0	0	0

= 未実装

図 8-3. ACMP ステータス / 制御レジスタ

表 8-2. ACMP ステータス / 制御レジスタのフィールド説明

フィールド	説明
7 ACME	**アナログ・コンパレータ・モジュールのイネーブル**— ACME は ACMP モジュールをイネーブルします。 0　ACMP はディセーブル。 1　ACMP はイネーブル。
6 ACBGS	**アナログ・コンパレータ・バンドギャップの選択**— ACBGS は、アナログ・コンパレータの非反転入力としてバンドギャップ基準電圧または ACMP+ ピンを選択します。 0　コンパレータの非反転入力として外部ピン ACMP+ を選択。 1　コンパレータの非反転入力として内部基準を選択。

表 8-2. ACMP ステータス / 制御レジスタのフィールド説明（続き）

フィールド	説明
5 ACF	**アナログ・コンパレータ・フラグ**― ACF は、比較イベントの発生時にセットされます。比較イベントは、ACMOD によって定義されます。ACF は、1 をライトするとクリアされます。 0 比較イベントは発生していない。 1 比較イベントが発生した。
4 ACIE	**アナログ・コンパレータ割込みのイネーブル**― ACIE は ACMP からの割込みをイネーブルします。ACIE がセットされると、ACF がセット状態であれば、割込みがアサートされます。 0 割込みはディセーブル。 1 割込みはイネーブル。
3 ACO	**アナログ・コンパレータ出力**― ACO をリードすると、アナログ・コンパレータ出力の現在の値が得られます。ACMP がディセーブル（ACME = 0）になると、ACO は 0 にリセットされ、0 がリードされます。
2 ACOPE	**アナログ・コンパレータ出力ピンのイネーブル**― ACOPE は、コンパレータ出力を外部ピンの ACMPO にドライブします。 0 アナログ・コンパレータ出力は ACMPO で利用できない。 1 アナログ・コンパレータ出力を ACMPO にドライブ。
1:0 ACMOD	**アナログ・コンパレータ・モード**― ACMOD は、ACF をセットする比較イベントのタイプを選択します。 00 エンコーディング 0 ―コンパレータ出力の立ち下がりエッジ 01 エンコーディング 1 ―コンパレータ出力の立ち上がりエッジ 10 エンコーディング 2 ―コンパレータ出力の立ち下がりエッジ 11 エンコーディング 3 ―コンパレータ出力の立ち上がりまたは立ち下がりエッジ

8.4 機能の説明

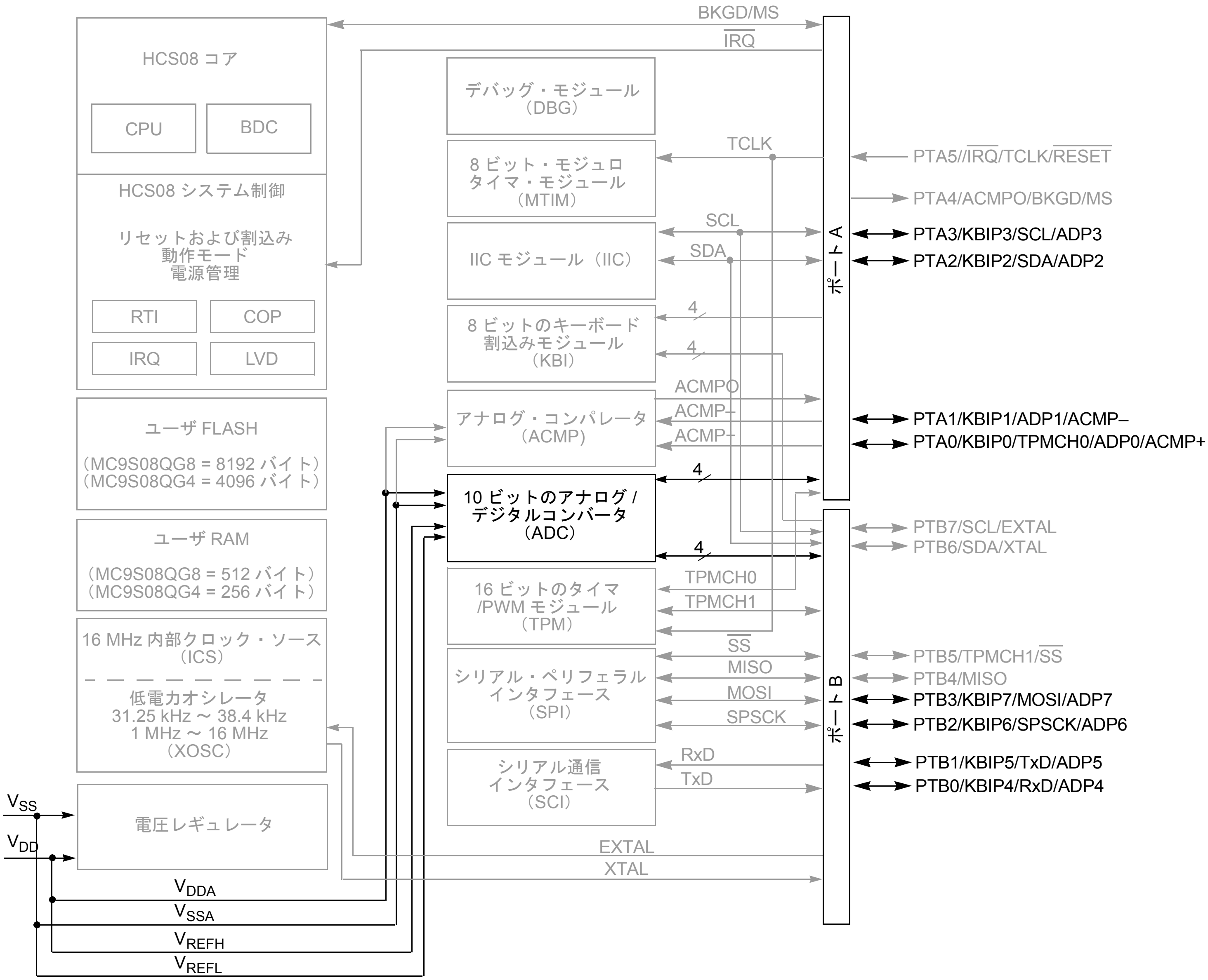
アナログ・コンパレータは、ACMP+ および ACMP- に印加された 2 つのアナログ入力電圧を互いに比較したり、ACMP- に印加されたアナログ入力電圧と内部バンドギャップ基準電圧を比較したりするのに用いられます。ACBGS は、アナログ・コンパレータの非反転入力としてバンドギャップ基準電圧または ACMP+ ピンを選択します。コンパレータ出力は、非反転入力が反転入力より大きければ High、小さければ Low となります。ACMOD は、ACF をセットする条件を選択します。ACF ビットは、コンパレータ出力の立ち上がりエッジ、立ち下がりエッジ、またはそのどちらか（トグル）でセットされます。コンパレータ出力は、ACO ビットから直接リードできます。コンパレータ出力は、ACOPE を使用して ACMPO ピンにドライブできます。

第 9 章
アナログ / デジタル・コンバータ（S08ADC10V1）

9.1 はじめに

10 ビットのアナログ / デジタル・コンバータ（ADC）は、システム・オンチップの統合マイクロコントローラ内で動作するように設計された逐次比較型の ADC です。

図 9-1 に、ADC モジュールとピンをわかりやすくして MC9S08QG8/4 のブロック図を示します。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 表 1-1 を参照してください。
2 入力ポート・ピンは、ソフトウェアによるプルアップ・デバイス設定が可能です。
3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。
4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。
5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。
6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。
7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。
8 SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 9-1. ADC モジュールとピンを強調表示した MC9S08QG8/4 のブロック図

9.1.1 モジュールの設定

この項では、MC9S08QG8/4 で ADC を設定するためのデバイス固有の情報を示します。

9.1.1.1 アナログ電源と基準電圧の接続

ADC の V_{DDAD} および V_{REFH} ソースは、V_{DD} ピンに内部接続されます。ADC の V_{SSAD} および V_{REFL} ソースは、V_{SS} ピンに内部接続されます。

9.1.1.2 チャネル割り当て

表 9-1 に、MC9S08QG8/4 デバイスの ADC チャネル割り当てを示します。予約済みのチャネルは、不明な値に変換されます。

表 9-1. ADC のチャネル割り当て

ADCH	チャネル	入力	ピン制御	ADCH	チャネル	入力	ピン制御
00000	AD0	PTA0/ADP0	ADPC0	10000	AD16	VSS	該当なし
00001	AD1	PTA1/ADP1	ADPC1	10001	AD17	VSS	該当なし
00010	AD2	PTA2/ADP2	ADPC2	10010	AD18	VSS	該当なし
00011	AD3	PTA3/ADP3	ADPC3	10011	AD19	VSS	該当なし
00100	AD4	PTB0/ADP4	ADPC4	10100	AD20	VSS	該当なし
00101	AD5	PTB1/ADP5	ADPC5	10101	AD21	VSS	該当なし
00110	AD6	PTB2/ADP6	ADPC6	10110	AD22	予約済み	該当なし
00111	AD7	PTB3/ADP7	ADPC7	10111	AD23	予約済み	該当なし
01000	AD8	VSS	該当なし	11000	AD24	予約済み	該当なし
01001	AD9	VSS	該当なし	11001	AD25	予約済み	該当なし
01010	AD10	VSS	該当なし	11010	AD26	温度センサ[1]	該当なし
01011	AD11	VSS	該当なし	11011	AD27	内部バンドギャップ	該当なし
01100	AD12	VSS	該当なし	11100	—	予約済み	該当なし
01101	AD13	VSS	該当なし	11101	V_{REFH}	VDD	該当なし
01110	AD14	VSS	該当なし	11110	VREFL	VSS	該当なし
01111	AD15	VSS	該当なし	11111	モジュールをディセーブル	なし	該当なし

[1] 詳細については、「9.1.1.6　温度センサ」を参照してください。

NOTE

内部バンドギャップ・チャネルを選択するには、SPMSC1 の BGBE を 1 にセットする必要があります（「5.8.8　システム・パワー・マネジメント・ステータス / 制御 1 レジスタ（SPMSC1)」を参照)。バンドギャップ基準電圧の値については、「A.5　DC Characteristics」を参照してください。

9.1.1.3 代替クロック

ADC は、MCU バス・クロック（バス・クロックの 2 分周）またはモジュール内のローカル非同期クロック（ADACK）を使用して変換を実行できます。MC9S08QG8/4 MCU デバイスの代替クロック（ALTCLK）入力は実装されません。

9.1.1.4　ハードウェア・トリガ

ADC ハードウェア・トリガ（ADHWT）は、リアルタイム割込み（RTI）カウンタからの出力です。RTI カウンタは、ICSERCLK または RTI ブロックの公称 1 kHz のクロック・ソースでクロック供給されます。

RTI の周期は、入力クロック周波数と RTIS ビットで決まります。RTI カウンタは、RTIS ビットで決まる RTI レートでオーバフローを生成するフリーランニング・カウンタです。ADC ハードウェア・トリガがイネーブルの場合、RTI カウンタがオーバフローすると変換が開始されます。

RTI は、MCU の実行、ウェイト、およびストップ 3 の各モードでハードウェア・トリガを生成するよう設定できます。

9.1.1.5　アナログ・ピンのイネーブル

MC9S08QG8 の ADC は、アナログ・ピン・イネーブル・レジスタとして APCTL1 だけを内蔵しています。

9.1.1.6　温度センサ

ADC モジュールは、温度センサを内蔵しており、その出力は ADC アナログのいずれかのチャネルに接続されています。方程式 9-1 は、温度センサの近似伝達関数です。

$$\text{温度} = 25 - ((V_{TEMP} - V_{TEMP25}) \div m) \qquad \text{方程式 9-1}$$

各値の意味は次の通りです。

— V_{TEMP} は、周囲温度での温度センサ・チャネルの電圧です。
— V_{TEMP25} は、25 ℃での温度センサ・チャネルの電圧です。
— m は、ホット側またはコールド側電圧に対する温度勾配です（V/ ℃）

温度の計算には、「Appendix A　Electrical Characteristics」の「A.10　ADC Characteristics」にある V_{TEMP25} および m の値を使用します。

アプリケーション・コードでは、温度センサ・チャネルをリードし、V_{TEMP} を計算し、V_{TEMP25} と比較します。方程式 9-1 で、V_{TEMP} が V_{TEMP25} より大きければ、コールド側勾配値が適用され、V_{TEMP} が V_{TEMP25} より小さければ、ホット側勾配値が適用されます。

9.1.1.7　低電力動作モード

ADC はストップ 3 モードで動作できますが、そのためには SPMSC1 の LVDSE および LVDE をセットする必要があります。

9.1.2 主な特長

以下に、ADC モジュールの主な特長を示します。

- 10 ビットの分解能を持つ線形逐次比較アルゴリズム
- 最大 28 のアナログ入力
- 10 または 8 ビットの右揃えの出力フォーマット
- 単独変換または連続変換（単独変換後はアイドルに自動復帰）
- サンプリング時間と変換速度 / 電力を設定可能
- 変換完了フラグおよび割込み
- 最大 4 つのソースから入力クロックを選択可能
- ウェイト・モードまたはストップ 3 モードによる低ノイズ動作
- 非同期クロック・ソースによる低ノイズ動作
- 非同期ハードウェア変換トリガを選択可能
- 割込みによりプログラム可能な値に対して“より小さい”、“より大”、または“等値”を自動比較

9.1.3 ブロック図

図 9-2 に、ADC モジュールのブロック図を示します。

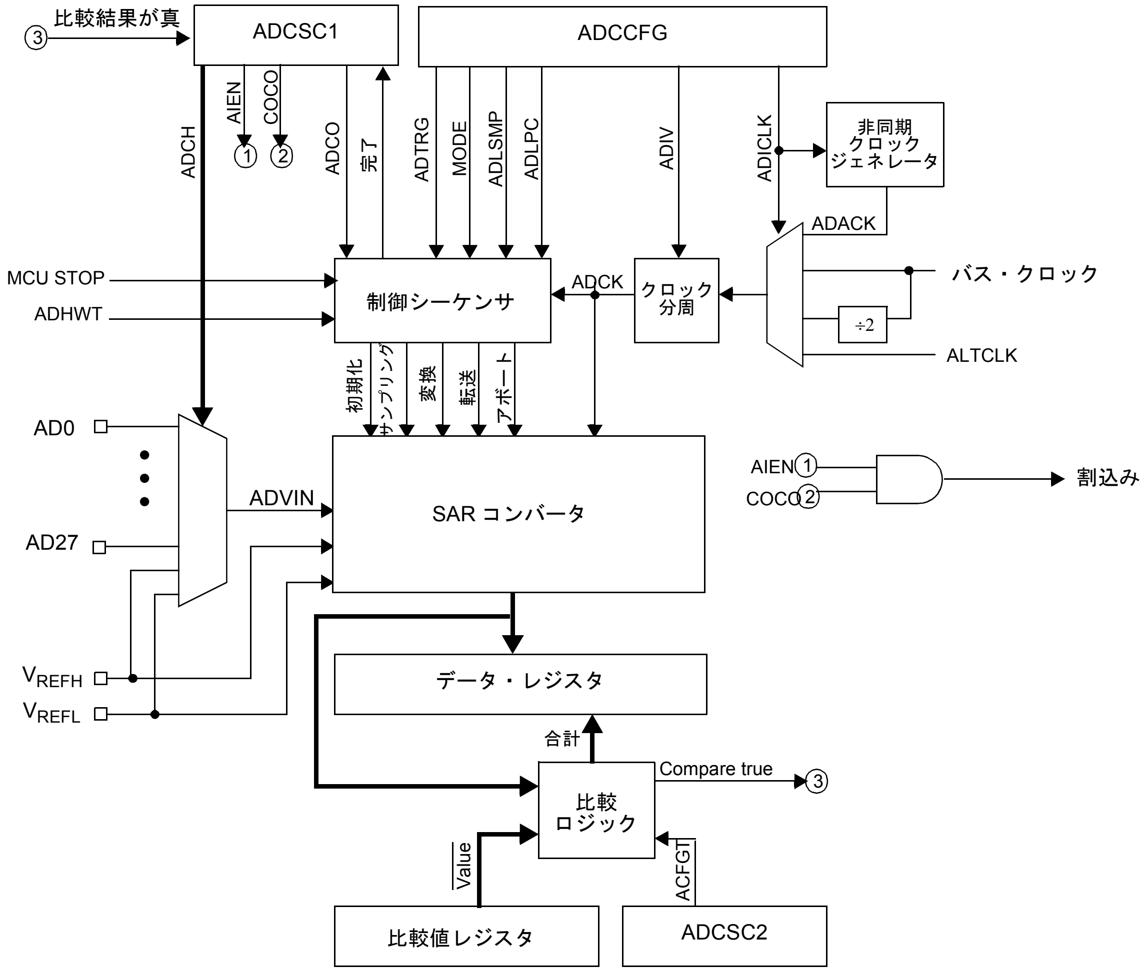


図 9-2. ADC ブロック図

9.2 外部信号の説明

ADC モジュールは、最大 28 の独立したアナログ入力をサポートします。また、電源 / 基準電圧 / グランドの 4 つの接続が必要です。

表 9-2. 信号特性

名前	機能
AD27–AD0	アナログ・チャネル入力
V_{REFH}	高位基準電圧
V_{REFL}	低位基準電圧
VDDAD	アナログ電源
VSSAD	アナログ・グランド

9.2.1 アナログ電源（V_{DDAD}）

ADC のアナログ部分は、電源接続として V_{DDAD} を使用します。一部のパッケージでは、V_{DDAD} は内部で V_{DD} に接続されます。外部で接続する場合、V_{DDAD} ピンを V_{DD} と同じ電圧電位に接続します。良好な結果を得るには、外部のフィルタ処理により V_{DDAD} のノイズの除去が必要になる場合があります。

9.2.2 アナログ接地（V_{SSAD}）

ADC のアナログ部分は、グランドとの接続として V_{SSAD} を使用します。一部のパッケージでは、V_{SSAD} は内部で V_{SS} に接続されます。外部で接続する場合、V_{SSAD} ピンを V_{SS} と同じ電圧電位に接続します。

9.2.3 高位基準電圧（V_{REFH}）

V_{REFH} は、コンバータの高位基準電圧です。一部のパッケージでは、V_{REFH} は内部で V_{DDAD} に接続されます。外部で接続する場合、VREFH は V_{DDAD} と同じ電位に接続するか、V_{DDAD} の最小仕様と V_{DDAD} 電位の間に収まる外部ソースでドライブします（V_{REFH} は V_{DDAD} を越えてはならない）。

9.2.4 低位基準電圧（V_{REFL}）

V_{REFL} は、コンバータの低位基準電圧です。一部のパッケージでは、V_{REFL} は内部で V_{SSAD} に接続されます。外部で接続する場合、V_{REFL} ピンを V_{SSAD} と同じ電圧電位に接続します。

9.2.5 アナログ・チャネル入力（ADx）

ADC モジュールは、最大 28 の独立したアナログ入力をサポートします。ADCH チャネル選択ビットを通してその中から 1 つの入力が変換対象として選択されます。

9.3 レジスタ定義

ADC の動作の制御および監視には、以下のメモリ・マップト・レジスタが使用されます。

- ステータス / 制御レジスタ（ADCSC1）
- ステータス / 制御レジスタ（ADCSC2）
- データ結果レジスタ（ADCRH および ADCRL）
- 比較値レジスタ（ADCCVH および ADCCVL）
- コンフィギュレーション・レジスタ（ADCCFG）
- ピン・イネーブル・レジスタ（APCTL1、APCTL2、APCTL3）

9.3.1 ステータス / 制御レジスタ 1（ADCSC1）

この項では、ADC ステータス / 制御レジスタ 1（ADCSC1）の機能について説明します。ADCSC1 にライトすると、現在の変換がアボートし、新しい変換が開始されます（ADCH ビットがすべて 1 以外の値と等しい場合）。

	7	6	5	4	3	2	1	0
R	COCO	AIEN	ADCO	ADCH				
W								
リセット :	0	0	0	1	1	1	1	1

= 未実装または予約済み

図 9-3. ステータス / 制御レジスタ（ADCSC1）

表 9-3. ADCSC1 レジスタのフィールド説明

フィールド	説明
7 COCO	**変換完了フラグ** — COCO フラグは、比較機能がディセーブルされている場合（ACFE = 0）は変換が完了するたびにセットされるリード専用ビットです。比較機能がイネーブルの場合（ACFE = 1）、COCO フラグは比較結果が真のときにのみ変換の完了時にセットされます。このビットは、ADCSC1 のライトまたは ADCRL のリードによりクリアされます。 0 変換は未完了 1 変換は完了
6 AIEN	**割込みイネーブル** — AIEN は、変換完了割込みをイネーブルします。AIEN が High のときに COCO がセットされると、割込みがアサートされます。 0 変換完了割込みはディセーブル 1 変換完了割込みはイネーブル
5 ADCO	**連続変換イネーブル** — ADCO は、連続変換をイネーブルします。 0 ソフトウェア・トリガ動作が選択されているときに ADCSC1 のライトに続いて単独変換を実行。ハードウェア・トリガ動作が選択されている場合には、ADHWT のアサートに続いて 1 回の変換が行われます。 1 ソフトウェア・トリガ動作が選択されているときに ADCSC1 のライトに続いて連続変換を開始。ハードウェア・トリガ動作が選択されている場合には、連続変換は ADHWT イベントで開始される
4:0 ADCH	**入力チャネル選択** — ADCH ビットは、1 つの入力チャネルを選択するための 5 ビット・フィールドで構成しています。入力チャネルの詳細は、図 9-4 の通りです。 チャネル・ビットがすべて 1 にセットされると、逐次比較型コンバータ・サブシステムはオフになります。この機能により、ADC を明示的にディセーブルして、入力チャネルをすべてのソースから分離することができます。この方法で連続変換を終了すると、余分な単独変換の実行を防止できます。連続変換がイネーブルされていない場合、ADC を低電力状態に移行させるためにチャネル選択ビットをすべて 1 にセットする必要はありません。これは、変換が完了するとモジュールが自動的に低電力状態に移行するからです。

図 9-4. 入力チャネルの選択

ADCH	入力選択	ADCH	入力選択
00000	AD0	10000	AD16
00001	AD1	10001	AD17
00010	AD2	10010	AD18
00011	AD3	10011	AD19
00100	AD4	10100	AD20
00101	AD5	10101	AD21
00110	AD6	10110	AD22
00111	AD7	10111	AD23
01000	AD8	11000	AD24

図 9-4. 入力チャネルの選択（続き）

ADCH	入力選択	ADCH	入力選択
01001	AD9	11001	AD25
01010	AD10	11010	AD26
01011	AD11	11011	AD27
01100	AD12	11100	予約済み
01101	AD13	11101	V_{REFH}
01110	AD14	11110	VREFL
01111	AD15	11111	モジュールをディセーブル

9.3.2 ステータス / 制御レジスタ 2（ADCSC2）

ADCSC2 レジスタは、ADC モジュールの比較機能、変換トリガ、および変換アクティブ状態の制御に使用されます。

	7	6	5	4	3	2	1	0
R	ADACT	ADTRG	ACFE	ACFGT	0	0	R[1]	R[1]
W								
リセット:	0	0	0	0	0	0	0	0

= 未実装または予約済み

[1] ビット 1 および 0 は予約済みビットで、常に 0 に設定しておく必要があります。

図 9-5. ステータス / 制御レジスタ 2（ADCSC2）

表 9-4. ADCSC2 レジスタのフィールド説明

フィールド	説明
7 ADACT	**変換アクティブ** ― ADACT は、変換の実行中であることを示します。ADACT は、変換が開始されるとセットされ、変換が完了またはアボートするとクリアされます。 0 変換の実行中ではない 1 変換の実行中
6 ADTRG	**変換トリガ選択** ― ADTRG は、変換を開始するトリガのタイプを選択します。ソフトウェア・トリガとハードウェア・トリガの 2 つのタイプから選択できます。ソフトウェア・トリガを選択すると、変換は ADCSC1 のライトに続いて開始されます。ハードウェア・トリガを選択すると、変換は ADHWT 入力のアサートに続いて開始されます。 0 ソフトウェア・トリガを選択 1 ハードウェア・トリガを選択
5 ACFE	**比較機能イネーブル** ― ACFE は、比較機能をイネーブルします。 0 比較機能はディセーブル 1 比較機能はイネーブル
4 ACFGT	**より大きい比較機能のイネーブル** ― ACFGT は、監視対象の入力の変換結果が比較値以上の場合にトリガするように比較機能を設定します。比較機能は、監視対象の入力の比較結果が比較値より小さい場合にトリガするようにデフォルト設定されます。 0 入力が比較レベルより小さい場合に比較をトリガ 1 入力が比較レベル以上の場合に比較をトリガ

9.3.3 データ結果上位レジスタ（ADCRH）

ADCRH は、10 ビット変換結果の上位 2 ビットを格納します。8 ビット変換の設定の場合、ADR8 と ADR9 はどちらもゼロとなります。自動比較がイネーブルされており、比較条件が満たされない場合を除いて、ADCRH は変換が完了するたびに更新されます。10 ビット・モードの場合、ADCRH をリードすると、ADC は ADCRL がリードされるまで以降の変換結果を結果レジスタに転送しません。次の変換の完了後まで ADCRL がリードされないと、中間変換結果は破棄されます。8 ビット・モードの場合、ADCRL に関連してロックされることはありません。MODE ビットが変更された場合、ADCRH のデータは無効になります。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	ADR9	ADR8
W								
リセット:	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 9-6. データ結果上位レジスタ（ADCRH）

9.3.4 データ結果下位レジスタ（ADCRL）

ADCRL は、10 ビット変換結果の下位 8 ビットまたは 8 ビット変換結果の全 8 ビットを格納します。自動比較がイネーブルされており、比較条件が満たされない場合を除いて、このレジスタは変換が完了するたびに更新されます。10 ビット・モードの場合、ADCRH をリードすると、ADC は ADCRL がリードされるまで以降の変換結果を結果レジスタに転送しません。次の変換の完了後まで ADCRL がリードされないと、中間変換結果は破棄されます。8 ビット・モードの場合、ADCRH に関連してロックされることはありません。MODE ビットが変更された場合、ADCRL のデータは無効になります。

	7	6	5	4	3	2	1	0
R	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
W								
リセット:	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 9-7. データ結果下位レジスタ（ADCRL）

9.3.5 比較値上位レジスタ（ADCCVH）

このレジスタは、10 ビット比較値の上位 2 ビットを保持します。これらのビットは、比較機能がイネーブルの場合に以降の 10 ビット・モード変換結果の上位 2 ビットと比較されます。8 ビット・モードの場合、ADCCVH は比較で使用されません。

	7	6	5	4	3	2	1	0
R	0	0	0	0			ADCV9	ADCV8
W								
リセット:	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 9-8. 比較値上位レジスタ（ADCCVH）

9.3.6 比較値下位レジスタ（ADCCVL）

このレジスタは、10 ビット比較値の下位 8 ビットまたは 8 ビット比較値の全 8 ビットを保持します。ビット ADCV7:ADCV0 は、以降の 10 ビットまたは 8 ビット・モード変換結果の下位 8 ビットと比較されます。

	7	6	5	4	3	2	1	0
R/W	ADCV7	ADCV6	ADCV5	ADCV4	ADCV3	ADCV2	ADCV1	ADCV0
リセット :	0	0	0	0	0	0	0	0

図 9-9. 比較値下位レジスタ（ADCCVL）

9.3.7 コンフィギュレーション・レジスタ（ADCCFG）

ADCCFG は、動作モード、クロック・ソース、およびクロック分周比を制御し、低電力または長いサンプリング時間を設定します。

	7	6	5	4	3	2	1	0
R/W	ADLPC	ADIV		ADLSMP	MODE		ADICLK	
リセット :	0	0	0	0	0	0	0	0

図 9-10. コンフィギュレーション・レジスタ（ADCCFG）

表 9-5. ADCCFG レジスタのフィールド説明

フィールド	説明
7 ADLPC	**低電力設定** — ADLPC は、逐次比較型コンバータの速度および電力の設定を制御します。このフィールドは、高いサンプリング・レートを必要としない場合に電力消費を最適化するために使用されます。 0 高速設定 1 低電力設定 - 最大クロック速度を下げる代わりに消費電力を引き下げます。
6:5 ADIV	**クロック分周比選択** — ADIV は、ADC の内部で使用する ADCK クロックの分周比を選択します。表 9-6 に、選択可能なクロック設定を示します。
4 ADLSMP	**長いサンプリング時間設定** — ADLSMP は、長いサンプリング時間または短いサンプリング時間を選択します。これにより、サンプリング周期が調整されて、高インピーダンス入力の正確なサンプリングや低インピーダンス入力の変換速度の引き上げが可能になります。高い変換レートが不要であれば、連続変換がイネーブルのときに長いサンプリング時間を選択することで、全般的な消費電力を抑えることができます。 0 短いサンプリング時間 1 長いサンプリング時間
3:2 MODE	**変換モード選択** — MODE ビットは、10 ビットまたは 8 ビット動作の選択に使用されます。表 9-7 を参照してください。
1:0 ADICLK	**入力クロック選択** — ADICLK ビットは、内部クロック（ADCK）の生成に使用する入力クロック・ソースを選択します。表 9-8 を参照してください。

表 9-6. クロック分周比選択

ADIV	分周比	クロック・レート
00	1	入力クロックの 1 分周
01	2	入力クロックの 2 分周
10	4	入力クロックの 4 分周
11	8	入力クロックの 8 分周

表 9-7. 変換モード

MODE	モード　説明
00	8 ビット変換（N=8）
01	予約済み
10	10 ビット変換（N=10）
11	予約済み

表 9-8. 入力クロック選択

ADICLK	選択されるクロック・ソース
00	バス・クロック
01	バス・クロックの 2 分周
10	代替クロック（ALTCLK）
11	非同期クロック（ADACK）

9.3.8　ピン制御 1 レジスタ（APCTL1）

ピン制御レジスタは、アナログ入力として使用される MCU ピンの I/O ポート制御をディセーブルします。APCTL1 は、ADC モジュールのチャネル 0 ～ 7 に対応するピンを制御します。

	7	6	5	4	3	2	1	0
R W	ADPC7	ADPC6	ADPC5	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0
リセット :	0	0	0	0	0	0	0	0

図 9-11. ピン制御 1 レジスタ（APCTL1）

表 9-9. APCTL1 レジスタのフィールド説明

フィールド	説明
7 ADPC7	**ADC ピン制御 7** ― ADPC7 は、チャネル AD7 に対応するピンを制御します。 0　AD7 ピンの I/O 制御はイネーブル 1　AD7 ピンの I/O 制御はディセーブル
6 ADPC6	**ADC ピン制御 6** ― ADPC6 は、チャネル AD6 に対応するピンを制御します。 0　AD6 ピンの I/O 制御はイネーブル 1　AD6 ピンの I/O 制御はディセーブル
5 ADPC5	**ADC ピン制御 5** ― ADPC5 は、チャネル AD5 に対応するピンを制御します。 0　AD5 ピンの I/O 制御はイネーブル 1　AD5 ピンの I/O 制御はディセーブル
4 ADPC4	**ADC ピン制御 4** ― ADPC4 は、チャネル AD4 に対応するピンを制御します。 0　AD4 ピンの I/O 制御はイネーブル 1　AD4 ピンの I/O 制御はディセーブル
3 ADPC3	**ADC ピン制御 3** ― ADPC3 は、チャネル AD3 に対応するピンを制御します。 0　AD3 ピンの I/O 制御はイネーブル 1　AD3 ピンの I/O 制御はディセーブル

表 9-9. APCTL1 レジスタのフィールド説明（続き）

フィールド	説明
2 ADPC2	**ADC ピン制御 2** — ADPC2 は、チャネル AD2 に対応するピンを制御します。 0 AD2 ピンの I/O 制御はイネーブル 1 AD2 ピンの I/O 制御はディセーブル
1 ADPC1	**ADC ピン制御 1** — ADPC1 は、チャネル AD1 に対応するピンを制御します。 0 AD1 ピンの I/O 制御はイネーブル 1 AD1 ピンの I/O 制御はディセーブル
0 ADPC0	**ADC ピン制御 0** — ADPC0 は、チャネル AD0 に対応するピンを制御します。 0 AD0 ピンの I/O 制御はイネーブル 1 AD0 ピンの I/O 制御はディセーブル

9.3.9 P ピン制御 2 レジスタ（APCTL2）

APCTL2 は、ADC モジュールのチャネル 8 ～ 15 を制御します。

	7	6	5	4	3	2	1	0
R W	ADPC15	ADPC14	ADPC13	ADPC12	ADPC11	ADPC10	ADPC9	ADPC8
リセット :	0	0	0	0	0	0	0	0

図 9-12. ピン制御 2 レジスタ（APCTL2）

表 9-10. APCTL2 レジスタのフィールド説明

フィールド	説明
7 ADPC15	**ADC ピン制御 15** — ADPC15 は、チャネル AD15 に対応するピンを制御します。 0 AD15 ピンの I/O 制御はイネーブル 1 AD15 ピンの I/O 制御はディセーブル
6 ADPC14	**ADC ピン制御 14** — ADPC14 は、チャネル AD14 に対応するピンを制御します。 0 AD14 ピンの I/O 制御はイネーブル 1 AD14 ピンの I/O 制御はディセーブル
5 ADPC13	**ADC ピン制御 13** — ADPC13 は、チャネル AD13 に対応するピンを制御します。 0 AD13 ピンの I/O 制御はイネーブル 1 AD13 ピンの I/O 制御はディセーブル
4 ADPC12	**ADC ピン制御 12** — ADPC12 は、チャネル AD12 に対応するピンを制御します。 0 AD12 ピンの I/O 制御はイネーブル 1 AD12 ピンの I/O 制御はディセーブル
3 ADPC11	**ADC ピン制御 11** — ADPC11 は、チャネル AD11 に対応するピンを制御します。 0 AD11 ピンの I/O 制御はイネーブル 1 AD11 ピンの I/O 制御はディセーブル
2 ADPC10	**ADC ピン制御 10** — ADPC10 は、チャネル AD10 に対応するピンを制御します。 0 AD10 ピンの I/O 制御はイネーブル 1 AD10 ピンの I/O 制御はディセーブル
1 ADPC9	**ADC ピン制御 9** — ADPC9 は、チャネル AD9 に対応するピンを制御します。 0 AD9 ピンの I/O 制御はイネーブル 1 AD9 ピンの I/O 制御はディセーブル
0 ADPC8	**ADC ピン制御 8** — ADPC8 は、チャネル AD8 に対応するピンを制御します。 0 AD8 ピンの I/O 制御はイネーブル 1 AD8 ピンの I/O 制御はディセーブル

9.3.10 ピン制御 3 レジスタ（APCTL3）

APCTL3 は、ADC モジュールのチャネル 16 ～ 23 を制御します。

	7	6	5	4	3	2	1	0
R W	ADPC23	ADPC22	ADPC21	ADPC20	ADPC19	ADPC18	ADPC17	ADPC16
リセット :	0	0	0	0	0	0	0	0

図 9-13. ピン制御 3 レジスタ（APCTL3）

表 9-11. APCTL3 レジスタのフィールド説明

フィールド	説明
7 ADPC23	**ADC ピン制御 23** ― ADPC23 は、チャネル AD23 に対応するピンを制御します。 0 AD23 ピンの I/O 制御はイネーブル 1 AD23 ピンの I/O 制御はディセーブル
6 ADPC22	**ADC ピン制御 22** ― ADPC22 は、チャネル AD22 に対応するピンを制御します。 0 AD22 ピンの I/O 制御はイネーブル 1 AD22 ピンの I/O 制御はディセーブル
5 ADPC21	**ADC ピン制御 21** ― ADPC21 は、チャネル AD21 に対応するピンを制御します。 0 AD21 ピンの I/O 制御はイネーブル 1 AD21 ピンの I/O 制御はディセーブル
4 ADPC20	**ADC ピン制御 20** ― ADPC20 は、チャネル AD20 に対応するピンを制御します。 0 AD20 ピンの I/O 制御はイネーブル 1 AD20 ピンの I/O 制御はディセーブル
3 ADPC19	**ADC ピン制御 19** ― ADPC19 は、チャネル AD19 に対応するピンを制御します。 0 AD19 ピンの I/O 制御はイネーブル 1 AD19 ピンの I/O 制御はディセーブル
2 ADPC18	**ADC ピン制御 18** ― ADPC18 は、チャネル AD18 に対応するピンを制御します。 0 AD18 ピンの I/O 制御はイネーブル 1 AD18 ピンの I/O 制御はディセーブル
1 ADPC17	**ADC ピン制御 17** ― ADPC17 は、チャネル AD17 に対応するピンを制御します。 0 AD17 ピンの I/O 制御はイネーブル 1 AD17 ピンの I/O 制御はディセーブル
0 ADPC16	**ADC ピン制御 16** ― ADPC16 は、チャネル AD16 に対応するピンを制御します。 0 AD16 ピンの I/O 制御はイネーブル 1 AD16 ピンの I/O 制御はディセーブル

9.4 機能の説明

ADC モジュールは、リセット時または ADCH ビットがすべて High の場合にディセーブルされます。変換が完了して別の変換が開始されていない場合にはアイドル状態になります。アイドル状態では、モジュールは最小電力状態に移行しています。

ADC は、ソフトウェアで選択可能などのチャネルでもアナログからデジタルへの変換を実行できます。選択されたチャネル電圧は、逐次比較アルゴリズムによって 11 ビットのデジタル結果に変換されます。8 ビット・モードでは、選択されたチャネル電圧が 9 ビットのデジタル結果に変換されます。

変換が完了すると、結果がデータ・レジスタ（ADCRH および ADCRL）に格納されます。10 ビット・モードの場合、結果は 10 ビットに丸められ、ADCRH と ADCRL に格納されます。8 ビット・モードの場合、結果は 8 ビットに丸められ、ADCRL に格納されます。次に、変換完了フラグ（COCO）がセットされ、変換完了割込みがイネーブル（AIEN = 1）であれば割込みが生成されます。

ADC モジュールは、変換結果と比較レジスタの内容を自動的に比較することができます。比較機能は、ACFE ビットのセットによってイネーブルされ、変換モードおよび設定と連動して動作します。

9.4.1 クロック選択と分周制御

ADC モジュールのクロック・ソースは 4 つの中から選択できます。選択したクロック・ソース・ソースは、コンバータの入力クロック（ADCK）生成のために変更可能な値で分周されます。以下のクロック・ソースから ADICLK ビットを使用して 1 つを選択します。

- ソフトウェアが実行される周波数と等しいバス・クロック。リセット後にデフォルトで選択されます。
- バス・クロックの 2 分周。高バス・クロック・レートの場合、最大でバス・クロックの 16 分周を選択できます。
- MCU に対して定義されている ALTCLK（モジュールの概要説明の項を参照）
- 非同期クロック（ADACK）- このクロックは、ADC モジュール内部のクロック・ソースから生成されます。クロック・ソースとして選択された場合、このクロックは MCU がウェイト・モードまたはストップ 3 モードに入っている間もアクティブであるため、これらのモードで変換を実行すれば低ノイズ動作が可能です。

どのクロックを選択する場合でも、周波数は ADCK に指定されている周波数範囲に収まる必要があります。クロックが遅すぎる場合、ADC は仕様通りに動作しません。クロックが速すぎる場合、適切な周波数にクロックを分周する必要があります。分周比の指定には ADIV ビットを使用し、分周比として 1、2、4、または 8 を選択できます。

9.4.2 入力選択とピン制御

ピン制御レジスタ（APCTL3、APCTL2、および APCTL1）は、アナログ入力として使用されるピンの I/O ポート制御をディセーブルします。ピン制御レジスタ・ビットがセットされると、対応する MCU ピンで以下の処理が実行されます。

- 出力バッファをハイ・インピーダンス状態に設定する。
- 入力バッファをディセーブルする。I/O ポートをリードすると、入力バッファがディセーブルされているピンについてはゼロが返ります。
- プルアップをディセーブルする。

9.4.3 ハードウェア・トリガ

ADC モジュールは、ADTRG ビットがセットの場合にイネーブルされる非同期ハードウェア変換トリガ（ADHWT）を備えています。このソースは、一部の MCU では利用できません。この MCU 専用の ADHWT ソースについては、モジュールの概要説明の項で確認してください。

ADHWT ソースが利用可能でハードウェア・トリガがイネーブル（ADTRG=1）の場合、変換は ADHWT の立ち上がりエッジで開始されます。立ち上がりエッジの発生時に変換が実行中であれば、立ち上がりエッジは無視されます。連続変換設定では、変換を開始する最初の立ち上がりエッジだけが認識されます。ハードウェア・トリガ機能は、変換モードおよび設定と連動して動作します。

9.4.4 変換制御

変換は、MODE ビットの指定に従って 10 ビットまたは 8 ビットで実行されます。変換は、ソフトウェア・トリガまたはハードウェア・トリガで開始されます。また、ADC モジュールでは、低電力動作、長いサンプリング時間、連続変換、および変換結果とソフトウェアで指定される比較値との自動比較を設定できます。

9.4.4.1 変換の開始

変換は以下のタイミングで開始されます。

- ソフトウェア・トリガ動作が選択されている場合に ADCSC1 がライト（ADCH ビットがすべて 1 の場合を除く）された後
- ハードウェア・トリガ動作が選択されている場合にハードウェア・トリガ（ADHWT）イベントが発生した後
- 連続変換がイネーブルの場合に結果がデータ・レジスタに転送された後

連続変換がイネーブルであれば、実行中の変換の完了後に新しい変換が自動的に開始されます。ソフトウェア・トリガ動作では、連続変換は ADCSC1 のライト後に開始され、アボートされるまで継続します。ハードウェア・トリガ動作では、連続変換はハードウェア・トリガ・イベント後に開始され、アボートされるまで継続します。

9.4.4.2 変換の完了

変換は、変換結果がデータ結果レジスタの ADCRH および ADCRL に転送された時点で完了します。変換が完了すると、COCO がセットされます。COCO がセットされるときに AIEN が High なら、割込みが生成されます。

10 ビット・モードまたは 8 ビット・モードで ADCRH および ADCRL の以前のデータをリード中（ADCRH レジスタのリードが完了して ADCRL レジスタのリードは未完了）であれば、ブロック・メカニズムにより、以前のデータが新しい結果に上書きされることはありません。ブロックがアクティブなら、データ転送はブロックされ、COCO はセットされず、新しい結果は破棄されます。比較機能をイネーブルした単独変換で比較条件が偽であれば、ブロックは無効となり、ADC 動作は終了します。それ以外のすべての場合には、データ転送はブロックされ、ADCO の状態（単独または連続変換のイネーブル）に関係なく別の変換が開始されます。

単独変換がイネーブルの場合、ブロック・メカニズムにより、変換結果が何度か破棄され、消費電力が増加することがあります。この問題を防ぐには、単独変換を開始したら完了するまでデータ・レジスタのリードを行わないようにする必要があります。

9.4.4.3 変換のアボート

実行中の変換は、以下の場合にアボートされます。

- ADCSC1 がライトされる（ADCH がすべて 1 の場合を除いて、実行中の変換がアボートして新しい変換が開始される）
- ADCSC2、ADCCFG、ADCCVH、または ADCCVL がライトされる。このライトは動作モードが変更されたことを示すため、実行中の変換は無効になります。
- MCU がリセットされる
- ADACK がイネーブルされてない場合に MCU がストップ・モードに移行する

変換がアボートされると、データ・レジスタ（ADCRH および ADCRL）の内容は変更されず、最後に完了した変換後に転送された値のままとなります。変換がリセットによりアボートされた場合、ADCRH および ADCRL はそれぞれのリセット状態に戻ります。

9.4.4.4 電力制御

ADC モジュールは、変換が開始されるまでアイドル状態を維持します。ADACK が変換クロック・ソースとして選択される場合、ADACK クロック・ジェネレータもイネーブルされます。

アクティブ時の電力消費は、ADLPC をセットすると低減されます。その結果、f_{ADCK} の最大値が引き下げされます（電気的仕様を参照）。

9.4.4.5 合計変換時間

合計変換時間は、サンプリング時間（ADLSMP で指定）、MCU バス周波数、変換モード（8 ビットまたは 10 ビット）、および変換クロック周波数（f_{ADCK}）によって異なります。モジュールがアクティブになったら、入力サンプリングが開始されます。ADLSMP は、短いサンプリング時間または長いサンプリング時間の選択に使用されます。サンプリングが完了すると、コンバータは入力チャネルから分離され、アナログ信号のデジタル値を調べるために逐次比較アルゴリズムが実行されます。変換結果は、変換アルゴリズムの終了時に ADCRH および ADCRL に転送されます。

バス周波数が f_{ADCK} 周波数未満の場合、短いサンプリング時間がイネーブル（ADLSMP=0）のときに連続変換で正確なサンプリング時間は保証されません。バス周波数が f_{ADCK} の 1/11 未満の場合、長いサンプリング時間がイネーブル（ADLSMP=1）のときに連続変換で正確なサンプリング時間は保証されません。

表 9-12 に、さまざまな条件の最大合計変換時間の一覧を示します。

表 9-12. 各制御条件での合計変換時間

変換タイプ	ADICLK	ADLSMP	最大合計変換時間
8 ビットの単独変換または連続変換の最初の変換	0x, 10	0	20 ADCK サイクル + 5 バス・クロック・サイクル
10 ビットの単独変換または連続変換の最初の変換	0x, 10	0	23 ADCK サイクル + 5 バス・クロック・サイクル
8 ビットの単独変換または連続変換の 1 回目の変換	0x, 10	1	40 ADCK サイクル + 5 バス・クロック・サイクル
10 ビットの単独変換または連続変換の最初の変換	0x, 10	1	43 ADCK サイクル + 5 バス・クロック・サイクル
8 ビットの単独変換または連続変換の最初の変換	11	0	5 μs + 20 ADCK + 5 バス・クロック・サイクル
10 ビットの単独変換または連続変換の最初の変換	11	0	5 μs + 23 ADCK + 5 バス・クロック・サイクル
8 ビットの単独変換または連続変換の最初の変換	11	1	5 μs + 40 ADCK + 5 バス・クロック・サイクル
10 ビットの単独変換または連続変換の最初の変換	11	1	5 μs + 43 ADCK + 5 バス・クロック・サイクル
8 ビットの連続変換の 2 回目以降の変換：$f_{BUS} \geq f_{ADCK}$	xx	0	17 ADCK サイクル
10 ビットの連続変換の 2 回目以降の変換：$f_{BUS} \geq f_{ADCK}$	xx	0	20 ADCK サイクル
8 ビットの連続変換の 2 回目以降の変換：$f_{BUS} \geq f_{ADCK}/11$	xx	1	37 ADCK サイクル
10 ビットの連続変換の 2 回目以降の変換：$f_{BUS} \geq f_{ADCK}/11$	xx	1	40 ADCK サイクル

最大合計変換時間は、選択されるクロック・ソースと分周比によって決まります。クロック・ソースは ADICLK ビットで選択され、分周比は ADIV ビットで指定されます。たとえば、10 ビット・モードで、入力クロック・ソースとしてバス・クロックを選択し、入力クロックの分周比に 1 を指定し、バス周波数が 8 MHz であれば、単独の変換時間は次のように求められます。

変換時間 = 23 ADCK サイクル /8 MHz + 5 バス・サイクル /+ 8 MHz = 3.5 μs

バス・サイクル数 = 3.5 μs x 8 MHz = 28 サイクル

注意

ADCK 周波数は、ADC 仕様を満たすために最小 f_{ADCK} と最大 f_{ADCK} の間に入っている必要があります。

9.4.5 自動比較機能

比較機能は、上限または下限についてチェックするよう設定できます。入力のサンプリングと変換の後に、その結果が比較値（ADCCVH および ADCCVL）の 2 の補数に加算されます。上限と比較する場合（ACFGT = 1）、結果が比較値以上であれば、COCO がセットされます。下限と比較する場合（ACFGT = 0）、結果が比較値より小さければ、COCO がセットされます。変換結果と比較値の 2 の補数との加算で得られる値は、ADCRH と ADCRL に転送されます。

比較条件が偽の場合、比較機能がイネーブルのときに変換が完了しても、COCO がセットされず、データは結果レジスタに転送されません。ADC 割込みがイネーブル（AIEN = 1）であれば、COCO のセット時に ADC 割込みが生成されます。

注意

比較機能を使用すると、MCU がウェイト・モードまたはストップ 3 モードに入っている間にチャネルの電圧を監視できます。比較条件が満たされている場合、ADC 割込みが発生すると MCU がウェイクアップします。

9.4.6 MCU のウェイト・モード動作

WAIT 命令を実行すると、MCU は消費電力の低いスタンバイ・モードに移行します。このモードではクロック・ソースがアクティブなままなので、MCU は非常に短時間で復帰できます。MCU がウェイト・モードに移行する際に変換が実行中であれば、変換は最後まで実行されます。ハードウェア・トリガを利用するか、連続変換をイネーブルしておけば、MCU がウェイト・モードに入っている間も変換を開始することができます。

ウェイト・モードでは、変換クロック・ソースとしてバス・クロック、バス・クロックの 2 分周、および ADACK が利用可能です。変換クロック・ソースとしての ALTCLK の使い方は、各 MCU の ALTCLK の定義によって異なります。この MCU の ALTCLK 関連情報については、モジュールの概要説明で確認してください。

変換完了イベントが発生すると COCO がセットされ、ADC 割込みがイネーブル（AIEN = 1）なら ADC 割込みが生成されて MCU がウェイト・モードから復帰します。

9.4.7 MCU のストップ 3 モード動作

STOP 命令は、MCU を消費電力の低いスタンバイ・モードに移行します。このモードでは、MCU のクロック・ソースの大半またはすべてがディセーブルされます。

9.4.7.1 ADACK をディセーブルしたストップ 3 モード

非同期クロックの ADACK が変換クロックとして選択されていない場合、STOP 命令を実行すると、実行中の変換がアボートされて ADC がアイドル状態に移行します。ADCRH および ADCRL の内容は、ストップ 3 モードの影響を受けません。ストップ 3 モードの終了後に変換を再開するためには、ソフトウェア・トリガまたはハードウェア・トリガが必要です。

9.4.7.2 ADACK をイネーブルしたストップ 3 モード

ADACK が変換クロックとして選択されている場合、ADC はストップ 3 モード中も動作を継続します。ADC の動作を保証するために、MCU の電圧レギュレータはストップ 3 モード中もアクティブでなければなりません。この MCU の設定情報をモジュールの概要説明で確認してください。

MCU がストップ 3 モードに移行する際に変換が実行中であれば、変換は最後まで実行されます。ハードウェア・トリガを利用するか、連続変換をイネーブルしておけば、MCU がストップ 3 モードに入っている間も変換を開始することができます。

変換完了イベントが発生すると COCO がセットされ、ADC 割込みがイネーブル（AIEN = 1）なら ADC 割込みが生成されて MCU がストップ 3 モードからウェイクアップします。

注意

ADC モジュールが低電力のストップ・モードからシステムをウェイクアップし、それが原因でシステム・レベルの割込みが生成されないままで MCU が実行レベルの電流を消費し始める可能性があります。こうしたケースを回避するには、ストップ 3 モードへの移行時と ADC 変換の連続実行時にデータ転送ブロック・メカニズム（「9.4.4.2　変換の完了」参照）がクリアされるようにソフトウェアで保証する必要があります。

9.4.8 MCU のストップ 1 およびストップ 2 モード動作

ADC モジュールは、MCU がストップ 1 またはストップ 2 モードに移行する際に自動的にディセーブルされます。ストップ 1 またはストップ 2 モードが終了すると、すべてのモジュール・レジスタの内容はそれぞれのリセット値となります。そのため、ストップ 1 またはストップ 2 モードの終了後にモジュールの再イネーブルと再設定を行う必要があります。

9.5 初期化情報

この項では、ADC モジュールの初期化および設定の基本手順を例をあげて説明します。モジュールの分解能（8 ビットまたは 10 ビット）、単独変換または連続変換、ポーリング方式または割込み方式といったオプションを選択できます。初期化例の各オプションについては、表 9-6、表 9-7、および表 9-8 を参照してください。

注意

16 進数には 0x、2 進数には % が先頭に付いており、10 進数の先頭には文字が付いていません。

9.5.1 ADC モジュールの初期化例

9.5.1.1 初期化シーケンス

ADC モジュールで変換を実行するためには、初期化手順を実行する必要があります。以下に基本的な手順を示します。

1. コンフィギュレーション・レジスタ（ADCCFG）を更新し、入力クロック・ソースと内部クロック（ADCK）生成のための分周比を選択します。このレジスタは、サンプリング時間と低電力設定の選択にも使用します。
2. ステータス / 制御レジスタ 2（ADCSC2）を更新し、変換トリガ（ハードウェアまたはソフトウェア）と比較機能（イネーブルする場合）のオプションを選択します。
3. ステータス / 制御レジスタ 1（ADCSC1）を更新し、変換の連続実行または単独実行および変換完了割込みのイネーブルまたはディセーブルを選択します。変換を実行する入力チャネルもここで選択します。

9.5.1.2 疑似コード例

この例では、割込みをイネーブルし、入力チャネル 1 でサンプリング時間を長くして低電力で 10 ビットの単独変換を実行するよう、ADC モジュールを設定します。また、内部クロックの ADCK はバス・クロックの 1 分周により生成されます。

ADCCFG = 0x98 (%10011000)

ビット 7	ADLPC	1	低電力（最大クロック速度の引き下げ）を設定
ビット 6:5	ADIV	00	ADCK を入力クロックの 1 分周に設定
ビット 4	ADLSMP	1	長いサンプリング時間を設定
ビット 3:2	MODE	10	10 ビット変換モードを設定
ビット 1:0	ADICLK	00	バス・クロックを入力クロック・ソースとして選択

ADCSC2 = 0x00 (%00000000)

ビット 7	ADACT	0	フラグが変換の実行中かどうかを指示
ビット 6	ADTRG	0	ソフトウェア・トリガを選択
ビット 5	ACFE	0	比較機能をディセーブル
ビット 4	ACFGT	0	この例では使用しない
ビット 3:2		00	未実装または予約済みで、リードすると常に 0

ビット 1:0		00	フリースケール独自の用途に予約済みで、常に 0 に設定

ADCSC1 = 0x41 (%01000001)

ビット 7	COCO	0	変換完了時にセットされるリード専用フラグ
ビット 6	AIEN	1	変換完了割込みをイネーブル
ビット 5	ADCO	0	単独変換を実行（連続変換をディセーブル）
ビット 4:0	ADCH	00001	ADC の入力チャネルとして入力チャネル 1 を選択

ADCRH/L = 0xxx

変換結果を格納します。リード・データが次の変換結果で上書きされないように、下位バイト（ADCRL）の前に上位バイト（ADCRH）を先にリードしてください。

ADCCVH/L = 0xxx

比較機能イネーブルの場合に比較値を格納します。

APCTL1=0x02

AD1 ピンの I/O 制御をディセーブルします。それ以外のすべての AD ピンは汎用 I/O ピンとして機能します。

APCTL2=0x00

それ以外のすべての AD ピンは汎用 I/O ピンとして機能します。

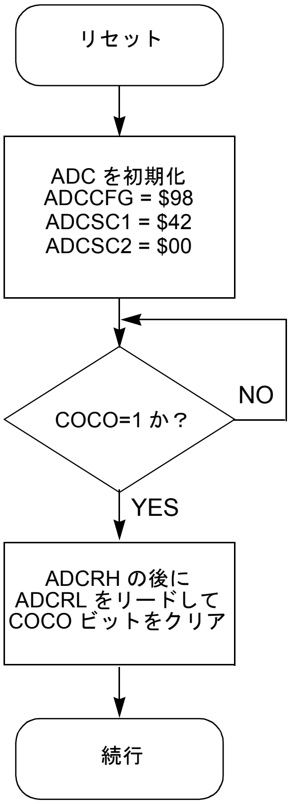


図 9-14. 初期化例のフローチャート

9.6 アプリケーション情報

この項では、アプリケーションでの ADC モジュールの使い方を取り上げます。ADC は、A/D コンバータを必要とする組込み制御用途向けのマイクロコントローラ用に設計されています。

9.6.1 外部ピンと接続

以下の項では、ADC モジュールの外部ピンとそれらの最適な使い方を説明します。

9.6.1.1 アナログ電源ピン

ADC モジュールには、アナログ電源およびグランド電源（V_{DDAD} および V_{SSAD}）があり、一部のデバイスではそれぞれを別々のピンとして使用できます。それ以外のデバイスでは、V_{SSAD} が MCU のデジタル V_{SS} と同じピンで共有される場合や、V_{SSAD} と V_{DDAD} が MCU のデジタル電源ピンと共有される場合があります。こうした場合、アナログ電源用に独立したパッドがあり、対応するデジタル電源と同じピンに接続されるため、電源間にある程度の距離があります。

ピンを別々にできる場合、V_{DDAD} と V_{SSAD} を対応する MCU デジタル電源（V_{DD} および V_{SS}）と同じ電圧電位に接続し、ルーティングにはノイズ耐性を最大限に高めつつバイパス・コンデンサをできるだけパッケージの近くに配置するように十分な配慮が必要です。

アナログ電源とデジタル電源を別々にする場合、2 つの電源間のグランド接続は V_{SSAD} ピンに設ける必要があります。ただし、これは 2 つの電源間のグランド接続の場合に限られます。V_{SSAD} ピンは、一点グランド接続として最適です。

9.6.1.2 アナログ基準ピン

アナログ電源以外に、ADC モジュールには 2 つの基準電圧の入力もあります。高位基準は V_{REFH} で、一部のデバイスでは V_{DDAD} と同じピンで共有されます。下位基準は V_{REFL} で、一部のデバイスでは V_{SSAD} と同じピンで共有されます。

ピンを別々にできる場合、V_{REFH} は V_{DDAD} と同じ電位に接続するか、V_{DDAD} の最小仕様と V_{DDAD} 電位の間に収まる外部ソースでドライブします（V_{REFH} は V_{DDAD} を越えてはならない）。ピンを別々にできる場合、V_{REFL} は V_{SSAD} と同じ電位に接続する必要があります。V_{REFH} および V_{REFL} のルーティングには、ノイズ耐性を最大限に高めつつバイパス・コンデンサをできるだけパッケージの近くに配置するように十分な配慮が必要です。

各逐次比較ステップでコンデンサ・アレイをチャージするための電流スパイク状の AC 電流は、V_{REFH} および V_{REFL} ループを通じて供給されます。この電流を満たす最適な外部コンポーネントは、優れた高周波数特性を持つ 0.1 μF のコンデンサです。このコンデンサは、V_{REFH} と V_{REFL} の間でパッケージ・ピンにできるだけ近い位置で接続する必要があります。パスの直列抵抗は、電流が変換誤差の原因となる電圧降下を引き起こすため、推奨されません。パスのインダクタンスは最小限（寄生インダクタンスのみ）に抑える必要があります。

9.6.1.3 アナログ入力ピン

一般に、外部アナログ入力は MCU デバイスのデジタル I/O ピンと共有されます。ピンの I/O 制御は、ピン制御レジスタの適切なビットのセットによりディセーブルされます。アナログ入力変換の実行には、対応するピン制御レジスタ・ビットのセットは不要ですが、ピンをアナログ入力として使用する場合にはピン制御レジスタ・ビットを常に設定とすることが推奨されます。これにより、出力バッファがハイ・インピーダンス状態になり、プルアップがディセーブルされるため、競合の問題が発生しなくなります。また、入力バッファには入力が V_{DD} または V_{SS} でない場合に DC 電流が供給されます。そのため、動作電流を最小限に抑えるには、アナログ入力として使用されるすべてのピンのピン制御レジスタ・ビットをセットしてください。

ノイズのある環境またはソースがハイ・インピーダンスの場合、アナログ入力のコンデンサは性能の向上につながることが、実験データで示されています。優れた高周波数特性を持つ 0.1 μF のコンデンサを使用すれば、十分にその効果が得られます。こうしたコンデンサはすべてのケースに必要となるわけではなく、使用する場合にはパッケージ・ピンにできるかぎり近づけて設置し、V_{SSA} を基準とする必要があります。

変換を適切に実行するため、入力電圧は V_{REFH} ～ V_{REFL} の範囲に収まる必要があります。入力が V_{REFH} 以上であれば、コンバータ回路は信号を $3FF（フルスケールの 10 ビット表現）または $FF（フルスケールの 8 ビット表現）に変換します。入力が V_{REFL} 以下であれば、コンバータ回路は信号を $000 に変換します。$V_{REFH}$ ～ V_{REFL} の入力電圧は、直線的なリニア変換です。サンプリング・コンデンサのチャージ中は、V_{REFL} に対応する短時間電流が発生します。入力サンプリング期間は、ADLSMP が Low なら ADCK ソースの 3.5 サイクル、ADLSMP が High なら 23.5 サイクルです。

電流注入による精度の低下を最小限に抑えるため、アナログ入力に隣接するピンは変換中に変化させないでください。

9.6.2 誤差の原因

A/D 変換誤差には、複数の原因があります。以下の項では、そうした誤差について説明します。

9.6.2.1 サンプリング誤差

変換を正常に実行するには、適切な精度が得られるように十分な時間をかけて入力をサンプリングする必要があります。たとえば、最大入力抵抗を約 7kΩ、入力キャパシタンスを約 5.5 pF とすると、外部アナログ・ソース（RAS）の抵抗が 5 kΩ 以下であれば、最小サンプリング・ウィンドウ（最大 ADCK 周波数 8 MHz 時に 3.5 サイクル）で 1/4LSB 以内（10 ビットの分解能）のサンプリングが可能です。

ソース抵抗がさらに大きい場合やより高い精度でサンプリングする場合には、ADLSMP をセット（サンプリング・ウィンドウを 23.5 サイクルに延長）するか、ADCK 周波数を下げてサンプリング時間を長くします。

9.6.2.2 ピン・リーク誤差

外部アナログ・ソース抵抗（R_{AS}）が高い場合、I/O ピンのリークが変換誤差の原因になることがあります。こうした誤差を許容できないアプリケーションでは、R_{AS} を $V_{DDAD} / (2^N * I_{LEAK})$ 未満に保ってリーク誤差を 1/4LSB 未満にします（N は 8 ビット・モードでは 8、10 ビット・モードでは 10）。

9.6.2.3 ノイズに起因する誤差

サンプリング中または変換プロセスで発生するシステム・ノイズは、変換精度に影響を与えることがあります。ADC の精度数値は、以下の条件が満たされる場合にのみ仕様の通りに保証されます。

- V_{REFH} と V_{REFL} の間に 0.1 μF の低 ESR コンデンサがある
- V_{DDAD} と V_{SSAD} の間に 0.1 μF の低 ESR コンデンサがある
- 1 次電源から誘導式絶縁を利用する場合、V_{DDAD} と V_{SSAD} の間に 0.1 μF のコンデンサをさらに 1 個設置する
- V_{SSAD}（と V_{REFL}）をグランド・プレーンの VSS に接続する
- ADC 変換の開始前（ハードウェア・トリガ変換）または開始直後（ハードウェア・トリガまたはソフトウェア・トリガ変換）に MCU をウェイト・モードまたはストップ 3 モードで動作させる
  - — ソフトウェア・トリガ変換の場合、ADCSC1 にライトした直後に WAIT 命令または STOP 命令を実行する。
  - — ストップ 3 モード動作の場合、ADACK をクロック・ソースとして選択します。ストップ 3 モードでの動作は V_{DD} ノイズを低減しますが、ストップからの復帰が必要になるために実質的な変換時間は長くなります。
- 変換中に MCU で I/O の切り替え（入力または出力）を行わない

外部システムの動作が原因で放射ノイズや伝導ノイズ、あるいは V_{DD} ノイズが ADC に影響することがあります。こうした場合や MCU をウェイト・モードまたはストップ 3 モードに移行できない場合、または I/O 処理を停止できない場合には、ノイズが精度に与える影響を最小限に留めるために以下の処理が推奨されます。

- 選択した入力チャネルと V_{REFL} または V_{SSAD} との間に 0.01 μF のコンデンサ（C_{AS}）を設置します（これにより、ノイズ問題は改善しますが、外部アナログ・ソース抵抗に基づくサンプリング・レートが影響を受けます）。

- アナログ入力を連続して変換し、結果の合計を除算して結果を平均化します。1LSB（1 回限りの誤差）の影響を排除するには、4 回のサンプリングが必要です。
- 非同期クロック（ADACK）の利用と平均化により同期ノイズの影響を低減します。しかし ADCK に同期するノイズは平均化できません。

9.6.2.4 コード幅と量子化誤差

ADC は、理想的な直線的伝達関数を 1024 ステップ（10 ビット・モードの場合）に量子化します。理想的には、各ステップの高さ（1 コード）と幅は同じになります。幅は、コードの遷移点と次の遷移点間のデルタと定義されます。N ビット・コンバータ（ここでは N は 8 または 10）の理想的なコード幅（1LSB）は次のように計算されます。

$$1\text{LSB} = (V_{REFH} - V_{REFL}) / 2^N \qquad \text{方程式 9-2}$$

結果をデジタル化することによって量子化誤差が必然的に発生します。8 ビットまたは 10 ビットの変換の場合、コード遷移のタイミングは電圧が直線的な伝達関数を実際の伝達関数で正確に表したポイント間の中間点に達したときです。したがって、8 ビットまたは 10 ビット・モードの量子化誤差は± 1/2LSB となります。ただし、最初（$000）の変換のコード幅は 1/2LSB しかなく、最後（$FF または $3FF）のコード幅は 1.5LSB となります。

9.6.2.5 直線性誤差

ADC は、いくつかの種類の非直線性を示します。誤差をできる限り小さくするための対策は採られていますが、誤差の影響は精度全般に及ぶため、システム側で誤算の存在を考慮しておく必要があります。以下に誤差の内容を示します。

- ゼロスケール誤差（E_{ZS}） – オフセットとも呼ばれます。この誤差は最初の変換の幅と理想（1/2LSB）のコード幅との差です。ただし、最初の変換が $001 なら、実際の $001 のコード幅とその理想的なコード幅（1LSB）との差を指します。
- フルスケール誤差（E_{FS}） – 最後の変換の幅と理想（1.5LSB）のコード幅との差です。ただし、最後の変換が $3FE なら、実際のコード幅とその理想的なコード幅（1LSB）との差を指しします。
- 微分非直線性（DNL） – すべての変換コード幅の実際と理想との最大差です。
- 積分非直線性（INL） – DNL の移動合計の（絶対値の）最上位値です。つまり、すべてのコードに関してコードの実際の遷移電圧と理想の遷移電圧との最大差です。
- 総合未調整誤差（TUE） – 実際の伝達関数と理想的な直線的伝達関数との差です。したがって、すべての種類の誤差が含まれます。

9.6.2.6 コード・ジッタ、非単調性、およびミッシング・コード

A/D コンバータは、3 種類の誤差、すなわちコード・ジッタ、非単調性、およびミッシング・コードの影響を受けやすくなっています。

コード・ジッタとは、いくつかのポイントでサンプリングを繰り返した場合に入力電圧を 2 つの値のどちらかに変換するときに発生します。理想的には、入力電圧が遷移電圧よりわずかでも小さければ、コンバータが出力するコードはより低くなります（その逆も同様）。しかし、ごくわずかでもシステム・ノイズが発生すると、コンバータが遷移電圧付近の入力電圧範囲に対して（2 つのコードのどちらかを）確定できない状態になることがあります。通常、この範囲は 1/2LSB 付近で、ノイズにより増加します。この誤差を小さくするには、入力を繰り返しサンプリングして結果を平均化します。また、9.6.2.3 で取り上げた手法もこの誤差の低減に有効です。

非単調性とは、コード・ジッタ以外でコンバータがより電圧の高い入力をより低いコードに変換することです。ミッシング・コードとは、どの入力値に対しても変換が行われない値のことです。

8 ビットまたは 10 ビット・モードでは、ADC は単調性を持つこととミッシング・コードがないことが保証されます。

第 10 章
内部クロック・ソース（S08ICSV1）

10.1　はじめに

内部クロック・ソース（ICS）モジュールは、MCU のクロック・ソース・オプションを提供します。モジュールには、内部または外部の基準クロックで制御可能な周波数ロック・ループ（FLL）がクロック・ソースとして内蔵されています。モジュールは、FLL クロック、内部基準クロック、または外部基準クロックを MCU システム・クロック・ソースとして供給できます。また、外部の水晶発振子 / セラミック発振子を外部基準クロックとして使用できるように、低電力オシレータ（XOSC）モジュールを制御するための信号も用意されています。

選択されたクロック・ソースは必ずバス・デバイダ（BDIV）を通過するため、最終的な出力クロックを引き下げて生成できます。

バス周波数は、ICSOUT 周波数の 1/2 となります。

注意

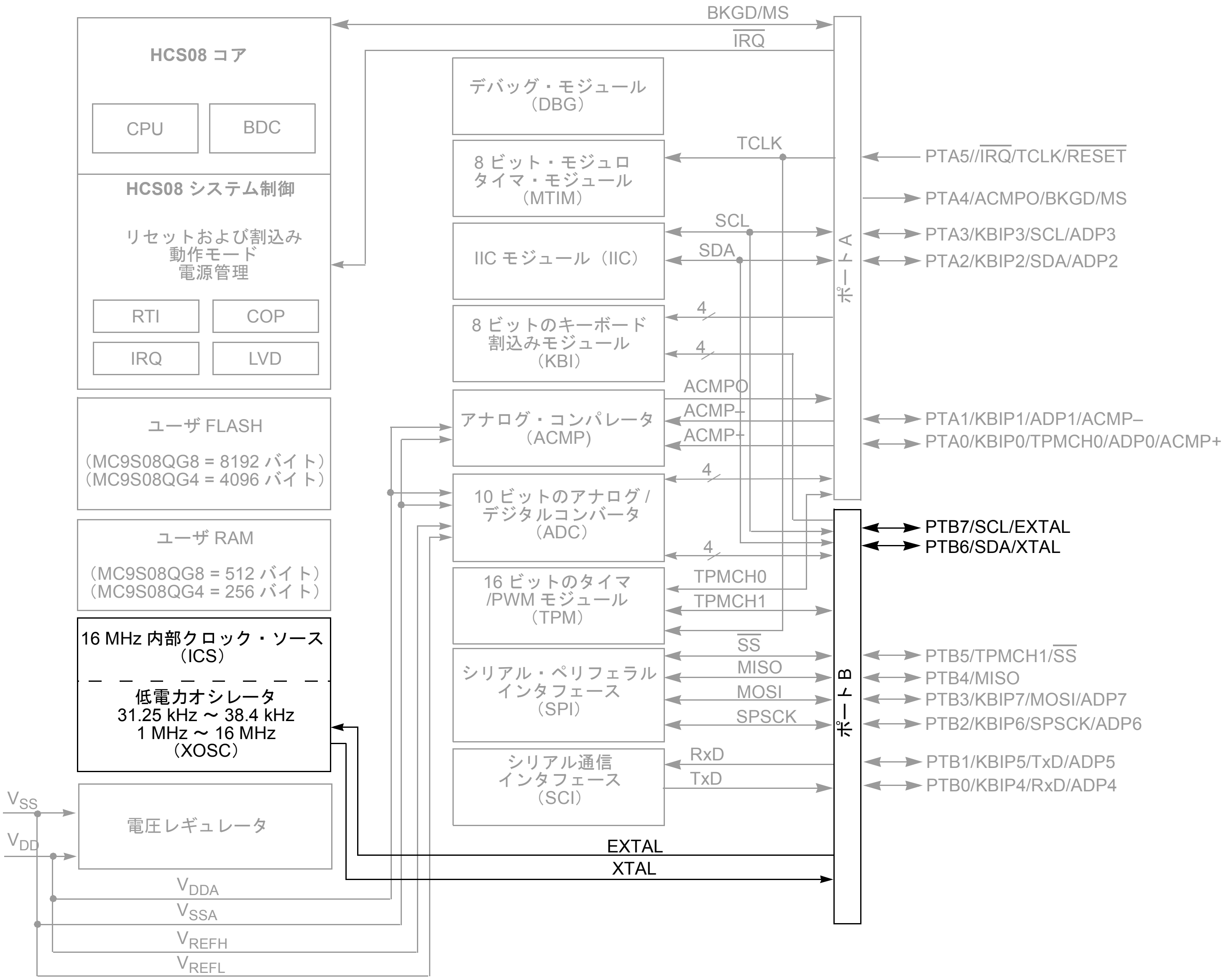
外部基準クロックは、一部のパッケージで使用できません。各パッケージの外部クロック・オプションについては、表 1-1 を参照してください。

10.1.1　モジュールの設定

内部基準をストップ・モードでイネーブルする場合（IREFSTEN = 1）、SPMSC1 レジスタの LVDE および LVDSE ビットをセットして電圧レギュレータもストップ・モードでイネーブルする必要があります。

この MCU では、ストップ・モードで内部基準クロックは動作可能なモジュールに接続されません。したがって、ICSC1 レジスタ IREFSTEN ビットは常にクリアでなければなりません。

図 10-1 に、ICS をわかりやすくした MC9S08QG8/4 のブロック図を示します。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、★表 1-1 表 1-1 を参照してください。

2 入力ポート・ピンは、ソフトウェアによるプルアップ・デバイス設定が可能です。

3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。

4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。

5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。

6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。

7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。

8 SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。

9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 10-1. ICS ブロックとピンを強調表示した MC9S08QG8/4 のブロック図

10.1.2 主な特長

以下に、ICS モジュールの主な特長を示します。

- 精度に合わせてトリミング可能な周波数ロック・ループ（FLL）
  - — 内部 32 kHz 基準を使用した 0.2% の分解能
  - — 内部 32 kHz 基準を使用して電圧および温度範囲全体で 2% の偏差
- 最大 5 MHz の内部または外部の基準クロックで FLL を制御可能
  - — 基準分周器用に 3 個の選択ビット
- 9 個のトリム・ビットを使用可能な内部基準クロック
- MCU のクロック・ソースとして内部基準クロックまたは外部基準クロックを選択可能
- ソースとして選択されるすべてのクロックを分周可能
  - — クロック分周器用に 2 個の選択ビット
    - – 選択可能な分周比－ 1、2、4、8
    - – DCO 出力を常に 2 分周して BDC クロックを供給
- 外部基準クロック使用時の低電力オシレータ制御信号
  - — HGO、RANGE、EREFS、ERCLKEN、EREFSTEN
- リセット後に FLL 有効内部モードを自動的に選択

10.1.3 動作モード

ICS には、FEI、FEE、FBI、FBILP、FBE、FBELP、およびストップの 7 種類の動作モードがあります。

10.1.3.1 FLL 有効内部（FEI）

FLL 有効内部モード（デフォルト・モード）では、ICS は内部基準クロックで制御される FLL から生成されるクロックを供給します。BDC クロックは FLL から供給されます。

10.1.3.2 FLL 有効外部（FEE）

FLL 有効外部モードでは、ICS は外部基準クロックで制御される FLL から生成されるクロックを供給します。BDC クロックは FLL から供給されます。

10.1.3.3 FLL バイパス内部（FBI）

FLL バイパス内部モードでは、FLL がイネーブルされて内部基準クロックで制御されますが、バイパスされます。ICS は、内部基準クロックから生成されるクロックを供給します。BDC クロックは、FLL から供給されます。

10.1.3.4 FLL バイパス内部低電力（FBILP）

FLL バイパス内部低電力モードでは、FLL はディセーブルされてバイパスされ、ICS は内部基準クロックから生成されるクロックを供給します。BDC クロックは供給されません。

10.1.3.5 FLL バイパス外部（FBE）

FLL バイパス外部モードでは、FLL はイネーブルされて外部基準クロックで制御されますが、バイパスされます。ICS は、外部基準クロックから生成されるクロックを供給します。外部基準クロックには、ICS で制御される OSC の外部水晶発振子 / セラミック発振子、または別の外部クロック・ソースを選択できます。BDC クロックは FLL から供給されます。

10.1.3.6 FLL バイパス外部低電力（FBELP）

FLL バイパス外部低電力モードでは、FLL はディセーブルされてバイパスされ、ICS は外部基準クロックから生成されるクロックを供給します。外部基準クロックには、ICS で制御される OSC の外部水晶発振子 / セラミック発振子、または別の外部クロック・ソースを選択できます。BDC クロックは供給されません。

10.1.3.7 ストップ（STOP）

ストップ・モードでは、FLL はディセーブルされ、内部または外部の基準クロックはイネーブルまたはディセーブルの選択が可能です。BDC クロックは供給されず、ICS は MCU クロック・ソースとなりません。

10.1.4 ブロック図

図 10-2 に ICS のブロック図を示します。

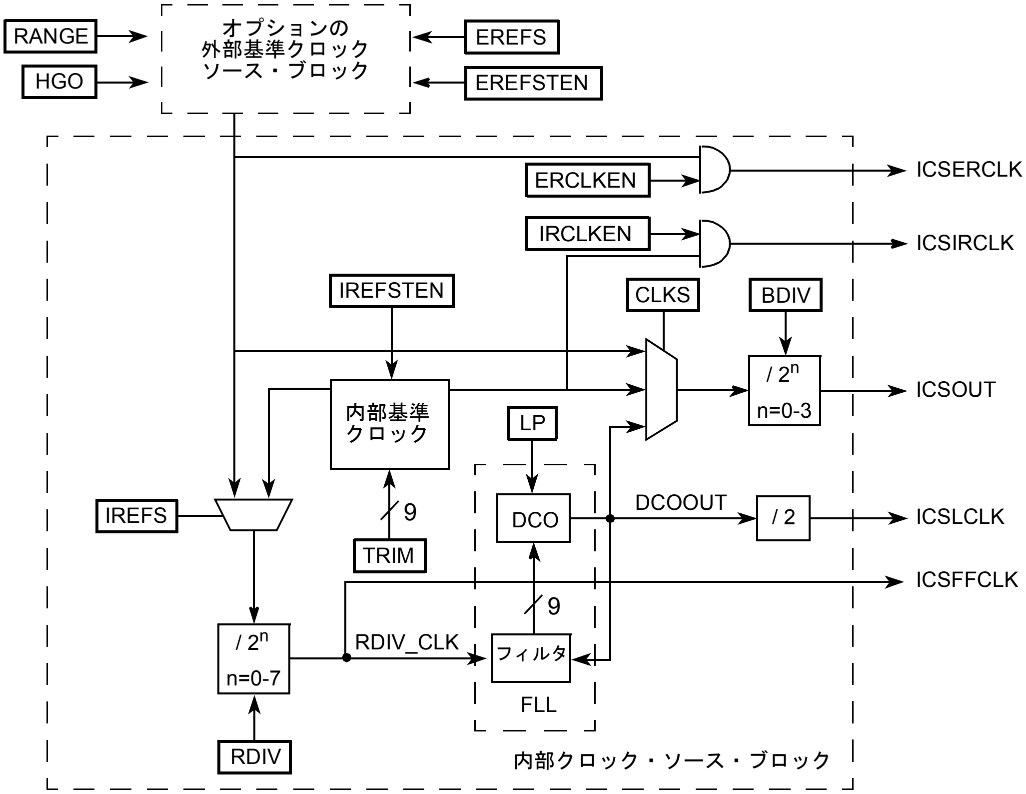


図 10-2. 内部クロック・ソース（ICS）のブロック図

10.2 外部信号の説明

オフチップで接続する ICS 信号はありません。

10.3 レジスタ定義

10.3.1 ICS 制御レジスタ 1（ICSC1）

	7	6	5	4	3	2	1	0
R W	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
リセット :	0	0	0	0	0	1	0	0

図 10-3. ICS 制御レジスタ 1（ICSC1）

表 10-1. ICS 制御レジスタ 1 のフィールド説明

フィールド	説明
7:6 CLKS	**クロック・ソース選択** - バス周波数を制御するクロック・ソースを選択します。実際のバス周波数は、BDIV ビットで決まります。 00 FLL の出力を選択 01 内部基準クロックを選択 10 外部基準クロックを選択 11 予約済み。00 にデフォルト設定
5:3 RDIV	**基準分周比** - IREFS ビットで選択される FLL 基準クロックの分周量を選択します。分周後の周波数は 31.25 kHz ～ 39.0625 kHz の範囲に収まる必要があります。 000 エンコード 0 - 基準クロックを 1 分周（リセット後のデフォルト） 001 エンコード 1 - 基準クロックを 2 分周 010 エンコード 2 - 基準クロックを 4 分周 011 エンコード 3 - 基準クロックを 8 分周 100 エンコード 4 - 基準クロックを 16 分周 101 エンコード 5 - 基準クロックを 32 分周 110 エンコード 6 - 基準クロックを 64 分周 111 エンコード 7 - 基準クロックを 128 分周
2 IREFS	**内部基準クロック選択** - FLL の基準クロック・ソースを選択します。 1 内部基準クロックを選択 0 外部基準クロックを選択
1 IRCLKEN	**内部基準クロックのイネーブル** - ICSIRCLK として使用する内部基準クロックをイネーブルします。 1 ICSIRCLK はアクティブ 0 ICSIRCLK は非アクティブ
0 IREFSTEN	**ストップ・モード時の内部基準クロックのイネーブル** - ICS がストップ・モードに移行するときに内部基準クロックをイネーブルのままにするかどうかを制御します。 1 IRCLKEN がセットされているかまたは、ストップ・モードに入る前に ICS が FEI、FBI、または FBILP モードの場合に内部基準クロックをイネーブルのままにする 0 ストップ・モードでは内部基準クロックをディセーブルする

10.3.2 ICS 制御レジスタ 2（ICSC2）

	7	6	5	4	3	2	1	0
R W	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
リセット :	0	1	0	0	0	0	0	0

図 10-4. ICS 制御レジスタ 2（ICSC2）

表 10-2. ICS 制御レジスタ 2 のフィールド説明

フィールド	説明
7:6 BDIV	**バス周波数分周比** - CLKS ビットで選択されるクロック・ソースの分周量を選択します。バス周波数は BDIV で決まります。 00 エンコード 0 - 選択されるクロックを 1 分周 01 エンコード 1 - 選択されるクロックを 2 分周（リセット後のデフォルト） 10 エンコード 2 - 選択されるクロックを 4 分周 11 エンコード 3 - 選択されるクロックを 8 分周
5 RANGE	**周波数範囲選択** - 外部オシレータの周波数範囲を選択します。 1 外部オシレータに対して高周波数範囲を選択 0 外部オシレータに対して低周波数範囲を選択
4 HGO	**高ゲイン・オシレータ選択** - 外部オシレータの動作モードを制御します。 1 外部オシレータを高ゲイン動作に設定 0 外部オシレータを低ゲイン動作に設定
3 LP	**低電力選択** - FLL バイパス・モードで FLL をディセーブルするかどうかを制御します。 1 BDM がアクティブの場合を除いてバイパス・モードでは FLL をディセーブル 0 バイパス・モードで FLL をディセーブルしない
2 EREFS	**外部基準選択** - 外部基準クロックのソースを選択します。 1 オシレータを要求 0 外部クロック・ソースを要求
1 ERCLKEN	**外部基準イネーブル** - ICSERCLK として使用する外部基準クロックをイネーブルします。 1 ICSERCLK はアクティブ 0 ICSERCLK は非アクティブ
0 EREFSTEN	**外部基準ストップのイネーブル** - ICS がストップ・モードに移行するときに外部基準クロックをイネーブルのままにするかどうかを制御します。 1 ERCLKEN がセットされているかまたは ICS が FEE、FBE、または FBELP モードの場合にストップ・モード移行前に外部基準クロックをイネーブルのままにする 0 ストップ・モードでは外部基準クロックをディセーブルする

10.3.3 ICS トリム・レジスタ（ICSTRM）

	7	6	5	4	3	2	1	0
R W	TRIM							
POR:	1	0	0	0	0	0	0	0
リセット :	U	U	U	U	U	U	U	U

図 10-5. ICS トリム・レジスタ（ICSTRM）

表 10-3. ICS トリム・レジスタのフィールド説明

フィールド	説明
7:0 TRIM	**ICS トリム設定** - TRIM ビットは、内部基準クロック周期を制御することで内部基準クロック周波数を制御します。各ビットには重みを持たせています（つまり、ビット 1 にはビット 0 の 2 倍の調整量があります）。TRIM の 2 進値が大きくなると周期が増加し、小さくなると周期が減少します。 この他にも、ICSSC に微調整用のトリム・ビットの FTRIM があります。

10.3.4 ICS ステータス / 制御（ICSSC）

	7	6	5	4	3	2	1	0
R	0	0	0	0	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	0	0	0	0	0
リセット :	0	0	0	0	0	0	0	U

図 10-6. ICS ステータス / 制御レジスタ（ICSSC）

表 10-4. ICS ステータス / 制御レジスタのフィールド説明

フィールド	説明
7:4	予約済み。クリアされている必要があります。
3:2 CLKST	**クロック・モード・ステータス** - CLKST ビットは、現在のクロック・モードを示します。クロック・ドメイン間の内部同期のため、CLKST ビットは CLKS ビットのライト直後には更新されません。 00 FLL の出力を選択 01 FLL バイパス、内部基準クロックを選択 10 FLL バイパス、外部基準クロックを選択 11 予約済み
1 OSCINT	**OSC 初期化** - ERCLKEN か、ICS が FEE、FBE、または FBELP モードで、外部基準クロックが選択されている場合に EREFS がセットされると、外部オシレータ・クロックの初期化サイクルの完了後にこのビットがセットされます。このビットは、ERCLKEN または EREFS がクリアされる場合にのみクリアされます。
0 FTRIM	**ICS ファイン・トリム** - FTRIM ビットは、内部基準クロック周波数を最小調整単位で制御します。FTRIM をセットすると最小量だけ周期が増加し、FTRIM をクリアすると最小量だけ周期が減少します。

10.4　機能の説明

10.4.1　動作モード

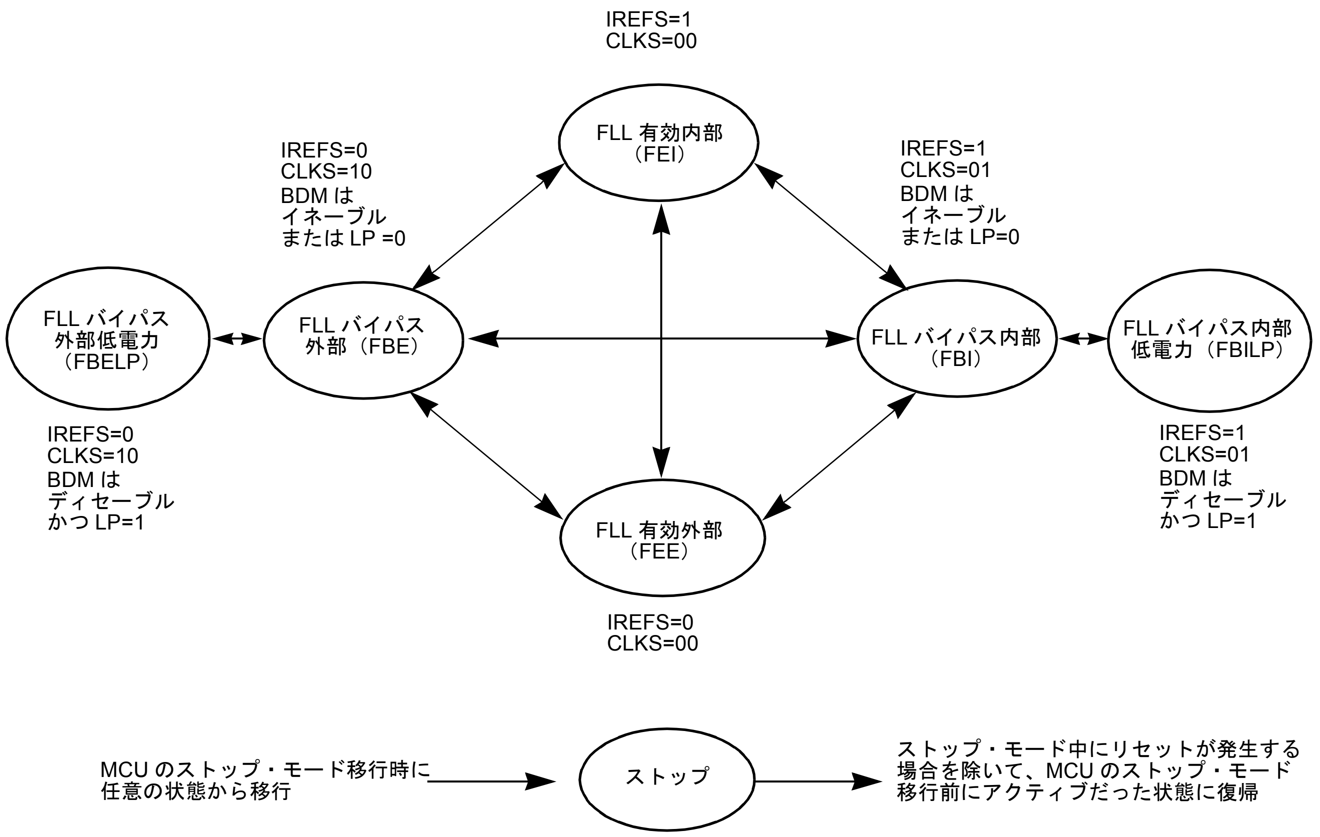


図 10-7. クロック・モードの切り替え

ICS の 7 つの状態を状態遷移図として表し、以下でそれぞれ説明をします。矢印は、2 つの状態間で切り替えが可能であることを意味します。

10.4.1.1　FLL 有効内部（FEI）

FLL 有効内部（FEI）は、デフォルトの動作モードで、以下のすべての条件が満たされるときに移行するモードです。

- CLKS ビットが 00 にセットされる
- IREFS ビットが 1 にセットされる
- 31.25 kHz k から 39.0625 kHz の範囲で基準クロックを分周するために RDIV ビットが書かれる

FLL 有効内部モードでは、ICSOUT クロックは内部基準クロックで制御される FLL クロックから生成されます。FLL ループは、RDIV ビットの選択に従って周波数をフィルタ周波数の 512 倍にロックします。ICSLCLK は BDC 通信に使用可能で、内部基準クロックはイネーブルされます。

10.4.1.2　FLL 有効外部（FEE）

以下のすべての条件が満たされると、FLL 有効外部（FEE）モードに移行します。

- CLKS ビットが 00 にセットされる
- IREFS ビットが 0 にセットされる

- 31.25 kHz k から 39.0625 kHz の範囲で基準クロックを分周するために RDIV ビットがライトされる

FLL 有効外部モードでは、ICSOUT クロックは外部基準クロックで制御される FLL から生成されます。FLL ループは、周波数を RDIV ビットの選択に従ったフィルタ周波数の 512 倍にロックします。ICSLCLK は BDC 通信に使用可能で、外部基準クロックはイネーブルされます。

10.4.1.3 FLL バイパス内部（FBI）

以下のすべての条件が満たされると、FLL バイパス内部（FBI）モードに移行します。

- CLKS ビットが 01 にセットされる
- IREFS ビットが 1 にセットされる
- BDM モードがアクティブであるかまたは LP ビットが 0 にセットされる

FLL バイパス内部モードでは、ICSOUT クロックは内部基準クロックから生成されます。FLL クロックは内部基準クロックで制御され、FLL ループは FLL 周波数を RDIV ビットの選択に従ったフィルタ周波数の 512 倍にロックします。ICSLCLK は BDC 通信に使用可能で、内部基準クロックはイネーブルされます。

10.4.1.4 FLL バイパス内部低電力（FBILP）

以下のすべての条件が満たされると、FLL バイパス内部低電力（FBILP）モードに移行します。

- CLKS ビットが 01 にセットされる
- IREFS ビットが 1 にセットされる
- BDM モードが非アクティブで LP ビットが 1 にセットされる

FLL バイパス内部低電力モードでは、ICSOUT クロックは内部基準クロックから生成され、FLL はディセーブルされます。ICSLCLK は BDC 通信に使用できず、内部基準クロックはイネーブルされます。

10.4.1.5 FLL バイパス外部（FBE）

以下のすべての条件が満たされると、FLL バイパス外部（FBE）モードに移行します。

- CLKS ビットが 10 にセットされる
- IREFS ビットが 0 にセットされる
- BDM モードがアクティブであるかまたは LP ビットが 0 にセットされる

FLL バイパス外部モードでは、ICSOUT クロックは外部基準クロックから生成されます。FLL クロックは外部基準クロックで制御され、FLL ループは FLL 周波数を RDIV ビットの選択に従ったフィルタ周波数の 512 倍にロックします。したがって、ICSLCLK は BDC 通信に使用可能で、外部基準クロックはイネーブルされます。

10.4.1.6 FLL バイパス外部低電力（FBELP）

以下のすべての条件が満たされると、FLL バイパス外部低電力（FBELP）モードに移行します。

- CLKS ビットが 10 にセットされる
- IREFS ビットが 0 にセットされる
- BDM モードが非アクティブで LP ビットが 1 にセットされる

FLL バイパス外部低電力モードでは、ICSOUT クロックは外部基準クロックから生成され、FLL はディセーブルされます。ICSLCLK は BDC 通信に使用できず、外部基準クロックはイネーブルされます。

10.4.1.7　ストップ

MCU が STOP 状態に移行すると、ストップ・モードに移行します。以下のケースを除いて、このモードではすべての ICS クロック信号が静止状態となります。

以下の 2 つの条件が満たされる場合に ICSIRCLK はアクティブとなります。

- IRCLKEN ビットが 1 にセットされる
- IREFSTEN ビットが 1 にセットされる

以下の 2 つの条件が満たされる場合に ICSERCLK はアクティブとなります。

- ERCLKEN ビットが 1 にセットされる
- EREFSTEN ビットが 1 にセットされる

10.4.2　モードの切り替え

FLL 有効内部（FEI）と FLL 有効外部（FEE）の間でモードを切り替える場合、IREFS ビットはいつでも変更できますが、生成される周波数を 31.25 kHz ～ 39.0625 kHz の範囲内とするために RDIV ビットは同時に変更する必要があります。IREFS 値の変更後、FLL は分周後の基準周波数の数サイクル後に再びロックします。

CLKS ビットもいつでも変更できますが、生成される周波数を 31.25 kHz ～ 39.0625 kHz の範囲内とするため RDIV ビットは同時に変更する必要があります。新しく選択されたクロックに実際に切り替わるのは、新しいクロックで数サイクル経過してからです。新しく選択されたクロックを使用できない場合、以前のクロックのままとなります。

10.4.3　バス周波数分周比

BDIV ビットはいつでも変更可能で、新しい周波数への切り替えは即座に行われます。

10.4.4　低電力ビットの使い方

低電力ビット（LP）は、FLL をディセーブルにすることでその分の電力消費を節約することを目的にしています。ただし、アプリケーションによっては、最高精度を実現するために FLL をイネーブルしてロックできるようにしておいてから FLL 有効モードに切り替える方が望ましい場合もあります。この場合には、LP ビットに 0 をライトします。

10.4.5　内部基準クロック

IRCLKEN がセットされている場合、内部基準クロック信号が ICSIRCLK として供給され、ICSIRCLK は補助クロック・ソースとして使用できます。ICSIRCLK 周波数は、内部基準クロック周期をトリミングすることで調整可能です。調整するには、ICSTRM レジスタの TRIM ビットに新しい値をライトします。ICSTRM にライトする値が大きいほど ICSIRCLK 周波数は低速になり、小さい値ほど ICSIRCLK 周波数は高速になります。ICS が FLL 有効内部（FEI）、FLL バイパス内部（FBI）、または FLL バイパス内部低電力（FBILP）の各モードに入っている場合、TRIM ビットは ICSOUT 周波数にも影響を与えます。TRIM および FTRIM の値は、リセットしても変化しません。

ICSIRCLK をトリミングする前に、低い基準分周（RDIV）係数をプログラムすると、ICSOUT 周波数がチップ・レベルの最大周波数を越えて、チップ・レベルのクロック・タイミング仕様（「第 1 章　デバイスの概要」を参照）に違反する場合があります。

IREFSTEN がセットで IRCLKEN ビットが 1 にセットされている場合、内部基準クロックはストップ・モード中も動作を継続するため、ストップ・モード終了時に短時間で復帰が可能です。

すべての MCU デバイスは、予約済みのメモリ位置に出荷時のトリム値がプログラムされています。この値は、リセット初期化中に ICSTRM レジスタにコピーして使います。出荷時のトリム値には FTRIM ビットは含まれていません。さらに精度を上げる場合、アプリケーションで内部オシレータをトリミングし、それに合わせて FTRIM ビットをセットします。

10.4.6 オプションの外部基準クロック

ICS モジュールは、周波数が 31.25 kHz ～ 5 MHz の外部基準クロックをサポートします。ERCLKEN がセットされていると、外部基準クロックが ICSERCLK として供給され、ICSERCLK は補助クロック・ソースとして使用できます。IREFS = 1 の場合、外部基準クロックは FLL には使用されず、ICSERCLK としてのみ使用されます。これらのモードでは、周波数はチップ・レベルのタイミング仕様（「第 1 章　デバイスの概要」を参照）を満たす最大周波数と等しくすることができます。

EREFSTEN がセットで ERCLKEN ビットが 1 にセットされている場合、外部基準クロックはストップ・モード中も動作を継続するため、ストップ・モード終了時に短時間で復帰が可能です。

10.4.7 固定周波数クロック

ICS は、分周された FLL 基準クロックをペリフェラル・モジュールの補助クロック・ソースの ICSFFCLK として供給します。ICS は、分周された FLL 周波数クロック（ICSFFCLK）の 4 倍以上の ICSOUT 周波数を供給中であることを示す信号（ICSFFE）を出力します。FLL 有効モード（FEI および FEE）では、常にこの状態に該当するので、ICSFFE は常に High となります。ICS バイパス・モードでは、BDIV と RDIV の値を以下のように組み合わせた場合に ICSFFE がアサートされます。

- BDIV=00（1 分周）、RDIV ≧ 010
- BDIV=01（2 分周）、RDIV ≧ 011
- BDIV=10（4 分周）、RDIV ≧ 100
- BDIV=11（8 分周）、RDIV ≧ 101

10.5 モジュールの初期化

この項では、ICS モジュールの初期化および設定の方法を説明します。以下の項には、2 つの初期化例を示します。

10.5.1 ICS モジュールの初期化シーケンス

ICS は、POR 後に BDIV を分周比 2 にセットした FEI モードに設定されます。内部基準が t_{IRST} マイクロ秒で安定してから FLL はロック可能になります。内部基準が安定した状態になると、FLL は $t_{Acquire}$ ミリ秒でロックします。

POR 時には、正確なクロックを保証するために内部基準のトリミングが必要です。ファイン・トリム・ビット（ICSSC レジスタの FTRIM）の格納には FLASH ロケーションの 0xFFAE、ICSTRM レジスタの 8 ビット・トリム値の格納には 0xFFAF を使用することが推奨されます。MCU は、これらの FLASH ロケーションの値をそれぞれのレジスタに自動的にはコピーしません。したがって、これらの値を FLASH からレジスタにユーザ・コードでコピーする必要があります。

注意

内部基準をトリミングするまでは BDIV 値を 1 分周に変更しないでください。1 分周に変更すると、MCU が仕様範囲外の周波数で動作する場合があります。

10.5.1.1 初期化シーケンス（内部クロック・モードから外部クロック・モードへの切り替え）

FEI または FBI から FEE または FBE にクロック・モードを変更するには、以下の手順を実行します。

1. ICSC2 の適切なビットをセットして外部クロック・ソースをイネーブルします。
   — FBE にモードを変更する場合、消費電力を引き下げるにはここで LP ビットもセットします。
2. 必要であれば、外部クロック・ソースが安定化するまで待ちます。通常の水晶発振子の起動時間は、「Appendix A　Electrical Characteristics」に記載されています。ステップ 1 で EREFS をセットしていれば、OSCINIT ビットはオシレータの初期化サイクル完了後に速やかにセットされます。
3. ICSC1 をライトしてクロック・モードを選択します。

— FEE に切り替える場合、基準分周比のセットと IREFS ビットのクリアを実行して、外部基準に切り替えます。

— 必要であれば、IRCLKEN ビットをセットすることで内部基準の動作を継続できます。動作を継続しておくと、内部クロック・モードと外部クロック・モードとの間で何度も切り替えを行うアプリケーションで便利です。消費電力を最小限に抑える場合には、外部クロック・モード中には内部基準をディセーブルのままにしておきます。

4. モード切り替えが完了したことを調べるには、CLKST ビットを監視します。FEE を選択した場合、バス・クロックは $t_{Acquire}$ ミリ秒後に安定します。FEI から FEE に切り替える場合には、CLKST ビットは変化しません。

10.5.1.2 初期化シーケンス（外部クロック・モードから内部クロック・モードへの切り替え）

FEE または FBE から FEI または FBI にクロック・モードを変更するには、以下の手順を実行します。

1. 保存しておいた場合には、TRIM および FTRIM 値を FLASH から ICSTRM および ICSSC レジスタにコピーします。コピーは POR 後の 1 度しか必要ありません。
2. ICSC1 にて FBI（CLKS = 0:1）または FEI（CLKS = 0:0、RDIV = 0:0:0、および IREFS = 1）を選択して、内部基準クロックをイネーブルします。
3. 内部基準クロックが安定するまで待ちます。通常の起動時間は、「Appendix A　Electrical Characteristics」に記載されています。
4. ICSC2 をライトして、外部クロックをディセーブルします。

— 必要であれば、ERCLKEN ビットをセットすることで外部基準の動作を継続できます。動作を継続しておくと、内部クロック・モードと外部クロック・モードとの間で何度も切り替えを行うアプリケーションで便利です。消費電力を最小限に抑える場合には、内部クロック・モード中には外部基準をディセーブルのままにしておきます。

— FBI にモードを切り替える場合、消費電力を引き下げるにはここで LP ビットもセットします。

注意

内部基準をイネーブルして起動してから外部クロックをディセーブルする必要があります。したがって、先にステップ 2 と 3 を実行してからステップ 4 に進んでください。

5. モード切り替えが完了したことを調べるには、ICSSC レジスタの CLKST ビットを監視します。FEE から FEI に切り替える場合には、CLKST ビットは変化しません。FEI を選択した場合、バス・クロックは $t_{Acquire}$ ミリ秒で安定します。

第 11 章
インター・インテグレーテッド回路（S08IICV1）

11.1 はじめに

インター・インテグレーテッド回路（IIC）は、複数のデバイス間の通信手段を提供します。インタフェースの伝送速度は最大バス負荷で、最大 100 kbps です。バス負荷を少なくすれば、ボーレートはさらに大きくなり最大でクロック /20 です。最長の通信距離と接続可能なデバイス数は、最大のバス容量である 400 pF によって制限されます。

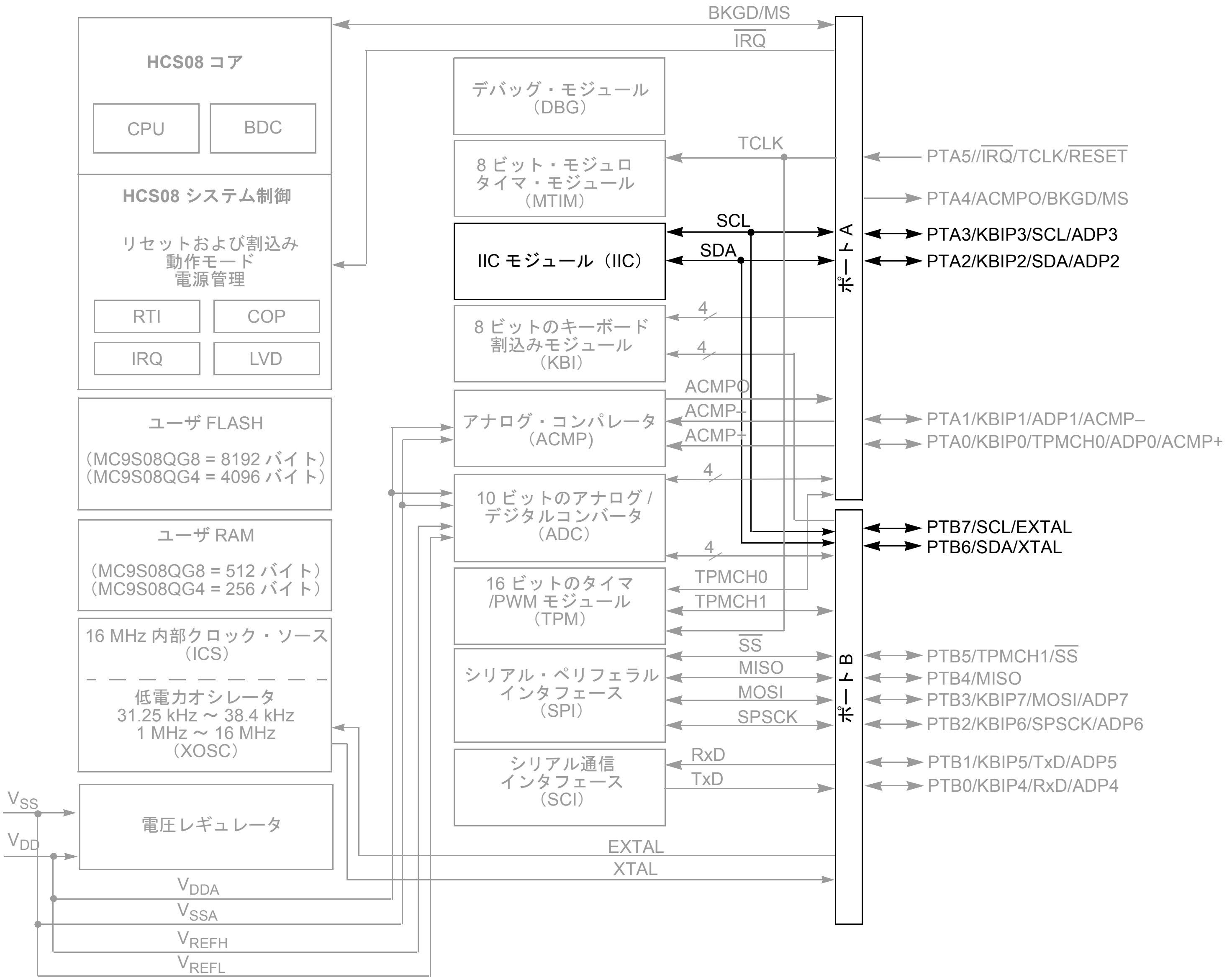
11.1.1 モジュールの設定

IIC モジュール・ピン（SDA および SCL）は、表 11-1 に示すように、SOPT2 の IICPS を使用してピンの位置の変更が可能です。SOPT2 の IICPS は、IIC 操作に関連付ける汎用 I/O ポートを選択します。

表 11-1. IIC の位置オプション

SOPT2 の IICPS	SDA のポート・ピン	SCL のポート・ピン
0（デフォルト）	PTA2	PTA3
1	PTB6	PTB7

図 11-1 に、IIC ブロックをわかりやすくした MC9S08QG8/4 のブロック図を示します。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、★表 1-1 表 1-1 を参照してください。
2 入力ポート・ピンは、ソフトウェアによるプルアップ・デバイス設定が可能です。
3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。
4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。
5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。
6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。
7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。
8 SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 11-1. IIC ブロックとピンを強調表示した MC9S08QG8/4 のブロック図

モジュールの初期化（スレーブ）

1. IICA にライト
   — スレーブ・アドレスを設定
2. IICC にライト
   — IIC と割込みをイネーブル
3. データ転送のために RAM 変数を初期化（IICEN = 1 および IICIE = 1）
4. 図 11-3 のルーチン実行のために RAM 変数を初期化

モジュールの初期化（マスタ）

1. IICF にライト
   — IIC ボーレートを設定（本章に例を記載）
2. IICC にライト
   — IIC と割込みをイネーブル
3. データ転送のために RAM 変数を初期化（IICEN = 1 および IICIE = 1）
4. 図 11-3 のルーチン実行のために RAM 変数を初期化
5. IICC にライト
   — TX をイネーブル
6. IICC にライト
   — MST をイネーブル（マスタ・モード）
7. IICD にライト
   — ターゲット・スレーブのアドレスをライト（通信がマスタの受信と送信のどちらかになるかはこのバイトの LSB で決まる）

モジュールの使用

図 11-3 のルーチンは、マスタとスレーブの両方の IIC 操作を処理します。スレーブ操作の場合、適切なアドレスを格納する IIC メッセージを受信すると IIC 通信が始まります。マスタ操作の場合、通信は IICD レジスタにライトすることで開始する必要があります。

レジスタ・モデル

IICA	ADDR							0

スレーブとしてアドレス指定される場合にモジュールが応答するアドレス（スレーブ・モードの場合）

IICF	MULT		ICR					

ボーレート = BUSCLK / (2 x MULT x (SCL DIVIDER))

IICC	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0

モジュールの設定

IICS	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK

モジュール・ステータス・フラグ

IICD	DATA							

データ・レジスタ：IIC データを転送するにはライト、IIC データをリードするにはリード

図 11-2. IIC モジュール・クイック・スタート

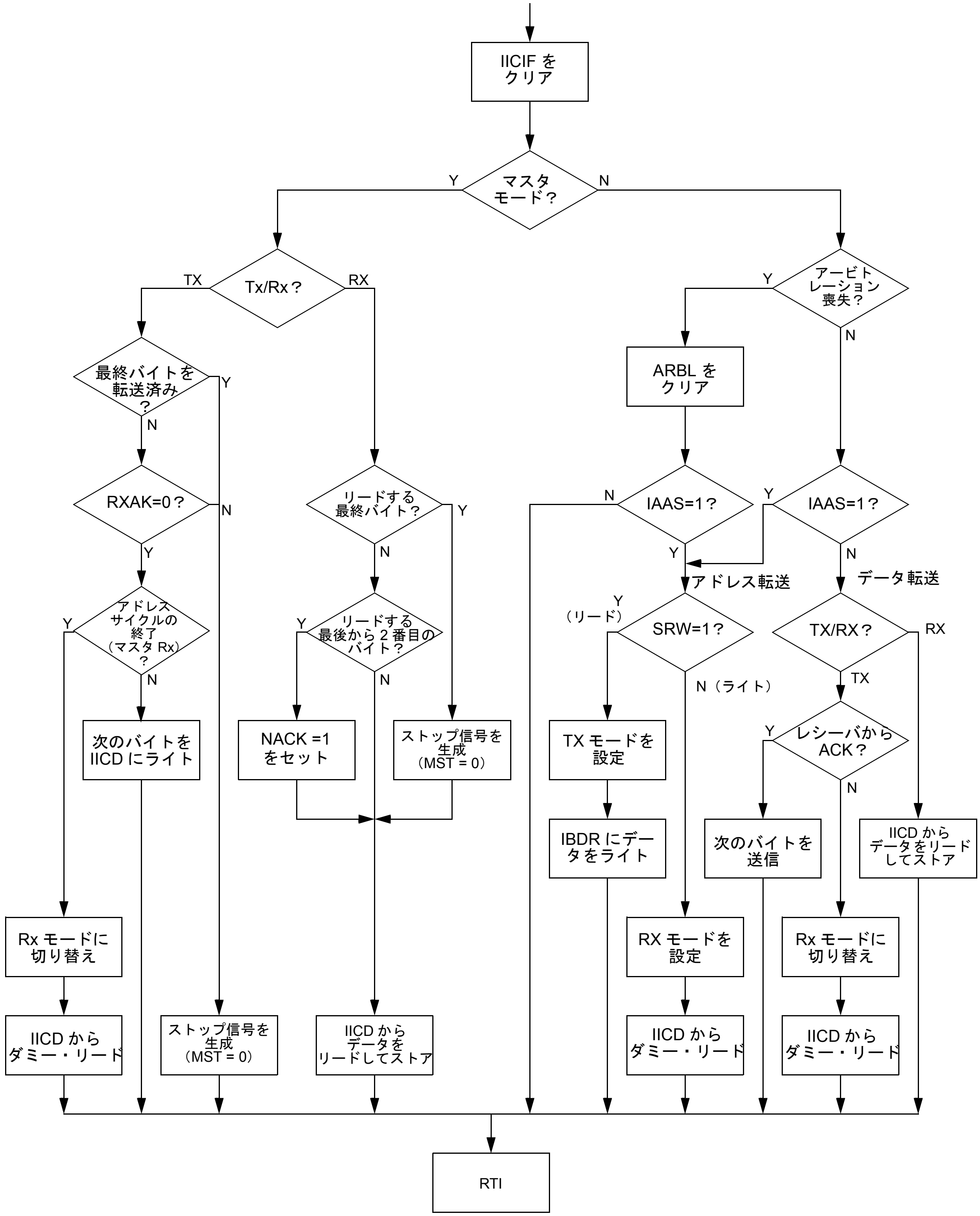


図 11-3. 通常の IIC 割込みルーチン

11.1.2 主な特長

以下に、IIC の主な特長を示します。

- IC バス標準準拠
- マルチマスタ動作
- 64 通りのシリアル・クロック周波数のいずれかをソフトウェアでプログラム可能
- ソフトウェアで選択可能なアクノリッジ・ビット
- 割込みによるバイト単位のデータ転送
- アービトレーション喪失割込みで自動的にマスタ・モードからスレーブ・モードに切替え
- 呼び出しアドレス識別割込み
- スタートおよびストップ信号の生成 / 検出
- スタート信号の反復送信
- アクノリッジ・ビットの生成 / 検出
- バス・ビジー検出

11.1.3 動作モード

IIC は、通常モードでもモニタ・モードでも同じように機能します。以下に、MCU の各種モードでの IIC を簡単にまとめておきます。

- 実行モード - 基本動作モードです。このモードで消費電力を抑えるには、モジュールをディセーブルします。
- ウェイト・モード - モジュールは、MCU がウェイト・モードに入っている間も動作を継続するため、ウェイクアップ割込みを生成できます。
- ストップ・モード - IIC は、消費電力低減のためにストップ 3 モードでは動作しません。STOP 命令を実行しても、IIC レジスタの状態に影響はありません。ストップ 1 およびストップ 2 では、レジスタの内容がリセットされます。

11.1.4 ブロック図

図 11-4 に、IIC のブロック図を示します。

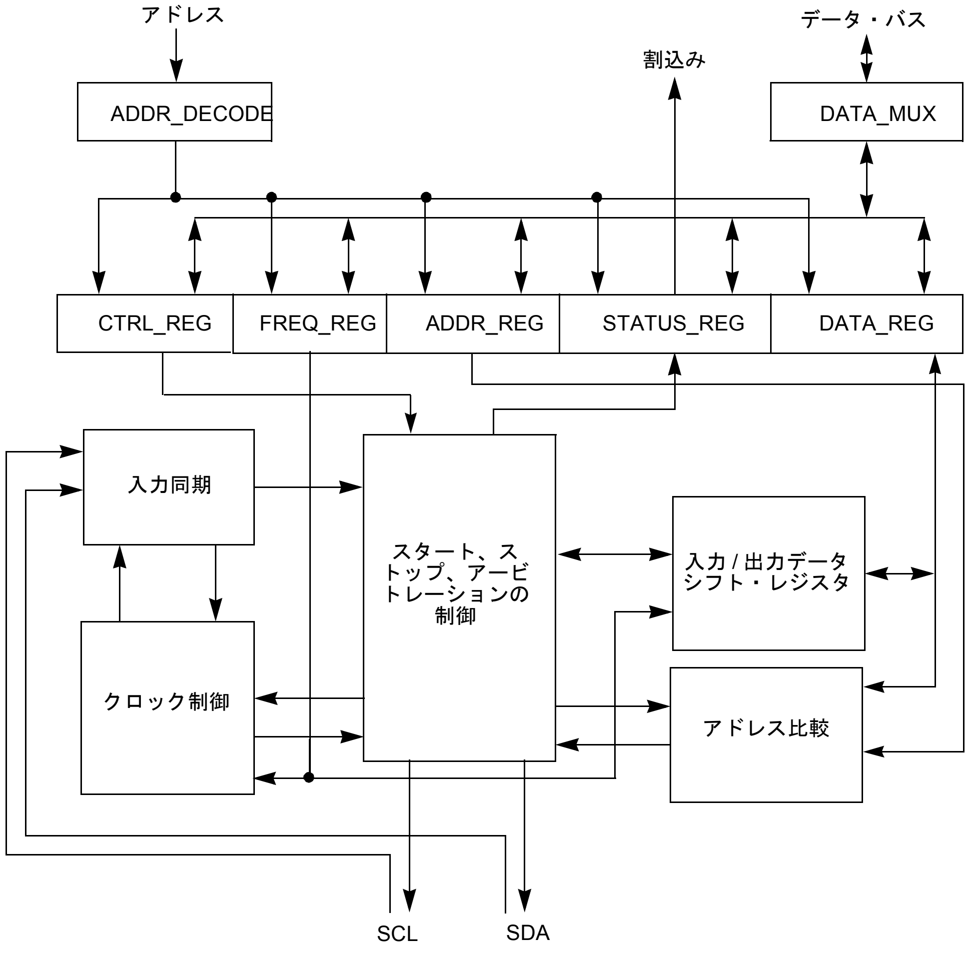


図 11-4. IIC の機能ブロック図

11.2 外部信号の説明

この項では、ユーザ・アクセス可能な各ピン信号について説明します。

11.2.1 SCL（シリアル・クロック・ライン）

双方向 SCL は、IIC システムのシリアル・クロック・ラインです。

11.2.2 SDA（シリアル・データ・ライン）

双方向 SDA は、IIC システムのシリアル・データ・ラインです。

11.3 レジスタ定義

この項では、アドレス順に各 IIC レジスタについて説明します。

IIC レジスタの絶対アドレスの割り当てについては、このデータ・シートの第 4 章にあるダイレクト・ページ・レジスタの一覧を参照してください。この項では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケールが提供する EQU ファイルまたはヘッダ・ファイルを使用して絶対アドレスに変換されます。

11.3.1 IIC アドレス・レジスタ（IICA）

	7	6	5	4	3	2	1	0
R	ADDR							0
W								
リセット :	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 11-5. IIC アドレス・レジスタ（IICA）

表 11-2. IICA レジスタのフィールド説明

フィールド	説明
7:1 ADDR[7:1]	**IIC アドレス・レジスタ** - ADDR は、IIC モジュールで使用されるスレーブ・アドレスを格納します。スレーブとしてアドレス指定された場合、モジュールはこのアドレスに応答します。

11.3.2 IIC 周波数分周レジスタ（IICF）

	7	6	5	4	3	2	1	0
R	MULT		ICR					
W								
リセット :	0	0	0	0	0	0	0	0

図 11-6. IIC 周波数分周レジスタ（IICF）

表 11-3. IICA レジスタのフィールド説明

フィールド	説明
7:6 MULT	**IIC 逓倍係数** ― MULT ビットは、逓倍係数の mul を定義します。この係数は、SCL 分周比との併用により、IIC のボーレートを生成します。逓倍係数の mul は、MULT ビットで以下のように定義されます。 00 mul = 01 01 mul = 02 10 mul = 04 11 予約済み
5:0 ICR	**IIC クロック・レート** ― ICR ビットは、ビット・レート選択のためにバス・クロックのプリスケールに使用されます。これらのビットは、SCL 分周比と SDA ホールド値を定義します。SCL 分周比は、MULT レジスタで提供される値（逓倍係数の mul）と乗算されて、IIC ボーレートを生成します。 IIC ボーレート = バス速度（Hz）/(mul * SCL 分周比) SDA ホールド時間とは、SCL（IIC クロック）の立ち下がりエッジから SDA（IIC データ）が変化するまでの遅延のことです。SDA ホールド値を求めるには、ICR を使用します。 SDA ホールド時間 = バス周期（秒）* SDA ホールド値 表 11-4 に、ICR の値と対応する SCL 分周比および SDA ホールド値を示します。IIC ボーレートと SDA ホールド時間の設定には、これらの値を使用します。以下に例を示します。 バス速度 = 8 MHz MULT を 01（mul = 2）に設定 必要な IIC ボーレート = 100 kbps IIC ボーレート = バス速度（Hz）/(mul * SCL 分周比) 100000 = 8000000/(2*SCL 分周比) SCL 分周比 = 40 表 11-4 から、SCL 分周比を 40 にするには ICR を 0B に設定する必要があり、その場合の SDA ホールド値は 9 になることがわかります。 SDA ホールド時間 = バス周期（秒）* SDA ホールド値 SDA ホールド時間 = 1/8000000 * 9 = 1.125 μs 生成される SDA ホールド値が要求を満たさない場合、MULT ビットを使用して ICR を変更します。これにより、SDA ホールド値が変わります。

表 11-4. IIC の分周比とホールド値

ICR（16 進値）	SCL 分周比	SDA ホールド値	ICR（16 進値）	SCL 分周比	SDA ホールド値
00	20	7	20	160	17
01	22	7	21	192	17
02	24	8	22	224	33
03	26	8	23	256	33
04	28	9	24	288	49
05	30	9	25	320	49
06	34	10	26	384	65
07	40	10	27	480	65
08	28	7	28	320	33
09	32	7	29	384	33
0A	36	9	2A	448	65
0B	40	9	2B	512	65
0C	44	11	2C	576	97
0D	48	11	2D	640	97
0E	56	13	2E	768	129
0F	68	13	2F	960	129
10	48	9	30	640	65
11	56	9	31	768	65
12	64	13	32	896	129
13	72	13	33	1024	129
14	80	17	34	1152	193
15	88	17	35	1280	193
16	104	21	36	1536	257
17	128	21	37	1920	257
18	80	9	38	1280	129
19	96	9	39	1536	129
1A	112	17	3A	1792	257
1B	128	17	3B	2048	257
1C	144	25	3C	2304	385
1D	160	25	3D	2560	385
1E	192	33	3E	3072	513
1F	240	33	3F	3840	513

11.3.3 IIC 制御レジスタ（IICC）

	7	6	5	4	3	2	1	0
R	IICEN	IICIE	MST	TX	TXAK	0	0	0
W						RSTA		
リセット :	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 11-7. IIC 制御レジスタ（IICC）

表 11-5. IICC レジスタのフィールド説明

フィールド	説明
7 IICEN	**IIC イネーブル** — IICEN ビットは、IIC モジュールをイネーブルするかどうかを決定します。 0 IIC はディセーブル 1 IIC はイネーブル
6 IICIE	**IIC 割込みイネーブル** — IICIE ビットは、IIC 割込みを要求するかどうかを決定します。 0 IIC 割込み要求はディセーブル 1 IIC 割込み要求はイネーブル
5 MST	**マスタ・モード選択** — MST ビットは、スタート信号がバスに送信されてマスタ・モードが選択されると 0 から 1 に変わります。このビットが 1 から 0 に変わると、ストップ信号が生成され、動作モードがマスタからスレーブに切り替わります。 0 スレーブ・モード 1 マスタ・モード
4 TX	**送信モード選択** — TX ビットは、マスタおよびスレーブの転送方向を選択します。マスタ・モードの場合、このビットは必要な転送タイプに応じてセットする必要があります。したがって、アドレス・サイクルの間はこのビットが常に High になります。スレーブとしてアドレス指定される場合、このビットはステータス・レジスタの SRW ビットに応じてソフトウェアによってセットされます。 0 受信 1 送信
3 TXAK	**送信アクノリッジ・イネーブル** — マスタおよびスレーブのレシーバのデータ・アクノリッジ・サイクルで SDA にドライブする値を指定します。 0 1 データ・バイトの受信後にアクノリッジ信号をバスに送出 1 アクノリッジ信号を送信しない
2 RSTA	**反復スタート** — 現在のマスタである場合にこのビットに 1 をライトすると、スタート条件が繰り返されます。このビットは、リードすると常に Low です。適切なタイミングで繰り返さないと、アービトレーションが失われます。

11.3.4 IIC ステータス・レジスタ（IICS）

	7	6	5	4	3	2	1	0
R	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
W								
リセット :	1	0	0	0	0	0	0	0

= 未実装または予約済み

図 11-8. IIC ステータス・レジスタ（IICS）

表 11-6. IICS レジスタのフィールド説明

フィールド	説明
7 TCF	**転送完了フラグ** ─ このビットは、1 バイトの転送が終了するとセットされます。このビットが有効なのは、IIC モジュールとの間で転送の実行中または転送直後だけです。TCF ビットは、受信モードで IICD レジスタをリードするか送信モードで IICD にライトするとクリアされます。 0 転送中 1 転送終了
6 IAAS	**スレーブとしてアドレス指定** ─ IAAS ビットは、IIC の固有アドレスが呼び出しアドレスと一致するとセットされます。このビットは、IICC レジスタにライトするとクリアされます。 0 スレーブ・アドレス不一致 1 スレーブ・アドレス一致
5 BUSY	**バス・ビジー** ─ BUSY ビットは、スレーブ・モードとマスタ・モードのどちらであるかに関係なく、バスのステータスを示します。BUSY ビットは、スタート信号の検出時にセットされ、ストップ信号の検出時にクリアされます。 0 バスはアイドル 1 バスはビジー
4 ARBL	**アービトレーション喪失** ─ このビットは、アービトレーション手続きが失われるとハードウェアでセットされます。ARBL ビットをクリアするには、ソフトウェアで 1 をライトする必要があります。 0 標準のバス動作 1 アービトレーション喪失
2 SRW	**スレーブ・リード / ライト** ─ スレーブとしてアドレス指定される場合、SRW ビットはマスタに送信される呼び出しアドレスの R/W コマンド・ビットの値を示します。 0 スレーブ受信（マスタはスレーブにライト） 1 スレーブ送信（マスタはスレーブからリード）
1 IICIF	**IIC 割込みフラグ** ─ IICIF ビットは、割込みが保留中の場合にセットされます。このビットは、割込みルーチンでソフトウェアによってクリア（1 をライト）する必要があります。以下のいずれかのイベントが発生すると、IICIF ビットがセットされます。 • 1 バイトの転送が完了する • スレーブ・アドレスが呼び出しアドレスと一致 • アービトレーションの喪失 0 保留中の割込みなし 1 保留中の割込みあり
0 RXAK	**受信アクノリッジ** ─ RXAK ビットが Low の場合、バス上で 1 バイトのデータ転送が終了した後にアクノリッジ信号を受信したことを意味します。RXAK ビットが High の場合、アクノリッジ信号が検出されていないことを意味します。 0 アクノリッジ信号あり 1 アクノリッジ信号なし

11.3.5 IIC データ I/O レジスタ（IICD）

	7	6	5	4	3	2	1	0
R W	DATA							
リセット :	0	0	0	0	0	0	0	0

図 11-9. IIC データ I/O レジスタ（IICD）

表 11-7. IICD レジスタのフィールド説明

フィールド	説明
7:0 DATA	**データ** ― マスタ送信モードでは、データが IICD にライトされるとデータ転送が開始されます。最上位ビットが最初に送信されます。マスタ受信モードでは、このレジスタをリードすると次のデータ・バイトの受信が開始されます。

注意

マスタ受信モードから切り替わる場合、誤ってマスタ受信データ転送を開始しないように、IIC モジュールを切り替えてから IICD レジスタをリードする必要があります。

スレーブ・モードでは、アドレス一致の発生後も同じ機能を利用できます。

マスタ・モードとスレーブ・モードで IICC の TX ビットが必要な転送方向を正しく反映していないと、送信は開始されません。たとえば、マスタ受信が要求されたときに IIC がマスタ送信に設定されていれば、IICD をリードしても受信は開始されません。

IIC がマスタ受信モードまたはスレーブ受信モードに設定されている場合、IICD をリードすると、受信済みの最終バイトが返されます。IICD は、IIC バスで送信されたバイトごとには更新されません。また、バイトをリードして IICD に正しくライトされたことをソフトウェアで確認することもできません。

マスタ送信モードでは、MST のアサート後に IICD にライトされる最初のバイトがアドレス転送用です。最初のバイトは、呼び出しアドレス（ビット 7 ～ビット 1）と必要な R/W ビット（ビット 0 の位置）を連結したものです。

11.4　機能の説明

この項では、IIC モジュールの機能を詳しく取り上げます。

11.4.1　IIC プロトコル

IIC バス・システムは、シリアル・データ・ライン（SDA）とシリアル・クロック・ライン（SCL）を使用してデータ転送を行います。このシステムに接続したすべてのデバイスは、オープン・ドレインまたはオープン・コレクタ出力を持つ必要があります。外部プルアップ抵抗によって、論理 AND 演算が 2 つのラインで実行されます。この抵抗値はシステムに依存します。

通常の通信は以下の 4 つの部分からなります。

- スタート信号
- スレーブ・アドレス送信
- データ転送
- ストップ信号

ストップ信号は CPU STOP 命令とは違うので注意が必要です。以下の項と図 11-10 で IIC バス・システム通信の概要を説明します。

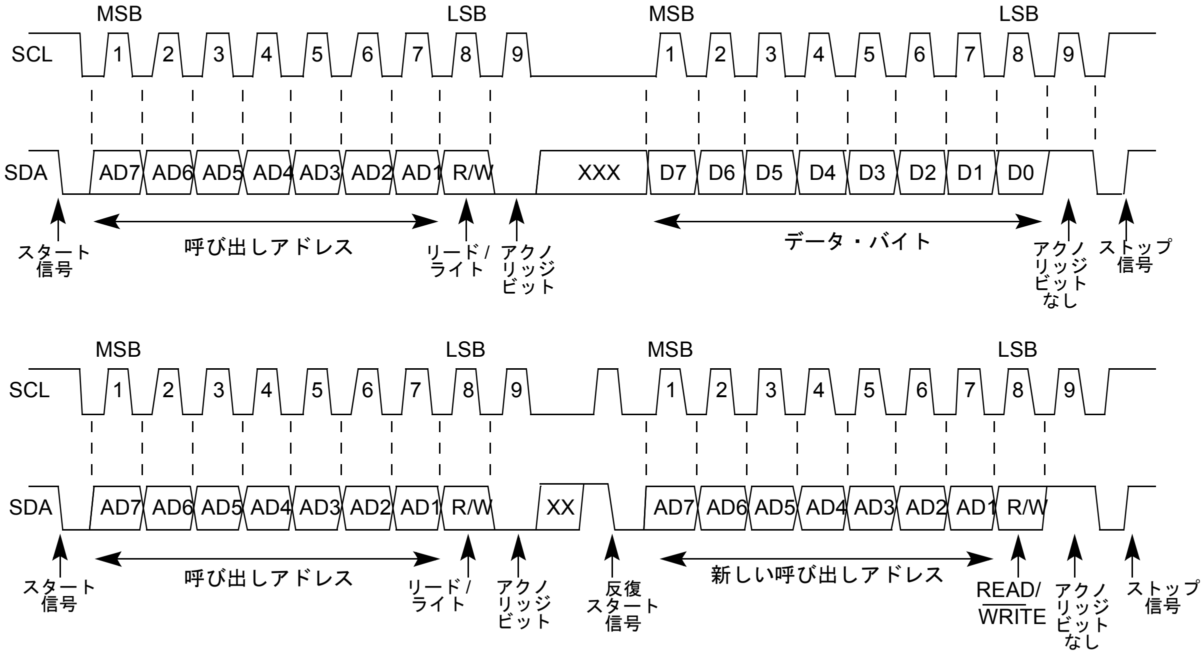


図 11-10. IIC バス転送信号

11.4.1.1　スタート信号

バスが解放状態、つまりバスを使っているマスタ・デバイスがない（SCL ラインと SDA ラインが両方とも論理 High である）場合、マスタはスタート信号を送信することで通信を開始できます。図 11-10 に示したように、スタート信号とは SCL が High であるとき SDA が High から Low に変化することです。この信号は、新たなデータ転送の開始を意味します（転送するデータは数バイトの場合もあります)。この信号によって、すべてのスレーブがアイドル状態から復帰します。

11.4.1.2 スレーブ・アドレス送信

スタート信号直後の最初のデータ・バイトは、マスタが送信するスレーブ・アドレスです。これは、7 ビットの呼び出しアドレスとそれに続く R/W ビットからなります。R/W ビットは、スレーブに対してデータ転送を指示します。

1 = リード転送（スレーブはマスタにデータを送信）
1 = ライト転送（マスタはスレーブにデータを送信）

マスタが送信した呼び出しアドレスと一致するアドレスを持つスレーブだけが、アクノリッジ・ビットを返して応答します。このビットを送信するには、9 番目のクロックで SDA を Low にプルします（図 11-10 参照）。

システム内で複数のスレーブが同一のアドレスを持つことはありません。IIC モジュールがマスタの場合、IIC モジュールが自身のスレーブ・アドレスと同じアドレスを送信してはなりません。IIC は、マスタと同時にスレーブにはなれないからです。ただし、アドレス・サイクル中にアービトレーションが失われた場合、IIC はスレーブ・モードに戻ります。そして別のマスタからアドレス指定された場合でも正常に動作します。

11.4.1.3 データ転送

スレーブ・アドレスの送信が成功した後、呼び出し側のマスタが R/W ビットで指定した方向にバイト単位でデータ転送が可能になります。

アドレス・サイクル以降の転送は、スレーブ・デバイスのサブアドレス情報の転送であっても、データ転送と呼ばれます。

各データ・バイトは 8 ビット長です。データは、SCL が Low の場合だけ変更でき、SCL が High の場合には一定に保持しなければなりません（図 11-10 参照）。各データ・ビットごとに 1 クロック・パルスが SCL にあり、MSB から順に転送されます。各データ・バイトには、受信側デバイスから送信される 9 番目のビット（アクノリッジ）が続きます。アクノリッジは、9 クロック目に SDA を Low にプルすることで送信されます。したがって、1 回のデータ転送全体で 9 クロック・パルスが必要です。

スレーブ・レシーバが 9 番目のビット・タイムでマスタにアクノリッジを送信しない場合、スレーブは SDA ラインを High に維持します。マスタは、アクノリッジが送信されないとデータ転送が失敗したと見なします。

マスタ・レシーバが 1 データ・バイト送信後にスレーブ・トランスミッタにアクノリッジを送信しない場合、スレーブはデータ転送が終了したと見なし、SDA ラインを解放します。

どちらの場合でも、データ転送はアボートされ、マスタは以下のどちらかを実行します。

- ストップ信号を生成してバスを解放する
- 反復スタート信号を生成して新しい呼び出しを開始する

11.4.1.4 ストップ信号

マスタはバスを解放するためにストップ信号を送信して通信を終了できます。ただし、マスタはストップ信号を送信せずに、呼び出しコマンドに続けてスタート信号を送信することもできます。これを反復スタートと呼びます。ストップ信号とは、SCL が論理 1 で SDA が Low から High に変化することです（図 11-10 参照）。

マスタは、スレーブがアクノリッジを送信した場合でもストップ信号を送信できます。その時点で、スレーブはバスを解放しなければなりません。

11.4.1.5 反復スタート信号

図 11-10 に示したように反復スタート信号は、通信を終了させるストップ信号を送信せず、その代わりに送信するスタート信号です。マスタが反復スタート信号を使うのは、バスを解放しないで別のスレーブまたは異なるモード（送信 / 受信モード）の同じスレーブと通信するためです。

11.4.1.6 アービトレーション手続き

IIC バスは、複数のマスタを接続できるマルチマスタ・バスです。複数のマスタが同時にバスを制御しようとする場合、クロック同期手続きによってバス・クロックが決まります。このクロックの Low 期間と High 期間はマスタのうちで最大の Low 期間と最小の High 期間となります。競合するマスタの優先度はデータ・アービトレーション手続きで決まります。バス・マスタが論理 0 を送信中に、別のマスタが論理 1 を送信した場合、論理 1 を送信したバス・マスタはアービトレーションを失います。このバス・マスタは直ちにスレーブ受信モードとなり、SDA 出力の制御を停止します。この場合、マスタ・モードからスレーブ・モードへ変わっても、停止状態とはなりません。一方、アービトレーション喪失を示すためのステータス・ビットはハードウェアでセットされます。

11.4.1.7 クロック同期

ワイヤ AND 論理が SCL ラインで実行されるため、バスに接続したすべてのデバイスが SCL ラインで High から Low への変化による影響を受けます。各デバイスはそれぞれのクロックが Low になった後に Low 期間をカウントし始め、クロックが High ステートになるまで SCL ラインを Low に保ちます。ただし、このデバイス・クロックが Low から High へ変化した場合でも、別のデバイス・クロックが Low のままであれば、SCL ラインは変化しません。したがって、同期クロック SCL は Low 期間が最大のデバイスによって Low 状態に保たれます。その間、もっと Low 期間が短いデバイスは High の待ち状態となります（図 11-11 を参照）。関連するすべてのデバイスが Low 期間のカウントを終了すると、同期クロック SCL ラインは解放されて High になります。これで各デバイス・クロックと SCL ラインは同じ状態になり、すべてのデバイスは High 期間をカウントし始めます。High 期間のカウントを最初に終了したデバイスによって、SCL ラインが再び Low になります。

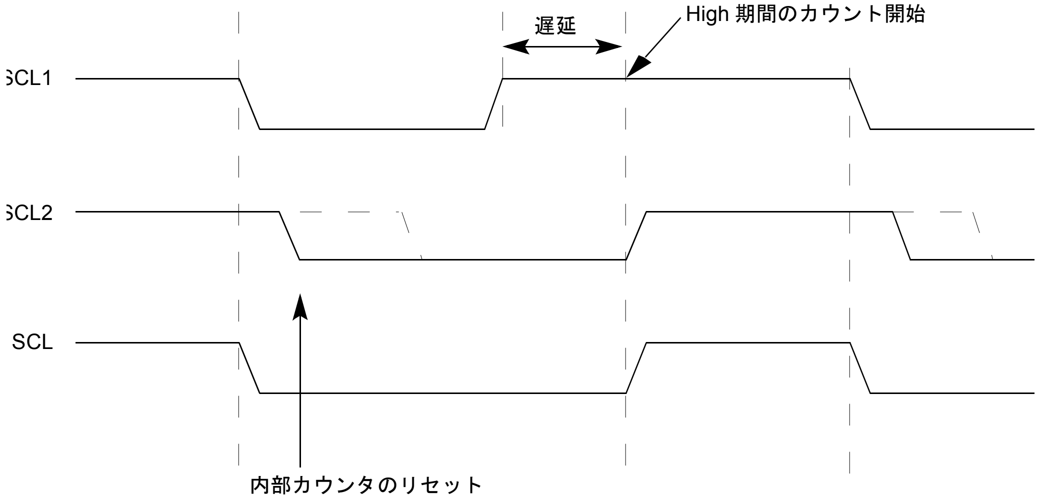


図 11-11. IIC クロックの同期化

11.4.1.8 ハンドシェーク

クロック同期メカニズムは、データ転送のハンドシェークとして使えます。スレーブ・デバイスは、1 バイトの転送終了（9 ビット）後に SCL を Low 状態に保つこともあります。その場合、バス・クロックが停止し、マスタ・クロックは強制的に待ち状態となり、スレーブが SCL ラインを解放するまでその状態を継続します。

11.4.1.9 クロック延長

クロック同期メカニズムは、転送ビット・レートを下げる目的でスレーブが使うこともできます。マスタが SCL を Low に設定してから、スレーブは SCL を必要な期間だけ Low に設定しておいてから、解放することができます。スレーブ SCL の Low 期間がマスタ SCL の Low 期間より長ければ、その分 SCL バス信号の Low 期間は延長されます。

11.5 リセット

IIC は、リセット後にディセーブルされます。IIC が MCU をリセットすることはできません。

11.6 割込み

IIC は、1 つの割込だけを生成します。

IIC は、IICIE ビットがセットされている場合に表 11-8 のイベントが発生すると割込みを生成します。割込みは、IICIF ビット（IIC ステータス・レジスタ）で制御され、IICIE ビット（IIC 制御レジスタ）でマスクされます。IICIF ビットは、割込みルーチンでソフトウェアによってクリア（1 をライト）しなければなりません。ユーザは、ステータス・レジスタのリードによって割込みのタイプを特定できます。

表 11-8. 割込みのまとめ

割込みソース	ステータス	フラグ	ローカル・イネーブル
1 バイトの転送終了	TCF	IICIF	IICIE
受信した呼び出しアドレスの一致	IAAS	IICIF	IICIE
アービトレーション喪失	ARBL	IICIF	IICIE

11.6.1 バイト転送割込み

TCF（転送完了フラグ）ビットは、9 番目のクロックの立ち下がりエッジでセットされ、バイト転送の終了を示します。

11.6.2 アドレス検出割込み

呼び出しアドレスが、自分の設定したアドレス（IIC アドレス・レジスタ）と一致すると、ステータス・レジスタの IAAS ビットがセットされます。IICIE もセットされていれば、CPU に割込がかかります。すると CPU は、SRW ビットを調べて、それに応じて Tx モードを設定します。

11.6.3 アービトレーション喪失割込み

IIC は、複数のマスタを接続できるマルチマスタ・バスです。複数のマスタが同時にバスを制御しようとする場合は、競合するマスタの優先度はデータ・アービトレーション手続きで決まります。IIC モジュールがデータ・アービトレーション・プロセスを失うとき、このモジュールはアービトレーション喪失割込をアサートします。ステータス・レジスタの ARBL ビットもセットされます。

アービトレーションは、以下の場合に失われます。

- アドレス / データ送信サイクルでマスタが SDA を High にしても、サンプリングされた SDA は Low である場合
- データ受信サイクルのアクノリッジ・ビットでマスタが SDA を High にしても、サンプリングされた SDA は Low である場合
- バスがビジーのとき、スタート・サイクルが要求された場合
- スレーブ・モードで反復スタート・サイクルが要求された場合
- マスタが停止状態を要求してないのに、その状態が検出された場合

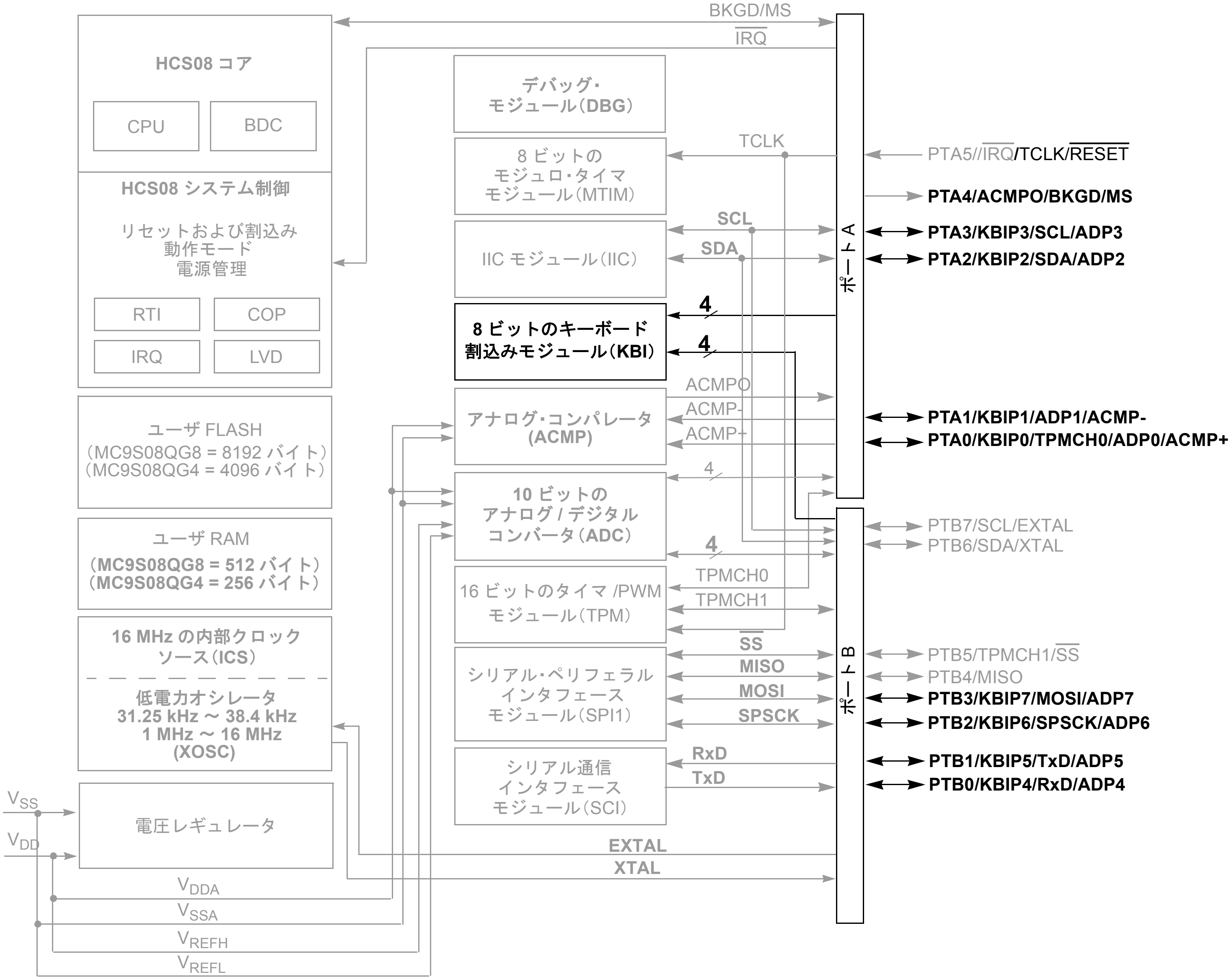
このビットは、ソフトウェアによってクリア（1 をライト）しなければなりません。

第 12 章
キーボード割込み（S08KBIV2）

12.1　はじめに

キーボード割込み（KBI）モジュールは、個々にイネーブルできる 8 つの外部割込みソースを提供します。

図 12-1 に、KBI をわかりやすくした MC9S08QG8/4 のブロック図を示します。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。
2 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。
3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。
4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。
5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。
6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。
7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。
8 SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 12-1. MC9S08QG8/4 ブロック図における KBI ブロックおよびピンの位置付け

12.1.1 主な特長

以下に、KBI の主な特長を示します。

- 個別にピン・イネーブル・ビットを持つ最大 8 本のキーボード割込みピン
- 各キーボード割込みピンは立ち下がり（または立ち上がり）エッジのみ、立ち下がりエッジと Low レベル、または立ち上がりエッジと High レベルを検出するようにプログラム可能
- ソフトウェアでイネーブル可能なキーボード割込み
- 低電力モードからのウェイクアップとして動作

12.1.2 動作モード

この項では、ウェイト、ストップ、およびバックグラウンド・デバッグの各モードでの KBI の動作について説明します。

12.1.2.1 ウェイト・モードの KBI

KBI は、WAIT 命令の実行前にイネーブルであれば動作を継続します。したがって、KBI 割込みがイネーブル（KBIE = 1）であれば、イネーブルの KBI ピン（KBPEx = 1）を使用して MCU をウェイト・モードからウェイクアップさせることができます。

12.1.2.2 ストップ・モードの KBI

KBI は、STOP 命令の実行前にイネーブルであればストップ 3 モードで非同期で動作します。したがって、KBI 割込みがイネーブル（KBIE = 1）であれば、イネーブルの KBI ピン（KBPEx = 1）を使用して MCU をストップ 3 モードからウェイクアップさせることができます。

ストップ 1 またはストップ 2 モード中は、KBI はディセーブルになります。一部のシステムでは、KBI に対応するピンがストップ 1 またはストップ 2 からのウェイクアップ・ソースになることがあります。「第 3 章　動作モード」の「3.6 ストップ・モード」を参照してください。ストップ 1 またはストップ 2 モードからウェイクアップすると、KBI モジュールはリセット状態になります。

12.1.2.3 バックグラウンド・デバッグ・モードの KBI

マイクロコントローラがアクティブ・バックグラウンド・モードであるとき、KBI は正常に動作を継続します。

12.1.3 ブロック図

図 12-2 に、キーボード割込みモジュールのブロック図を示します。

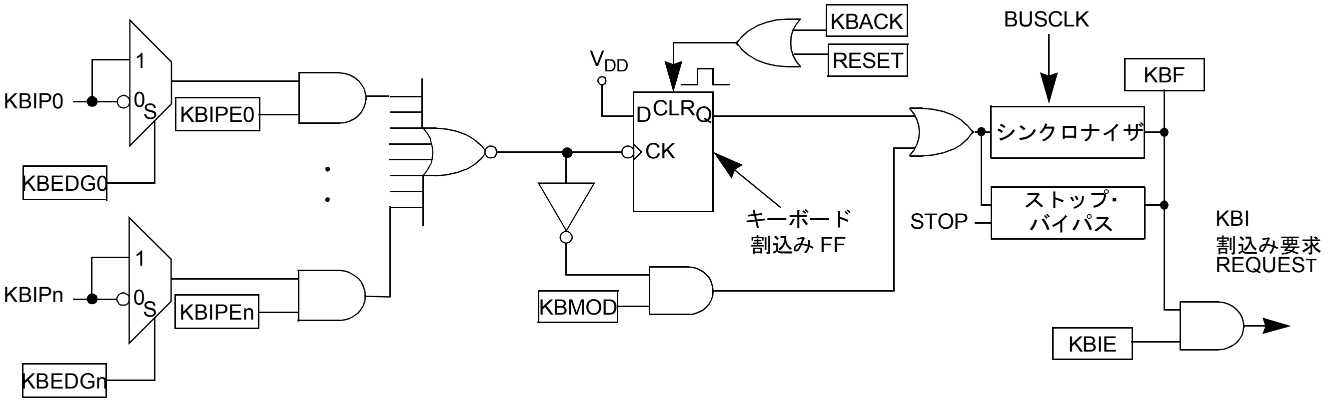


図 12-2. Keyboard Interrupt（KBI）のブロック図

12.2 外部信号の説明

KBI 入力ピンは、立ち下がりエッジのみまたは立ち下がりエッジと Low レベルの割込み要求の検出に使用できます。また、立ち上がりエッジのみまたは立ち上がりエッジと High レベルの割込み要求の検出にも使用できます。

表 12-1 に、KBI の信号属性を示します。

表 12-1. 信号属性

信号	機能	I/O
KBIPn	キーボード割込みピン	I

12.3 レジスタ定義

KBI には、3 つのレジスタがあります。

- 8 ビットのピン・ステータス / 制御レジスタ
- 8 ビットのピン・イネーブル・レジスタ
- 8 ビットのエッジ選択レジスタ

すべての KBI レジスタの絶対アドレスの割当てについては、「第 4 章　メモリマップとレジスタ定義」の「表 4-2. ダイレクトページ・レジスタ一覧」を参照してください。本章では、レジスタと制御ビットを名前と相対アドレス・オフセットで示しています。

複数の KBI を装備する MCU があることを考慮して、レジスタ名には特定の KBI を示す識別番号を使用しています。

12.3.1 KBI ステータス / 制御レジスタ（KBISC）

KBISC は、KBI の設定に使用する制御ビットとステータス・フラグを格納しています。

	7	6	5	4	3	2	1	0
R	0	0	0	0	KBF	0	KBIE	KBMOD
W	(未実装)	(未実装)	(未実装)	(未実装)	(未実装)	KBACK		
リセット：	0	0	0	0	0	0	0	0

(網掛け) = 未実装

図 12-3. KBI ステータス / 制御レジスタ

表 12-2. KBISC レジスタのフィールド説明

フィールド	説明
7:4	未使用のレジスタ・ビット。リードすると常に 0 です。
3 KBF	**キーボード割込みフラグ**— KBF は、キーボード割込みが検出されたことを示します。ライトしても KBF は変化しません。 0　キーボード割込みは検出されていない。 1　キーボード割込みが検出された。
2 KBACK	**キーボード・アクノリッジ**— KBF フラグをクリアする場合に、KBACK に 1 をライトします。KBACK をリードすると常に 0 です。

表 12-2. KBISC レジスタのフィールド説明（続き）

フィールド	説明
1 KBIE	**キーボード割込みイネーブル**ー KBIE は、キーボード割込みを要求するかどうかを指定します。 0 キーボード割込み要求はディセーブル。 1 キーボード割込み要求はイネーブル。
0 KBMOD	**キーボード検出モード**ー KBMOD（KBEDG ビットと併用）は、キーボード割込みの検出モードを制御します。 0 エッジのみ検出。 1 エッジとレベルの両方を検出。

12.3.2 KBI ピン・イネーブル・レジスタ（KBIPE）

KBIPE は、ピン・イネーブル制御ビットを格納します。

	7	6	5	4	3	2	1	0
R W	KBIPE7	KBIPE6	KBIPE5	KBIPE4	KBIPE3	KBIPE2	KBIPE1	KBIPE0
リセット：	0	0	0	0	0	0	0	0

図 12-4. KBI ピン・イネーブル・レジスタ

表 12-3. KBIPE レジスタのフィールド説明

フィールド	説明
7:0 KBIPEn	**キーボード・ピン・イネーブル**ー各 KBIPEn ビットは、対応するキーボード割込みピンをイネーブルします。 0 ピンはキーボード割込みがディセーブル。 1 ピンはキーボード割込みがイネーブル。

12.3.3 KBI エッジ選択レジスタ（KBIES）

KBIES は、エッジ選択制御ビットを格納します。

	7	6	5	4	3	2	1	0
R W	KBEDG7	KBEDG6	KBEDG5	KBEDG4	KBEDG3	KBEDG2	KBEDG1	KBEDG0
リセット：	0	0	0	0	0	0	0	0

図 12-5. KBI エッジ選択レジスタ

表 12-4. KBIES レジスタのフィールド説明

フィールド	説明
7:0 KBEDGn	**キーボード・エッジ選択**ー各 KBEDGn ビットは、対応するピンの立ち下がりエッジ /Low レベルまたは立ち上がりエッジ /High レベル機能を選択します。 0 立ち下がりエッジ /Low レベル。 1 立ち上がりエッジ /High レベル。

12.4 機能の説明

このオンチップ・ペリフェラル・モジュールは、元々は行列マトリクスのキーボード・スイッチを簡単に接続して使用する目的で設計されていたことから、キーボード割込み（KBI）モジュールと呼びます。ただし、キーボードへの入力は追加の外部割込み入力としても、また MCU をストップやウェイトの低電力モードからウェイクアップさせる外部手段としても利用できます。

KBI モジュールでは、最大 8 本のピンを割込みソースとして機能するように設定できます。キーボード割込みピン・イネーブル・レジスタ（KBIPE）の KBIPEn ビットのライトにより、各 KBI ピンは個別にイネーブル / ディセーブルされます。各 KBI ピンは、キーボード割込みステータス / 制御レジスタ（KBISC）の KBMOD ビットによってエッジのみまたはエッジとレベルの両方を検出するように設定できます。検出するエッジは立ち下がりまたは立ち上がりのどちらかのエッジをソフトウェアによってプログラムし、レベルは Low または High のいずれかを選択できます。エッジやレベル検出の極性の選択には、キーボード割込みエッジ選択レジスタ（KBIES）の KBEDGn ビットを使用します。

エッジの検出には同期ロジックを使用します。イネーブルにされたキーボード入力は、エッジを検出する前はロジック・レベルがディアサートされている必要があります。立ち下がりエッジとは、イネーブルのキーボード入力信号が 1 バス・サイクルで論理 1（ディアサート・レベル）となり、次のサイクルで論理 0（アサート・レベル）に変化する状態を言います。立ち上がりエッジは、入力信号が 1 バス・サイクルで論理 0 で、次のサイクルで論理 1 になる場合です。

12.4.1 エッジのみ検出

イネーブルの KBI ピンで有効なエッジが検出されると、KBISC の KBF がセットされます。KBISC の KBIE がセットされていれば、CPU に対して割込み要求が生成されます。KBF をクリアするには、KBISC の KBACK に 1 をライトします。

12.4.2 エッジおよびレベルの検出

イネーブルの KBI ピンで有効なエッジまたはレベルが検出されると、KBISC の KBF がセットされます。KBISC の KBIE がセットされていれば、CPU に対して割込み要求が生成されます。すべてのイネーブル・キーボード入力がディアサート・レベルなら、KBISC の KBACK に 1 をライトすると KBF をクリアできます。イネーブルの KBI ピンがアサート状態なら、KBACK に 1 をライトしても KBF はセットのままです。

12.4.3 KBI のプルアップ / プルダウン抵抗

KBI ピンは、対応する I/O ポートのプルアップ・イネーブル・レジスタを使用して内部プルアップ / プルダウン抵抗を使用するように設定できます。内部抵抗がイネーブルなら、KBIES レジスタを使用して抵抗がプルアップ（KBEDGn = 0）またはプルダウン（KBEDGn = 1）のどちらかを選択します。

12.4.4 KBI の初期化

キーボード割込みピンを初めてイネーブルする場合、キーボード割込みフラグがセットされることがあります。キーボード初期化中に誤って割込み要求を生成しないためには、以下の手順に従ってください。

1. KBISC の KBIE をクリアしてキーボード割込みをマスクします。
2. KBIES の対応する KBEDGn ビットをセットして KBI 極性を設定します。
3. 内部プルアップ / プルダウン・デバイスを使用する場合には、PTxPE の対応するプルアップ・イネーブル・ビットを設定します。
4. KBIPE の対応する KBIPEn ビットをセットして KBI ピンをイネーブルします。
5. KBISC の KBACK にライトして、誤って発生した割込みをクリアします。
6. KBISC の KBIE をセットして、割込みをイネーブルします。

第 13 章
モジュロ・タイマ（S08MTIMV1）

13.1　はじめに

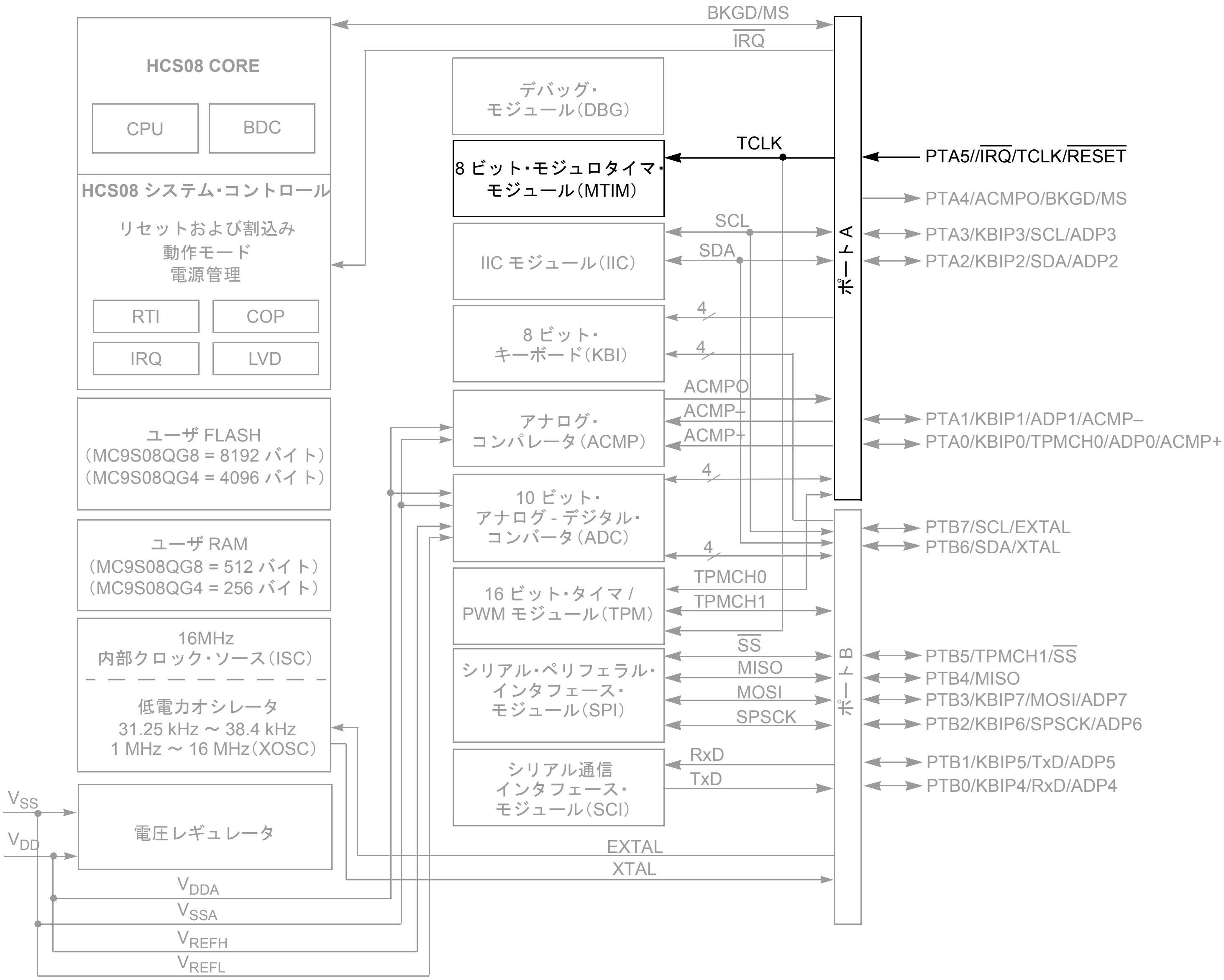
MTIM は、シンプルな構造の 8 ビット・タイマです。ソフトウェアで選択可能なクロック・ソースを幾つか備えているほか、プログラマブルな割込み機能も持っています。

MTIM の中核となる構成要素は 8 ビット・カウンタです。これは、フリーランニング・カウンタまたはモジュロ・カウンタとして動作できます。タイマ・オーバフロー割込みをイネーブルすると、時間ベースのソフトウェア・ループで割込みが定期的に発生します。

図 13-1 は、MTIM をわかりやすくした MC9S08QG8/4 のブロック図です。

13.1.1　MTIM/TPM 設定情報

MTIM モジュールの外部クロックは TCLK であり、これは MTIMCLK で CLKS = 1:1 または 1:0 を指定することで選択されます。この指定で、TCLK ピン入力も選択されます。PTA5 の TCLK 入力は、MTIM モジュールと TPM モジュールの外部クロック入力として同時にイネーブル可能です。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。

2 入力ポート・ピンは、ソフトウェアによるプルアップ・デバイス設定が可能です。

3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。

4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。

5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。

6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。

7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。

8 SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。

9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 13-1. MC9S080QG8/4 ブロック図における MTIM のブロックとピンの位置付け

13.1.2 特長

タイマ・システムの特長は以下の通りです。

- 8 ビット・アップカウンタ
  - — フリーランニングまたは 8 ビット・モジュロ機能付き
  - — オーバフロー時の割込み（ソフトウェアで制御可能）
  - — カウンタ・リセット・ビット（TRST）
  - — カウンタ・ストップ・ビット（TSTP）
- ソフトウェアで選択可能な 4 個のクロック・ソース（プリスケーラへの入力）
  - — システム・バス・クロック（立ち上がりエッジ）
  - — 固定周波数クロック（XCLK）（立ち上がりエッジ）
  - — TCLK ピンの外部クロック・ソース（立ち上がりエッジ）
  - — TCLK ピンの外部クロック・ソース（立ち下がりエッジ）
- 選択可能な 9 個のクロック・プリスケール値
  - — クロック・ソースの分周値は 1、2、4、8、16、32、64、128、256

13.1.3 動作モード

この項では、ストップ・モード、ウェイト・モード、およびバックグラウンド・デバッグ・モードにおける MTIM の動作ついて説明します。

13.1.3.1 ウェイト・モード

MTIM は、WAIT 命令の実行前にイネーブルされるとウェイト・モードで動作を継続します。したがって、タイマ・オーバフロー割込みがイネーブルであれば、MTIM によって MCU をウェイト・モードから復帰させることができます。ウェイト・モード時に MTIM が割込みソースとして不要である場合に、MTIM を停止することで消費電力を低減することができます。

13.1.3.2 ストップ・モード

STOP 命令の実行前の設定にかかわらず、すべてのストップ・モードで MTIM はディセーブルされます。したがって、ストップ・モードから復帰するためのウェイク・アップ・ソースとして MTIM を使用することはできません。

MTIM は、ストップ 1 およびストップ 2 モードからウェイクアップすると、リセット状態になります。リセットによってストップ 3 が終了しても、MTIM はリセット状態になります。割込みによってストップ 3 が終了すると、MTIM はストップ 3 へ移行したときの状態を維持します。ストップ 3 へ移行した時点でカウンタがアクティブであると、カウントは現在の値から再開されます。

13.1.3.3 アクティブ・バックグラウンド・モード

MTIM は、マイクロコントローラが通常のユーザ動作モードに戻るまで、すべてのカウント動作を停止します。MTIM のリセットが発生しなければ（TRST を 1 に設定したり、MTIMMOD へ値をライトしたりすることがなければ）、カウントは停止した時点の値から再開されます。

13.1.4 ブロック図

図 13-2 に、モジュロ・タイマのブロックを示します。

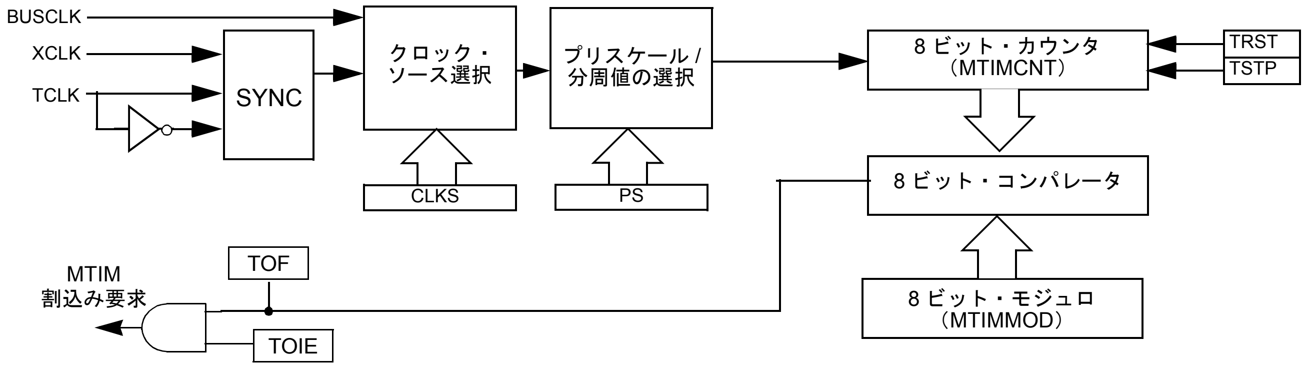


図 13-2. モジュロ・タイマ（MTIM）のブロック図

13.2 外部信号の説明

MTIM の外部信号には TCLK があり、MTIM のクロック・ソースとして選択すると外部クロックの入力として機能します。表 13-1 に TCLK の信号特性を示します。

表 13-1. 信号特性

信号	機能	I/O
TCLK	MTIM への外部クロック・ソースの入力	I

TCLK 入力はバス・クロックと同期させる必要があります。また、デューティ・サイクルの変動やクロック・ジッタにも対応する必要があります。そのため、TCLK 信号はバス周波数の 1/4 のみとします。

TCLK ピンと汎用ポート・ピンは多重化されています。ピンの位置と機能の優先順位については、「第 2 章　外部信号の説明」を参照してください。

13.3 レジスタ定義

各 MTIM には以下の 4 つのレジスタがあります。

- 8 ビット・ステータス / 制御レジスタ
- 8 ビット・クロック・コンフィギュレーション・レジスタ
- 8 ビット・カウンタ・レジスタ
- 8 ビット・モジュロ・レジスタ

各 MTIM レジスタの絶対アドレスについては、「第 4 章　メモリマップとレジスタ定義」の「表 4-2.　ダイレクトページ・レジスタ一覧」を参照してください。ここでは、レジスタと制御ビットの識別に、その名前と相対アドレス・オフセットのみを使用します。

MCU によっては、複数の MTIM を搭載しているものもあります。そのため、MTIM を識別するために一部のレジスタ名には特定の MTIM を示す識別番号を使用しています。

13.3.1 MTIM ステータス / 制御レジスタ（MTIMSC）

MTIM1SC は、オーバフロー・ステータス・フラグと制御ビットを含んでいます。制御ビットは、割込みイネーブルの制御、カウンタのリセット、カウンタの停止に使用します。

	7	6	5	4	3	2	1	0
R	TOF	TOIE	0	TSTP	0	0	0	0
W			TRST					
リセット：	0	0	0	1	0	0	0	0

図 13-3. MTIM ステータス / 制御レジスタ

表 13-2. MTIM ステータス / 制御レジスタのフィールド説明

フィールド	説明
7 TOF	**MTIM オーバフロー・フラグ**― MTIM カウンタ・レジスタが MTIM モジュロ・レジスタの値に到達してからオーバフローして 0x00 になるとセットされるリード専用ビットです。TOF をクリアするには、TOF がセット状態のときに MTIMSC レジスタをリードし、次に TOF へ 0 をライトします。TOF は、TRST を 1 にしたとき、または MTIMMOD レジスタで任意の値をライトするときにもクリアされます。 0 MTIM カウンタは MTIM モジュロ・レジスタのオーバフロー値に未到達。 1 MTIM カウンタは MTIM モジュロ・レジスタのオーバフロー値に到達。
6 TOIE	**MTIM オーバフロー割込みイネーブル**― MTIM オーバフロー割込みをイネーブルするリード / ライト・ビットです。TOIE がセットされると、TOF = 1 のときに割込みが発生します。TOIE はリセットによってクリアされます。TOF = 1 のときは TOIE をセットしないでください。最初に TOF をクリアしてから、次に TOIE をセットします。 0 TOF 割込みはディセーブル。ソフトウェア・ポーリングを使用すること。 1 TOF 割込みをイネーブル。
5 TRST	**MTIM カウンタ・リセット**―このライト専用ビットに 1 をライトすると、MTIM カウンタ・レジスタはリセットされて 0x00 となり、TOF はクリアされます。このビットをリードすると、得られる値は常に 0 です。 0 変化なし。MTIM カウンタは現在の状態を維持。 1 MTIM カウンタを 0x00 へリセット。
4 TSTP	**MTIM カウンタ・ストップ**―セットされると、MTIM カウンタを現在の値のままで停止するリード / ライト・ビットです。TSTP がクリアされると、カウントは現在の値から再開されます。リセットにより TSTP がセットされて、MTIM のカウントを停止します。 0 MTIM カウンタはアクティブ。 1 MTIM カウンタを停止。
3:0	未使用のレジスタ・ビット。リード時の値は常に 0 です。

13.3.2 MTIM クロック・コンフィギュレーション・レジスタ（MTIMCLK）

MTIMCLK は、クロック選択ビット（CLKS）とプリスケーラ選択ビット（PS）を含んでいます。

	7	6	5	4	3	2	1	0
R	0	0	CLKS		PS			
W								
リセット :	0	0	0	0	0	0	0	0

図 13-4. MTIM クロック・コンフィギュレーション・レジスタ

表 13-3. MTIM クロック・コンフィギュレーション・レジスタのフィールド説明

フィールド	説明
7:6	未使用のレジスタ・ビット。リード時の値は常に 0 です。
5:4 CLKS	**クロック・ソース選択**－これらの 2 つのビットは、MTIM プリスケーラへの入力として、4 個の異なるクロック・ソースのうち 1 つを選択するリード / ライト・ビットです。カウンタがアクティブであるときにクロック・ソースを変更しても、カウンタはクリアされません。カウントは新しいクロック・ソースにより継続します。リセットにより CLKS はクリアされて 00 になります。 00　コード 0。バス・クロック（BUSCLK） 01　コード 1。固定周波数クロック（XCLK） 10　コード 2。外部ソース（TCLK ピン）、立ち下がりエッジ 11　コード 3。外部ソース（TCLK ピン）、立ち上がりエッジ その他のコードはすべてデフォルトのバス・クロック（BUSCLK）です。
3:0 PS	**クロック・ソース・プリスケーラ**－これらの 4 つのビットは、8 ビット・プリスケーラの 9 個の出力のうち 1 つを選択するリード / ライト・ビットです。カウンタがアクティブであるときにプリスケーラを変更しても、カウンタはクリアされません。カウントは新しいプリスケーラにより継続します。リセットにより PS はクリアされて 0000 になります。 0000　Encoding 0. MTIM clock source ÷ 1 0001　Encoding 1. MTIM clock source ÷ 2 0010　Encoding 2. MTIM clock source ÷ 4 0011　Encoding 3. MTIM clock source ÷ 8 0100　Encoding 4. MTIM clock source ÷ 16 0101　Encoding 5. MTIM clock source ÷ 32 0110　Encoding 6. MTIM clock source ÷ 64 0111　Encoding 7. MTIM clock source ÷ 128 1000　Encoding 8. MTIM clock source ÷ 256 その他のコードはすべて MTIM クロック・ソース÷ 256 です。

13.3.3 MTIM カウンタ・レジスタ（MTIMCNT）

MTIM1CNT は、リード専用のビットから成り、MTIM の現在のカウント値を示します。

	7	6	5	4	3	2	1	0
R	COUNT							
W								
リセット :	0	0	0	0	0	0	0	0

図 13-5. MTIM カウンタ・レジスタ

表 13-4. MTIM カウンタ・レジスタのフィールド説明

フィールド	説明
7:0 COUNT	**MTIM カウント**—これらの 8 個のビットは、8 ビット・カウンタの現在の値を示すリード専用ビットです。このレジスタにライトしても変化はありません。リセットによりカウントはクリアされて 0x00 となります。

13.3.4 MTIM モジュロ・レジスタ（MTIMMOD）

	7	6	5	4	3	2	1	0
R W	MOD							
リセット :	0	0	0	0	0	0	0	0

図 13-6. MTIM モジュロ・レジスタ

表 13-5. MTIM モジュロ・レジスタのフィールド説明

フィールド	説明
7:0 MOD	**MTIM モジュロ**—これらの 8 個のビットは、カウントをリセットして TOF をセットするために使用されるモジュロ値を示すリード / ライト・ビットです。0x00 の場合、MTIM はフリーランニング・モードになります。MTIMMOD へライトすると、カウントがリセットされて 0x00 となり、TOF はクリアされます。リセットによりモジュロは 0x00 に設定されます。

13.4 機能の説明

MTIM は、8 ビット・モジュロ・レジスタを備えた 8 ビット・アップカウンタを主な構成要素とし、他にクロック・ソース・セレクタや、選択可能な 9 つの値を持ったプリスケーラ・ブロックも含んでいます。また、ソフトウェアで選択可能な割込みロジックも搭載しています。

MTIM カウンタ（MTIMCNT）の動作モードは、ストップ・モード、フリーランニング・モード、モジュロ・モードの 3 つです。リセット後、カウンタは停止します。モジュロ・レジスタに新しい値をライトせずにカウンタを起動すると、カウンタはフリーランニング・モードとなります。カウンタの動作中、モジュロ・レジスタに 0x00 以外の値をライトすると、カウンタはモジュロ・モードとなります。

MCU のリセット後、カウンタは停止し 0x00 にリセットされます。モジュラスは 0x00 に設定されます。デフォルトのクロック・ソースとしてバス・クロックが選択され、プリスケール値は 1 分周となります。MTIM ステータス / 制御レジスタ（MTIMSC）の、MTIM ストップ・ビット（TSTP）をクリアするだけで、MTIM はフリーラン・モードで起動します。

ソフトウェアで選択可能なクロック・ソースは 4 つあります。内部バス・クロック、固定周波数クロック（XCLK）、TCLK ピンの外部クロックです。この外部クロックは、立ち上がりエッジあるいは立ち下がりエッジのどちらかでインクリメントするように選択可能です。希望のクロック・ソースは、MTIMSC の MTIM クロック選択ビット（CLKS1:CLKS0）によって選択します。新たにクロック・ソースを選択したときにカウンタがアクティブな場合（TSP = 0）、カウンタはそのクロック・ソースを使用して前回の値からカウントを継続します。

ソフトウェアで選択可能なプリスケール値は 9 つあります。クロック・ソースの分周値は 1、2、4、8、16、32、64、128、256 です。希望のプリスケール値は、MTIMSC のプリスケーラ選択ビット（PS[3:0]）によって選択します。新たにプリスケール値を選択したときにカウンタがアクティブな場合（TSP = 0）、カウンタはそのプリスケール値を使用して前回の値からカウントを継続します。

MTIM モジュロ・レジスタ（MTIMMOD）を使用すれば、0x01 ～ 0xFF の範囲でオーバフロー比較値を指定できます。リセットによってモジュロ値はクリアされて 0x00 になります。その場合、カウンタはフリーランニング・カウンタとして動作します。

カウンタが動作中は（TSTP = 0）、カウント値がモジュロ値に一致するまでカウンタは選択されたレートでインクリメントします。一致すると、カウンタはオーバフローして 0x00 となり、カウントを継続します。カウンタのオーバフローが発生すると、MTIM オーバフロー・フラグ（TOF）がセットされます。このフラグは、モジュロ値から 0x00 へ移行する時点でセットされます。カウンタが動作中であるときに MTIMMOD へライトすると、カウンタは 0x00 へリセットされ、TOF がクリアされます。

TOF をクリアする処理は 2 つのステップで行われます。最初のステップでは、TOF がセット状態のときに MTIMSC レジスタをリードします。次のステップでは、TOF に 0 をライトします。1 番目と 2 番目のステップの間で再びオーバフローが発生すると、クリア処理はリセットされ、2 番目のステップの実行後も TOF はセット状態のままとなります。その結果、次のオーバフローは確実に検出できます。TOF は、TRST に 1 をライトしたときや、MTIMMOD レジスタに値をライトしたときにもクリアとなります。

MTIM は、TOF のセット時に割込みを発生させることもできます。MTIM オーバフロー割込みをイネーブルするには、MTIMSC の MTIM オーバフロー割込みイネーブル・ビットをセットします。TOF = 1 のときに TOIE を 1 に設定することは絶対に避けてください。最初に TOF をクリアしてから、TOIE を 1 に設定します。

13.4.1 MTIM の動作例

ここでは、カウンタがモジュロ・レジスタの値と一致する場合の MTIM の動作を例として取り上げます。

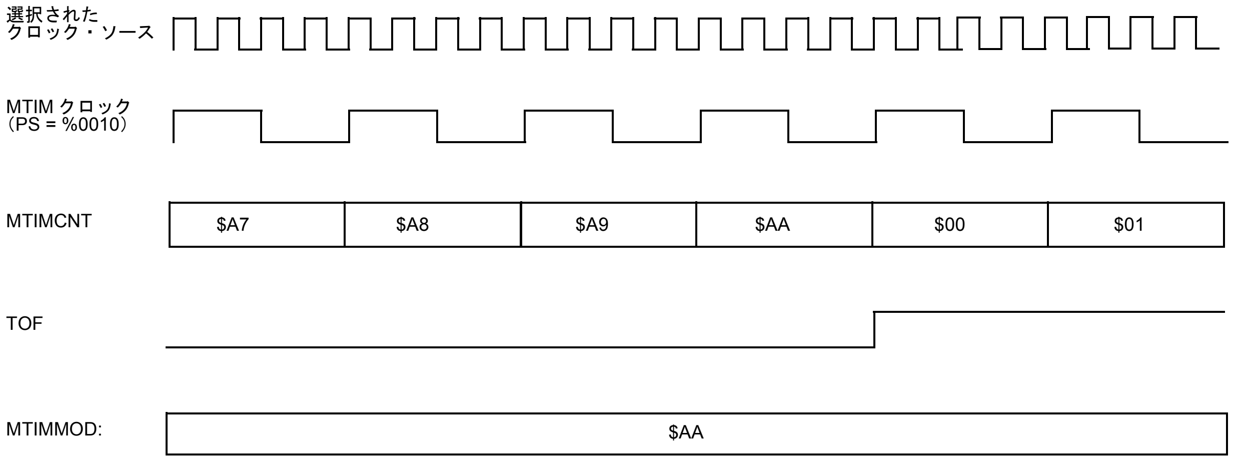


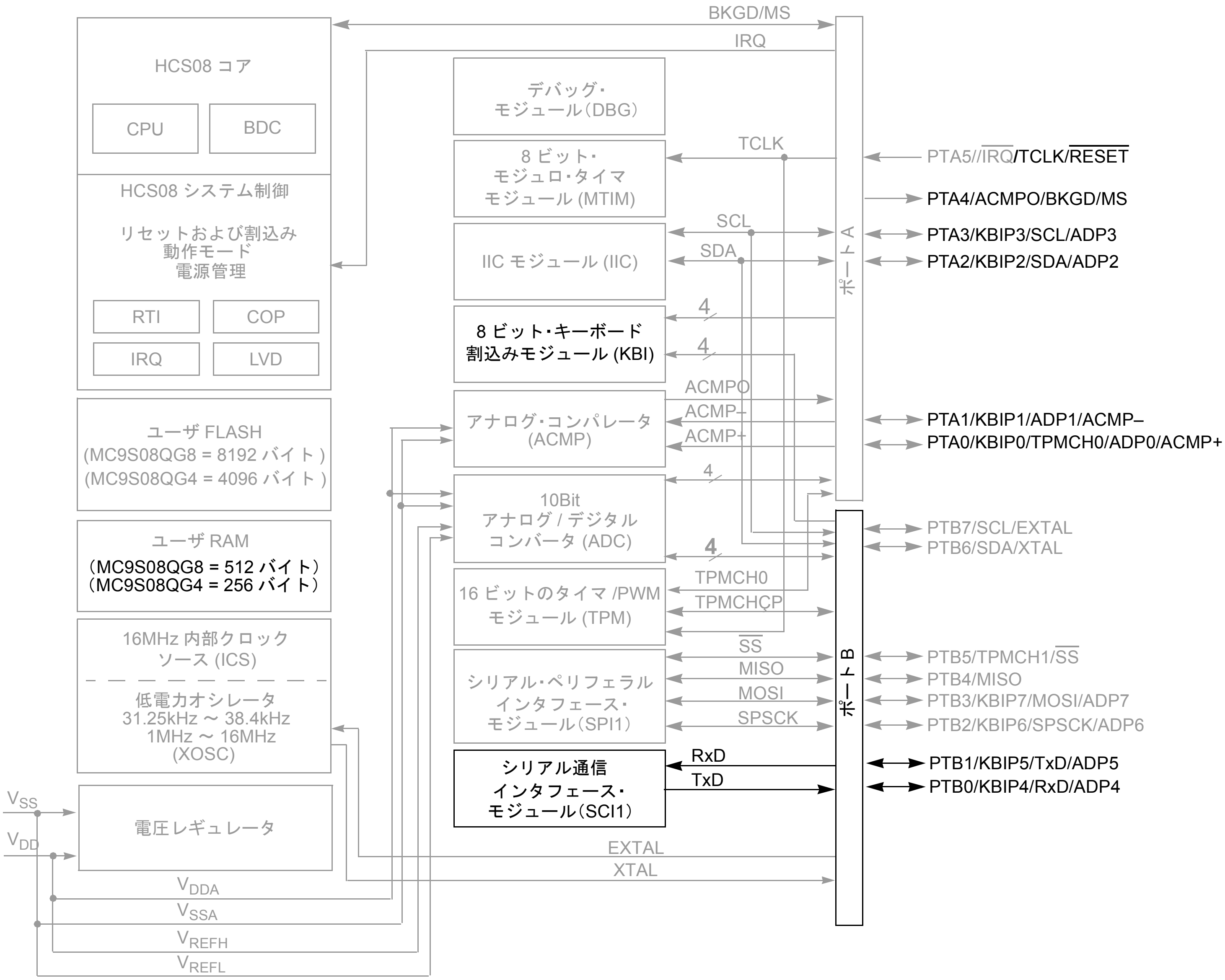
図 13-7. MTIM カウンタ・オーバフローの例

図 13-7 の例では、選択されたクロック・ソースは 5 つのうちから選んだ 1 つとします。プリスケーラは PS = %0010（4 分周）とします。MTIMMOD レジスタのモジュロ値は 0xAA とします。MTIMCNT（カウンタ）は、モジュロ値の 0xAA に到達すると、オーバフローして 0x00 となり、カウントを継続します。タイマ・オーバフロー・フラグである TOF は、タイマ値が 0xAA から 0x00 へ変化するとセットされます。TOF がセットされると、TOIE = 1 であるなら、MTIM オーバフロー割込みが発生します。

第 14 章
シリアル通信インタフェース（S08SCIV3）

14.1　はじめに

図 14-1 に、SCI をわかりやすくした MC9S08QG8/4 のブロック図を示します。



注意

1. デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。
2. 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。
3. ポート・ピンはソフトウェアによる出力ドライブ強度の設定が可能です。
4. ポート・ピンはソフトウェアによる出力スルー・レート制御の設定が可能です。
5. PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定 (IRQPDD) が可能なプルアップ / プルダウン・デバイスを内蔵します。
6. PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、$\overline{\text{RESET}}$ はプルアップ・デバイスを内蔵します。
7. BKGD がイネーブル (BKGDPE = 1) なら、PTA4 はプルアップデバイスを内蔵します。
8. SDA および SCL ピンの位置は、ソフトウェア制御（IICPS）によって変更可能で、デフォルトでは PTA2 と PTA3 です。
9. ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定されている場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 14-1. MC9S08QG8/4 のブロック図における SCI ブロックおよびピンの位置付け

モジュールの初期化

ライト：	SCIBDH:SCIBDL	設定対象：	ボーレート
ライト：	SCFC1	設定対象：	シングルワイヤ /2 ワイヤ、9/8 ビット・データ、パリティ（使用する場合）。
ライト：	SCIC2	設定対象：	各種割込み、レシーバ / トランスミッタのイネーブル、レシーバ・ウェイクアップのイネーブル (RWU ビット)、ブレーク・キャラクタの送信 (SBK ビット)
ライト：	SCIC3	イネーブルの対象：	各種エラー割込みソース。シングルワイヤ・モードでのピンのデータ方向の制御。R8 ビットと T8 ビット（9 ビット・データ・モードでのみ使用。

モジュールの使用：

TDRE がセットされるのを待ってから、データを SCID へライトする

RDRF がセットされるのを待ってから、SCID からのデータをリードする

アプリケーションによっては、RWU ビット (自動レシーバ・ウェイクアップ制御)、SBK ビット (ブレーク・キャラクタ送出)、R8 ビット /T8 ビット (9 ビット・データ用) を使用する。

SCIBDH				SBR12	SBR11	SBR10	SBR9	SBR8
SCIBDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0

ボーレート = BUSCLK / (16 x SBR12:SBR0)

SCIC1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT

モジュール設定

SCIC2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK

各種ローカル割込みイネーブル､Tx/Rx イネーブル

Rx ウェイクアップとブレーク送信（RWU、SBK）

SCIC1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF

各種割込みフラグ（TDRE～IDLE）　Rx エラー･フラグ（OR～PF）

SCIC2						BRK13		RAF

LIN サポート･オプション設定とレシーバ処理監視

SCIC3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE

9 番目のデータ･ビット（R8、T8）

Rx/Tx ピン方向（シングルワイヤ･モード）（TXDIR）

Tx データ･パス極性（TXINV）

ローカル割込みのイネーブル（ORIE～PEIE）

SCIID	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0

リード: Rx データ､ライト: Tx データ

図 14-2. SCI モジュールのクイック・スタート

14.1.1 主な特長

SCI モジュールの主な特長は以下の通りです。

- 全二重の標準的な非ゼロ復帰（NRZ）形式
- 個別のイネーブルが可能なダブル・バッファ型トランスミッタおよびレシーバ
- 可変のボーレート（13 ビット・モジュロ分周）
- 割込みまたはポーリング動作：
  - — 送信データ・レジスタのエンプティおよび送信完了
  - — 受信データ・レジスタ・フル
  - — 受信オーバラン、パリティ・エラー、フレーミング・エラー、ノイズ・エラー
  - — アイドル・レシーバの検出
- ハードウェアによるパリティの生成とチェック
- 8 ビットまたは 9 ビットの可変キャラクタ長
- アイドルラインまたはアドレスマークによるレシーバのウェイクアップ
- 13 ビット・ブレーク・キャラクタの生成 /11 ビット・ブレーク・キャラクタの検出（オプション）
- トランスミッタ出力の極性を選択可

14.1.2 動作モード

以下の各モードでの SCI の動作については、「14.3 機能の説明」を参照してください。

- 8 ビットおよび 9 ビットのデータ・モード
- ストップ・モードの動作
- ループ・モード
- シングルワイヤ・モード

14.1.3 ブロック図

図 14-3 に、SCI のトランスミッタ部分を示します。

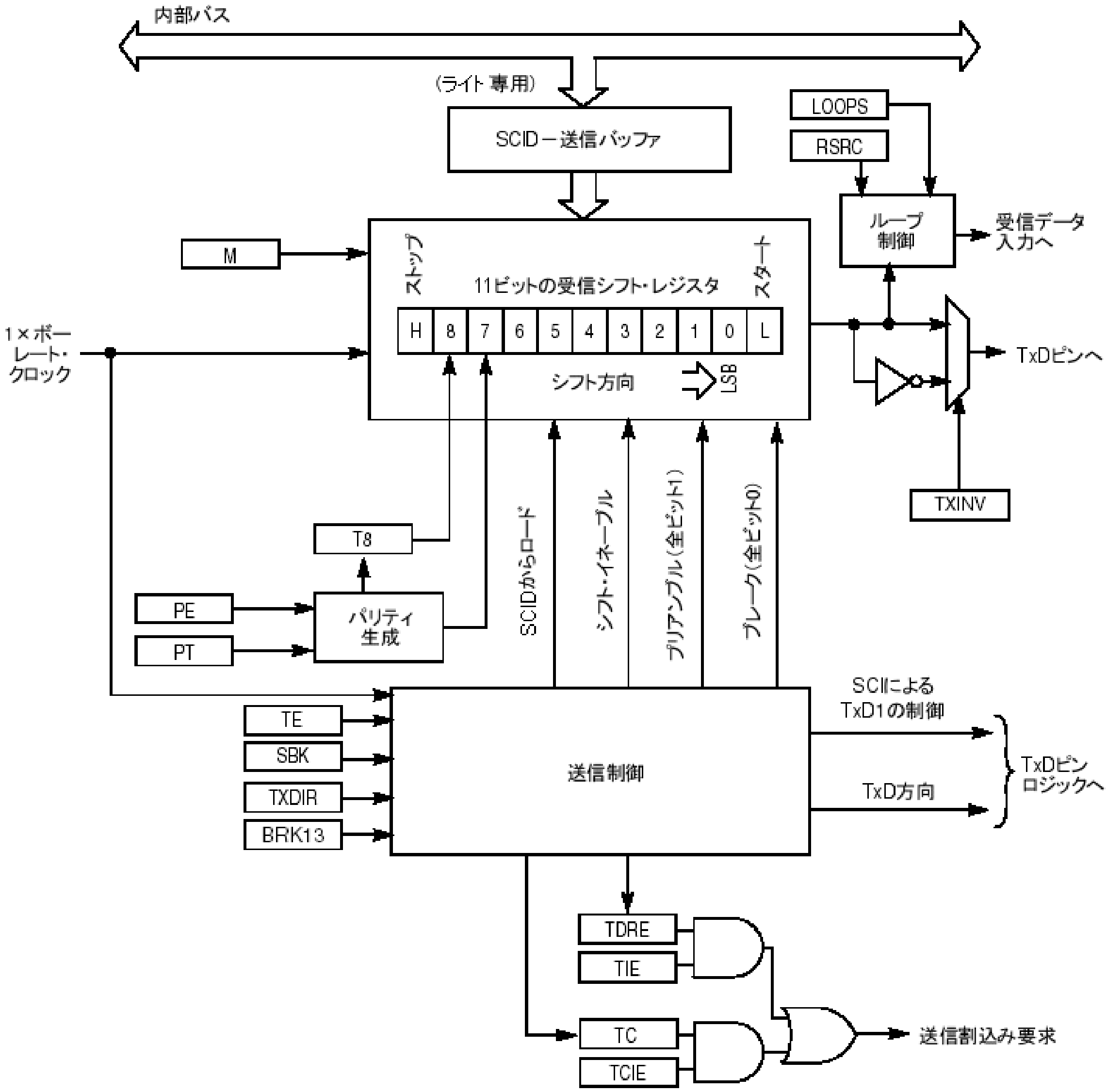


図 14-3. SCI トランスミッタのブロック図

図 14-4 に、SCI のレシーバ部分を示します。

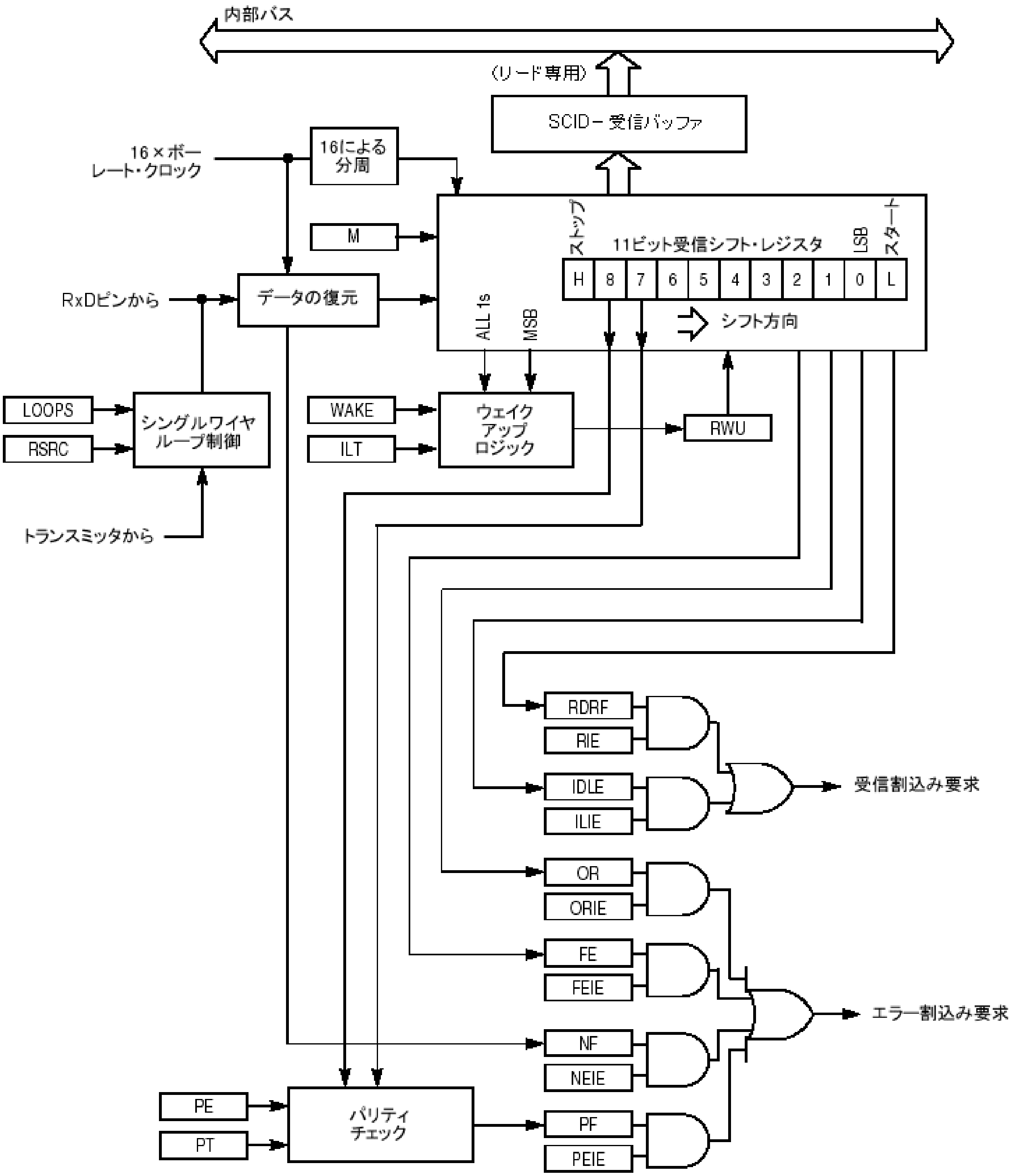


図 14-4. SCI レシーバのブロック図

14.2 レジスタ定義

SCI には、ボーレートの制御、SCI オプションの選択、SCI ステータスの通知、およびデータの送受信に使用する 8 個の 8 ビット・レジスタがあります。

SCI のすべてのレジスタに対する絶対アドレスの割り当てについては、「第 4 章 メモリマップとレジスタ定義」の「表 4-2. ダイレクトページ・レジスタ一覧」を参照してください。本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケールが提供する EQU ファイルまたはヘッダ・ファイルに基づいて該当する絶対アドレスに変換されます。

14.2.1 SCI ボーレート・レジスタ（SCIxBDH、SCIxBHL）

このレジスタ・ペアは、SCI のボーレート生成のための分周値を制御します。13 ビットのボーレート設定（SBR12:SBR0）を更新するには、まず SCIxBDH に新しい値の上位半分をライトしてから、SCIxBDL にライトします。SCIxBDH の内容は、SCIxBDL にライトするまでは変化しません。

SCIxBDL は、リセットするとゼロ以外の値になるため、リセット後のボーレート・ジェネレータはレシーバかトランスミッタを初めてイネーブルにする（SCIxC2 の RE または TE ビットに 1 をライトする）まではディセーブルのままです。

	7	6	5	4	3	2	1	0
R	0	0	0	SBR12	SBR11	SBR10	SBR9	SBR8
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 14-5. SCI ボーレート・レジスタ（SCIxBDH）

表 14-1. SCIxBDH のフィールド説明

フィールド	説明
4:0 SBR[12:8]	**ボーレート・モジュロ分周値** - これらの 13 ビットは、SCI ボーレート・ジェネレータのモジュロ分周値を設定します。SBR[12:0] の 13 ビットをまとめて BR と呼びます。BR = 0 なら SCI ボーレート・ジェネレータはディセーブルで、供給電流は減少します。BR = 1 ～ 8191 なら、SCI ボーレートは BUSCLK/(16ξBR) で求められます。BR ビットについては表 14-2 でも説明しています。

	7	6	5	4	3	2	1	0
R W	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
リセット	0	0	0	0	0	1	0	0

図 14-6. SCI ボーレート・レジスタ（SCIxBDL）

表 14-2. SCIxBDL のフィールド説明

フィールド	説明
7:0 SBR[7:0]	**ボーレート・モジュロ分周値** - これらの 13 ビットは、SCI ボーレート・ジェネレータのモジュロ分周値を設定します。SBR[12:0] の 13 ビットをまとめて BR と呼びます。BR = 0 なら SCI ボーレート・ジェネレータはディセーブルで、供給電流は減少します。BR = 1 〜 8191 なら、SCI ボーレートは BUSCLK/(16 × BR) で求められます。BR ビットについては表 14-1 でも説明しています。

14.2.2 SCI 制御レジスタ 1（SCIxC1）

このリード / ライト・レジスタは、SCI システムのさまざまなオプション機能の制御に使用します。

	7	6	5	4	3	2	1	0
R W	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
リセット	0	0	0	0	0	0	0	0

図 14-7. SCI制御レジスタ 1（SCIxC1）

表 14-3. SCIxC1 のフィールド説明

フィールド	説明
7 LOOPS	**ループ・モード選択** ― ループバック・モードまたは通常の 2 ピン全二重モードを選択します。LOOPS = 1 なら、トランスミッタ出力は内部でレシーバ入力に接続されます。 0 通常動作。RxD と TxD で別のピンが使用されます。 1 ループ・モードまたはシングルワイヤ・モードで、トランスミッタ出力は内部でレシーバ入力に接続されます (RSRC ビットを参照してください)。SCI は RxD ピンを使用しません。
6 SCISWAI	**ウェイト・モードでの SCI の停止** 0 ウェイト・モードでも SCI のクロックは実行を継続します。SCI は、CPU をウェイクアップする割込みのソースの 1 つになります。 1 CPU がウェイト・モードなら SCI のクロックは停止します。
5 RSRC	**レシーバのソース選択** ― このビットは、LOOPS = 1 にセットされていなければ意味がなく効果はありません。LOOPS = 1 なら、レシーバ入力は内部で TxD ピンに接続され、トランスミッタ出力まで接続されるかどうかは RSRC で決まります。 0 LOOPS = 1 なら、RSRC = 0 で内部ループバック・モードが選択され、SCI は RxD ピンを使用しません。 1 シングルワイヤ SCI モードで、TxD ピンはトランスミッタ出力およびレシーバ入力に接続されます。
4 M	**9 ビットまたは 8 ビット・モードの選択** 0 スタート・ビット＋ 8 データ・ビット（LSB ビットが先頭）＋ストップ・ビットの通常のデータ・キャラクタを使用します。 1 レシーバおよびトランスミッタは、スタート・ビット＋ 8 データ・ビット（LSB ビットが先頭）＋ 9 番目のデータ・ビット＋ストップ・ビットの 9 ビット・データ・キャラクタを使用します。
3 WAKE	**レシーバ・ウェイクアップ方式の選択** ― 詳細については「14.3.3.2 レシーバ・ウェイクアップの処理」を参照してください。 0 アイドルライン・ウェイクアップ。 1 アドレスマーク・ウェイクアップ。
2 ILT	**アイドルライン・タイプの選択** ― このビットを 1 にセットすると、アイドルライン検出ロジックはキャラクタ末尾のストップ・ビットと論理 1 のビットを、論理 High レベルの 10 または 11 ビット・タイムとしてカウントしません。詳細については「14.3.3.2.1 アイドルライン・ウェイクアップ」の項を参照してください。 0 アイドル・キャラクタのビットのカウントをスタート・ビットの後から開始します。 1 アイドル・キャラクタのビットのカウントをストップ・ビットの後から開始します。

表 14-3. SCIxC1 のフィールド説明（続き）

フィールド	説明
1 PE	**パリティ・イネーブル** — ハードウェアによるパリティの生成とチェックをイネーブルにします。パリティがイネーブルなら、データ・キャラクタの最上位ビット（8 番目または 9 番目のデータ・ビット）がパリティ・ビットとして扱われます。 0 ハードウェアによるパリティの生成またはチェックはありません。 1 パリティはイネーブルです。
0 PT	**パリティ・タイプ** — このビットは、パリティがイネーブルである場合（PE = 1）に偶数パリティまたは奇数パリティを選択します。奇数パリティとは、パリティ・ビットを含むデータ・キャラクタ内の論理 1 の個数が奇数になることを言います。偶数パリティとは、パリティ・ビットを含むデータ・キャラクタ内の論理 1 の個数が偶数になることを言います。 0 偶数パリティ。 1 奇数パリティ。

14.2.3 SCI 制御レジスタ 2（SCIxC2）

このレジスタは、任意にリードまたはライトできます。

	7	6	5	4	3	2	1	0
R W	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
リセット	0	0	0	0	0	0	0	0

図 14-8. SCI 制御レジスタ 2（SCIxC2）

表 14-4. SCIxC2 のフィールド説明

フィールド	説明
7 TIE	**送信割込みイネーブル（TDRE 用）** 0 TDRE からのハードウェア割込みはディセーブルです (ポーリングを使用します)。 1 TDRE フラグが 1 ならハードウェア割込みが要求されます。
6 TCIE	**送信完了割込みイネーブル（TC 用）** 0 TC からのハードウェア割込みはディセーブルです（ポーリングを使用します）。 1 TC フラグが 1 ならハードウェア割込みが要求されます。
5 RIE	**レシーバ割込みイネーブル（RDRF 用）** 0 RDRF からのハードウェア割込みはディセーブルです (ポーリングを使用します)。 1 RDRF フラグが 1 ならハードウェア割込みが要求されます。
4 ILIE	**アイドルライン割込みイネーブル（IDLE 用）** 0 IDLE からのハードウェア割込みはディセーブルです（ポーリングを使用します）。 1 IDLE フラグが 1 ならハードウェア割込みが要求されます。
3 TE	**トランスミッタ・イネーブル** 0 トランスミッタはオフ。 1 トランスミッタはオン。 SCI のトランスミッタを使用するには、TE を 1 にする必要があります。通常は、TE = 1 なら SCI は TxD1 ピンを SCI システムの出力として使用します。ただし、LOOPS = 1 で RSRC = 0 なら、TE = 1 でも TxD ピンはポート B の汎用 I/O ピンに戻ります。 SCI がシングルワイヤ動作に設定されている場合（LOOPS = RSRC = 1）、単独の SCI 通信ライン（TxD ピン）のトラフィック方向は TXDIR で決まります。 TE は、送信の処理中に TE = 0 をライトした後で TE = 1 をライトすると、アイドル・キャラクタのキュー登録にも使用できます。詳細については「14.3.2.1 ブレークの送信およびアイドルのキュー処理」を参照してください。 TE に 0 がライトされていれば、データ、キュー内のアイドル・キャラクタ、またはキュー内のブレーク・キャラクタの送信が完了するまではトランスミッタがポート TxD ピンを制御します。その後で、ピンは汎用 I/O ピンに戻ります。
2 RE	**レシーバ・イネーブル** - SCI レシーバがオフなら、RxD ピンは汎用ポート I/O ピンに戻ります。 0 レシーバはオフ。 1 レシーバはオン。

表 14-4. SCIxC2 のフィールド説明（続き）

フィールド	説明
1 RWU	**レシーバ・ウェイクアップ制御** ― このビットに 1 をライトすると、SCI レシーバはスタンバイ状態に移行して、選択されたウェイクアップ条件のハードウェアによる自動検出を待ちます。ウェイクアップ条件は、メッセージ間のアイドルライン（WAKE = 0 でアイドルライン・ウェイクアップ）またはキャラクタの最上位データ・ビットの論理 1 です（WAKE = 1 でアドレスマーク・ウェイクアップ）。RWU は、アプリケーション・ソフトウェアがセットして、通常は選択されたハードウェア条件により自動的にクリアされます。詳細については「14.3.3.2 レシーバ・ウェイクアップの処理」を参照してください。 0 SCI レシーバは通常どおりに動作します。 1 SCI レシーバはスタンバイ状態でウェイクアップ条件を待ちます。
0 SBK	**ブレークの送信** ― SBK に 1 をライトしてから 0 をライトすると、送信データ・ストリームのキューにブレーク・キャラクタが登録されます。SBK = 1 を維持すれば、10 または 11 ビット・タイムの論理 0 からなるブレーク・キャラクタがさらにキューに登録されます。送信状態と SBK のセットとクリアをするタイミングによっては、ソフトウェアで SBK をクリアする前に 2 個目のブレーク・キャラクタがキューに登録されることがあります。詳細については「14.3.2.1 ブレークの送信およびアイドルのキュー処理」を参照してください。 0 トランスミッタは通常どおりに動作します。 1 送出するブレーク・キャラクタをキューに登録します。

14.2.4 SCI ステータス・レジスタ 1（SCIxS1）

このレジスタには、8 個のリード専用のステータス・フラグがあります。ライトしてもビットは変化しません。これらのステータス・フラグをクリアするには、専用の（レジスタへのライトを行わない）ソフトウェア・シーケンスを使用します。

	7	6	5	4	3	2	1	0
R	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
W								
リセット	1	1	0	0	0	0	0	0

= 未実装または予約済み

図 14-9. SCI ステータス・レジスタ 1（SCIxS1）

表 14-5. SCIxS1 のフィールド説明

フィールド	説明
7 TDRE	**送信データ・レジスタ・エンプティ・フラグ** ― TDRE は、リセットの後で、および送信データが送信データ・バッファから送信シフタに転送されてバッファ内に次のキャラクタの空き領域が生じるとセットされます。TDRE をクリアするには、TDRE = 1 のときに SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）へのライトを行います。 0 送信データ・レジスタ（バッファ）はフルです。 1 送信データ・レジスタ（バッファ）はエンプティ（空き）です。
6 TC	**送信完了フラグ** ― TC は、リセットの後で、および TDRE = 1 のときに送信中のデータ、プリアンブル、またはブレーク・キャラクタがないときにセットされます。 0 トランスミッタは処理中です（データ、プリアンブル、またはブレークを送信中です）。 1 トランスミッタはアイドルです（送信処理は完了しています）。 TC は、TC = 1 のときに SCIxS1 をリードして以下のいずれかの処理を実行するとクリアされます。 • SCI データ・レジスタ（SCIxD）にライトして次のデータを送信する。 • TE を 0 から 1 に変更してプリアンブルをキューに入れる。 • SCIxC2 の SBK に 1 をライトしてブレーク・キャラクタをキューに入れる。
5 RDRF	**受信データ・レジスタ・フル・フラグ** ― RDRF は、キャラクタが受信シフタから受信データ・レジスタ（SCIxD）に転送されるとセットされます。RDRF をクリアするには、RDRF = 1 のときに SCIS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。 0 受信データ・レジスタはエンプティ（空き）です。 1 受信データ・レジスタはフルです。

表 14-5. SCIxS1 のフィールド説明（続き）

フィールド	説明
4 IDLE	**アイドル・ライン・フラグ** — IDLE は、処理を終えた後で SCI 受信ラインがフル・キャラクタ・タイムの期間でアイドルになるとセットされます。ILT = 0 なら、レシーバはスタート・ビットの後からアイドル・ビットのカウントを開始します。受信キャラクタの全ビットが 1 の場合にレシーバがアイドルラインを検出するには、これらのビット・タイムとストップ・ビットのタイム・カウントを論理 High のフル・キャラクタ・タイム（M 制御ビットに応じて 10 または 11 ビット・タイム）でカウントする必要があります。ILT = 1 なら、レシーバはストップ・ビットの後からアイドル・ビットのカウントを開始します。そのため、レシーバがアイドルラインを検出する場合に、直前のキャラクタの末尾のストップ・ビットおよび論理 High のビット・タイムを、論理 High のフル・キャラクタ・タイムとしてカウントする必要はありません。 IDLE をクリアするには、IDLE = 1 のときに SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。一度 IDLE がクリアされると、新しいキャラクタの受信で RDRF がセットされるまでは再びセットされることはありません。受信ラインのアイドル状態が長引く場合でも、IDLE がセットされるのは 1 回だけです。 0 アイドルラインは検出されていません。 1 アイドルラインが検出されました。
3 OR	**レシーバ・オーバラン・フラグ** — OR は、新しいシリアル・キャラクタを受信データ・レジスタ（バッファ）に転送する準備が整っている場合に、すでに受信済みのキャラクタがまだ SCIxD からリードされていないとセットされます。このケースでは、新しいキャラクタ（および関連するすべてのエラー情報）は SCIxD に空き領域がないという理由で失われます。OR をクリアするには、OR = 1 のときに SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。 0 オーバランはありません。 1 受信オーバランです（新しい SCI データは失われます）。
2 NF	**ノイズ・フラグ** — レシーバは、高度なサンプリング技法を使用してスタート・ビットで 7 個のサンプル、各データ・ビットとストップ・ビットでは各 3 個のサンプルを取得します。これらのサンプルのいずれかが、フレームのビット・タイム内の他のサンプルと一致しない場合に、キャラクタの RDRF フラグがセットされるのと同時に NF フラグがセットされます。NF をクリアするには、SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。 0 ノイズは検出されていません。 1 SCIxD の受信キャラクタでノイズが検出されました。
1 FE	**フレーミング・エラー・フラグ** — FE は、レシーバがストップ・ビットの位置で論理 0 を検出した場合に、RDRF と同時にセットされます。このビットは、レシーバとキャラクタ・フレームが正しく整列していない可能性を示します。FE をクリアするには、FE = 1 のときに SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。 0 フレーミング・エラーは検出されていません。ただし、フレーミングが正しいことは保証されません。 1 フレーミング・エラーです。
0 PF	**パリティ・エラー・フラグ** — PF は、パリティがイネーブル（PE = 1）のときに受信キャラクタのパリティ・ビットと予想されるパリティ値が一致しない場合に、RDRF と同時にセットされます。PF をクリアするには、SCIxS1 をリードしてから SCI データ・レジスタ（SCIxD）をリードします。 0 パリティ・エラーはありません。 1 パリティ・エラーです。

14.2.5 SCI ステータス・レジスタ 2（SCIxS2）

このレジスタには、1 つのリード専用のステータス・フラグがあります。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	BRK13	0	RAF
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 14-10. SCI ステータス・レジスタ 2（SCIxS2）

表 14-6. SCIxS2 のフィールド説明

フィールド	説明
2 BRK13	**生成するブレーク・キャラクタの長さ** ― BRK13 は送出するブレーク・キャラクタの長さの選択に使用します。フレーミング・エラーの検出はこのビットによる影響を受けません。 0 送出されるブレーク・キャラクタの長さは 10 ビット・タイムです (M = 1 の場合、11 ビット・タイム)。 1 送出されるブレーク・キャラクタの長さは 13 ビット・タイムです (M = 1 の場合、14 ビット・タイム)。
0 RAF	**レシーバ・アクティブ・フラグ** ― RAF は、SCI レシーバが有効なスタート・ビットの開始を検出するとセットされ、レシーバがアイドルラインを検出すると自動的にクリアされます。このステータス・フラグは、MCU をストップ・モードに移行する前に、SCI キャラクタの受信中かどうかを確認するのに使用できます。 0 SCI レシーバはアイドルでスタート・ビットを待機中です。 1 SCI レシーバは処理中です（RxD 入力はアイドルではありません）。

14.2.6 SCI 制御レジスタ 3（SCIxC3）

	7	6	5	4	3	2	1	0
R	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 14-11. SCI 制御レジスタ 3（SCIxC3）

表 14-7. SCIxC3 のフィールド説明

フィールド	説明
7 R8	**レシーバの 9 番目のデータ・ビット**― SCI を 9 ビット・データ・モードに設定していれば（M = 1）、R8 は SCIxD レジスタにあるデータの最上位ビットの左に位置する 9 番目の受信データ・ビットと見なされます。9 ビット・データのリードでは、SCID の前に R8 を読み取る必要があります。これは、SCIxD をリードすることで自動フラグ・クリア・シーケンスが完了するために、R8 と SCIxD が新しいデータで上書きされる可能性があるためです。
6 T8	**トランスミッタの 9 番目のデータ・ビット**― SCI を 9 ビット・データ・モードに設定していれば（M = 1）、T8 は SCIxD レジスタにあるデータの最上位ビットの左に位置する 9 番目の受信データ・ビットと見なされます。9 ビット・データのライトでは、SCIxD がライトされた後で 9 ビット値の全体が SCI シフト・レジスタに転送されます。そのため、T8 を前回とは異なる値に変更する場合は、SCIxD の前に T8 にライトする必要があります。T8 を新しい値に変更する必要がなければ（マークの生成やパリティにスペースを設定する場合など）、SCIxD のライトのたびに T8 にライトする必要はありません。
5 TXDIR	**シングルワイヤ・モードでの TxD ピンのデータ方向**―このビットは、SCI をシングルワイヤの半二重動作に設定している場合に（LOOPS = RSRC = 1）、TxD1 ピンのデータ方向を決定します。 0 TxD ピンは、シングルワイヤ・モードでは入力です。 1 TxD ピンは、シングルワイヤ・モードでは出力です。
4 TXINV[1]	**送信データの反転** ― このビットをセットすると送信データの出力の極性を変更します。 0 送信データは反転されません。 1 送信データを反転。
3 ORIE	**オーバラン割込みイネーブル** ― このビットは、ハードウェア割込み要求を生成するオーバラン・フラグ（OR）をイネーブルにします。 0 OR 割込みはディセーブルです（ポーリングを使用します）。 1 OR = 1 ならハードウェア割込みが要求されています。
2 NEIE	**ノイズ・エラー割込みイネーブル** ―このビットは、ハードウェア割込み要求を生成するノイズ・フラグ（NF）をイネーブルにします。 0 NF 割込みはディセーブルです（ポーリングを使用します）。 1 NF = 1 ならハードウェア割込みが要求されています。

表 14-7. SCIxC3 のフィールド説明（続き）

フィールド	説明
1 FEIE	**フレーミング・エラー割込みイネーブル** — このビットは、ハードウェア割込み要求を生成するフレーミング・エラー・フラグ（FE）をイネーブルにします。 0 FE 割込みはディセーブルです（ポーリングを使用します）。 1 FE = 1 ならハードウェア割込みが要求されています。
0 PEIE	**パリティ・エラー割込みイネーブル** — このビットは、ハードウェア割込み要求を生成するパリティ・エラー・フラグ（PF）をイネーブルにします。 0 PF 割込みはディセーブルです（ポーリングを使用します）。 1 PF = 1 ならハードウェア割込みが要求されています。

[1] TXINV をセットすると次の場合に TxD の出力を反転します。データ・ビット、スタート / ストップ・ビット、ブレーク、アイドル。

14.2.7 SCI データ・レジスタ（SCIxD）

このレジスタは、実際には 2 つの部分に分かれています。リードを行うとリード専用の受信データ・バッファの内容が返され、ライトを行うとライト専用の送信データ・バッファがライトされます。このレジスタのリードおよびライトは、SCI ステータス・フラグの自動フラグ・クリア・メカニズムにも組み込まれています。

	7	6	5	4	3	2	1	0
R	R7	R6	R5	R4	R3	R2	R1	R0
W	T7	T6	T5	T4	T3	T2	T1	T0
リセット	0	0	0	0	0	0	0	0

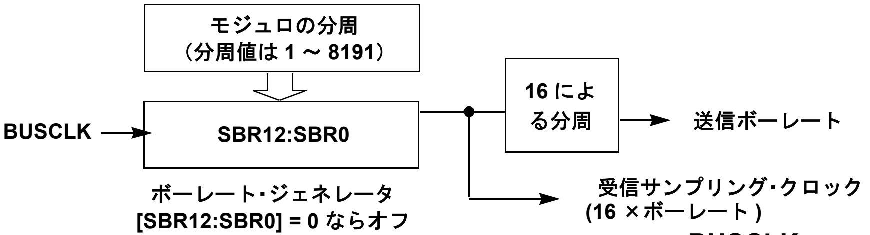
図 14-12. SCI データ・レジスタ（SCIxD）

14.3 機能の説明

SCI では、MCU と他の MCU を含むリモート・デバイスの間で、全二重、非同期、NRZ 方式のシリアル通信を行うことができます。SCI を構成するのは、ボーレート・ジェネレータおよびトランスミッタとレシーバのブロックです。トランスミッタとレシーバは、独立して動作しますがボーレート・ジェネレータは共通です。通常の動作では、MCU は SCI のステータスを監視しながら、送信するデータの書込みや受信するデータの処理をします。以降では、SCI の各ブロックについて説明します。

14.3.1 ボーレートの生成

図 14-13 に示すように、SCI ボーレート・ジェネレータのクロック・ソースはバスレート・クロックです。



$$ボーレート = \frac{BUSCLK}{[SBR12:SBR0] \times 16}$$

図 14-13. SCI ボーレートの生成

SCI の通信では、トランスミッタとレシーバ（通常は個別のクロック・ソースからボーレートを取得する）が同じボーレートを使用する必要があります。このボーレートの周波数の許容誤差は、レシーバがスタート・ビットのリーディング・エッジと同期をとる方法およびビット・サンプリングの方法により異なります。

MCU は、High から Low への遷移のたびにビット境界に対する再同期を行いますが、ワースト・ケースでは 10 ビットまたは 11 ビットのフル・タイムのキャラクタ・フレームで遷移が発生しない場合があり、ボーレートの不一致がキャラクタ・タイムの全体に累積されます。フリースケールの SCI システムは、バス周波数が水晶発振子でドライブされるようになっており、ボーレート不一致の許容範囲は 8 ビット・データ・フォーマットで約± 4.5%、9 ビット・データ・フォーマットで約± 4% です。ボーレートのモジュロ分周の設定では、標準レートと正確に一致するボーレートが常に生成されるとは限りませんが、通常はその 2 ～ 3 パーセントの範囲内に収めることが可能で、信頼性の高い通信を行うには十分です。

14.3.2 トランスミッタの機能

この項では、SCI トランスミッタの全体のブロック図を示し、ブレークとアイドルのキャラクタを送信するための専用機能について説明します。図 14-3 にブロック図を示します。

アイドル状態のトランスミッタ出力 (TxD) のデフォルトは論理 High です (リセット後に TXINV = 0)。トランスミッタ出力は TXINV=1 にセットすると反転されます。 トランスミッタをイネーブルにするには、SCIxC2 の TE ビットをセットします。この操作により、アイドル状態のキャラクタ・フレーム全体で構成されるプリアンブル・キャラクタがキューに接続されます。トランスミッタは、送信データ・バッファにデータが入るまでアイドル状態にとどまります。プログラムは、SCI データ・レジスタ（SCIxD）にライトして送信データ・バッファへのデータのストアを行います。

SCI トランスミッタの中核に位置するのは、M 制御ビットの設定により 10 ビットまたは 11 ビットの長さになる送信シフト・レジスタです。この項では、M = 0 で通常の 8 ビット・データ・モードを選択したものとして説明を続けます。8 ビット・データ・モードでは、シフト・レジスタの内容はスタート・ビット、8 個のデータ・ビット、そしてストップ・ビットです。送信シフト・レジスタに新しい SCI キャラクタを取り込める場合は、送信データ・レジスタで待機している値がシフト・レジスタに転送され（ボーレート・クロックと同期）、送信データ・レジスタ・エンプティ（TDRE）のステータス・フラグがセットされて、送信データ・バッファの SCIxD に次のキャラクタがライトできることが示されます。

ストップ・ビットが TxD ピンにシフトされた後で送信データ・バッファに待機中のキャラクタがなければ、トランスミッタは送信完了フラグをセットしてから TxD を High にしてアイドル・モードに入り、次のキャラクタの送信を待ちます。

TE に 0 をライトしても、そのピンが即座に汎用 I/O ピンの機能に戻るわけではありません。その前に、処理中のすべての送信を完了させる必要があります。送信の対象となるのは、処理中のデータ・キャラクタ、キューにあるアイドル・キャラクタ、およびキューにあるブレーク・キャラクタです。

14.3.2.1 ブレークの送信およびアイドルのキュー処理

SCIxC2 の SBK 制御ビットは、元々はかつて利用されていたテレタイプ・レシーバで使用するブレーク・キャラクタを送信するためのものです。ブレーク・キャラクタは、フル・キャラクタ・タイムの論理 0 で構成されます（スタート / ストップ・ビットを含む 10 ビット・タイム）。BRK13 = 1 に設定すると 13 ビット・タイムのブレーク・キャラクタがイネーブルされます。通常は、プログラムはメッセージの最終キャラクタが送信シフタに転送されたことを指示する TDRE がセットされるのを待ってから、SBK ビットに 1 をライトし、さらにその後で 0 をライトします。この操作により、ブレーク・キャラクタがキューに登録され、シフタが使用可能になればただちに送信されます。キューにあるブレーク・キャラクタが（ボーレート・クロックに同期して）シフタに移された後でも SBK が 1 のままなら、ブレーク・キャラクタがもう一度キューに登録されます。受信側のデバイスもフリースケールの SCI なら、8 個のデータ・ビットの全ビットが 0 で構成されるブレークキャラクタが受信されフレーミング・エラー（FE = 1）が発生します。

アイドルラインのウェイクアップを使用する場合は、スリープしているレシーバをウェイクアップさせるために、メッセージ間にフル・キャラクタ・タイムのアイドル（論理 1）が必要です。通常は、プログラムはメッセージの最終キャラクタが送信シフタに転送されたことを指示する TDRE がセットされるのを待ってから、TE ビットに 0 をライトし、さらにその後で 1 をライトします。この操作により、アイドル・キャラクタがキューに登録され、シフタが使用可能になればただちに送信されます。シフタにあるキャラクタの処理が TE = 0 の間に完了しなければ、SCI のトランスミッタは TxD ピンの制御を解放しません。TE = 0 の間にシフタが処理を完了する可能性がある場合は、TxD と共有されるピ

ンが論理 1 をドライブする出力 となるように、汎用 I/O の制御を設定する必要があります。これにより、SCI が TE に 0 をライトしてから 1 をライトするまでの間にポート・ピンの制御を失う場合でも、TxD1 ラインを通常のアイドルラインのように扱うことができます。

ブレーク・キャラクタの長さと、BRK13 ビットおよび M ビットの値を以下に示します。

表 14-8. ブレーク・キャラクタの長さ

BRK13	M	ブレーク・キャラクタの長さ
0	0	10 ビット・タイム
0	1	11 ビット・タイム
1	0	13 ビット・タイム
1	1	14 ビット・タイム

14.3.3 レシーバの機能

この項では、レシーバのブロック図（図 14-4）を示し、それに基づいてレシーバの全体の機能を説明します。その後で、受信データを再構成するためのデータ・サンプリングについて詳しく解説し、最後に 2 つのレシーバ・ウェイクアップ機能について説明します。

レシーバ入力は RXINV=1 にセットすると反転されます。 レシーバをイネーブルにするには、SCIxC2 の RE ビットをセットします。キャラクタ・フレームの構成は、論理 0 のスタート・ビット、8 個（または 9 個）のデータ・ビット（LSB が先頭）、および論理 1 のストップ・ビットです。9 ビット・データ・モードについては、「• 8 ビットおよび 9 ビットのデータ・モード」の項を参照してください。以後の説明では、SCI の設定は通常の 8 ビット・データ・モードであるものとします。

ストップ・ビットを受信シフタで受信したときに受信データ・レジスタがフルでなければ、データ・キャラクタは受信データ・レジスタに転送され、受信データ・レジスタ・フル（RDRF）のステータス・フラグがセットされます。受信データ・レジスタ（バッファ）がフルであることを示す RDRF がすでにセットされていれば、オーバラン（OR）のステータス・フラグがセットされ、新しいデータは失われます。SCI レシーバはダブル・バッファを備えているため、RDRF がセットされてからレシーバのオーバランを回避するために受信データ・バッファのデータをプログラムでリードするまでに、1 フル・キャラクタ・タイムの余裕があります。

プログラムは、受信データ・レジスタがフルである（RDRF = 1）ことを検出したときに、SCIxD をリードして受信データ・レジスタのデータを取得します。RDRF フラグは、通常は受信データを扱うユーザ・プログラムの中で実行される 2 ステップのシーケンスで自動的にクリアされます。フラグのクリア処理の詳細については、「14.3.4 割込みおよびステータスのフラグ」の項を参照してください。

14.3.3.1 データ・サンプリングの技法

SCI レシーバは、ボーレート・クロックの 16 倍のタイミングでサンプリングを行います。レシーバは、まずボーレートの 16 倍で論理レベルのサンプリングを行い、RxD シリアル・データ入力ピンの立ち下がりエッジを探します。立ち下がりエッジは、論理 1 が 3 つ続いた後の論理 0 のサンプリングとして定義されます。ビット・タイムは、16 倍のボーレート・クロックに基づいて RT1 ～ RT16 のラベルが付けられた 16 のセグメントに分割されます。立ち下がりエッジが見つかった場合、それがノイズではなく正しいスタート・ビットであることが確認するために、以後の RT3、RT5、および RT7 でさらに 3 つのサンプルが取り込まれます。この 3 つのサンプルの 2 つ以上が 0 なら、レシーバは受信キャラクタと同期したと見なします。

レシーバは、次に RT8、RT9、および RT10 でスタート・ビットとストップ・ビットを含む各ビット・タイムをサンプリングして、ビットの論理レベルを判別します。論理レベルは、ビット・タイムで取り込まれたサンプルの多数値に基づいて解釈されます。スタート・ビットの場合は、RT3、RT5、および RT7 の 2 つ以上が 0 であれば、RT8、RT9、および RT10 の 1 つまたはすべてが 1 であっても、ビットは 0 であると見なされます。キャラクタ・フレームの任意のビット・タイム（スタート・ビットとストップ・ビットを含む）3 つのサンプル値が一致しなかった場合、受信キャラクタが受信データ・バッファに転送される際にノイズ・フラグ（NF）がセットされます。

立ち下がりエッジを検出するロジックは、立ち下がりエッジを継続的に検索します。そして、エッジが検出されるとサンプル・クロックとビット・タイムの再同期が行われます。この操作により、ノイズやボーレートの不一致が存在する場合でもレシーバの信頼性が確保されます。ただし、一部のキャラクタはキャラクタ・フレーム内に余分な立ち下がりエッジを持たないため、ワースト・ケースの分析が改善されるわけではありません。

フレーミング・エラーの場合は、受信したキャラクタがブレーク・キャラクタでなければ、立ち下がりエッジを探すサンプリング・ロジックは 3 つの論理 1 のサンプルで満たされるために、次のスタート・ビットを即座に検出することができます。

フレーミング・エラーでは、レシーバはフレーミング・エラー・フラグがクリアされるまでは次のキャラクタの受信を禁じられます。受信シフト・レジスタは機能しますが、FE がセットされたままならキャラクタ全体を受信データ・バッファに転送することはできません。

14.3.3.2 レシーバ・ウェイクアップの処理

レシーバ・ウェイクアップは、SCI レシーバが別の SCI レシーバに宛てられたメッセージ中のキャラクタを無視できるようにする、ハードウェアのメカニズムです。こうしたシステムでは、すべてのレシーバは各メッセージの先頭キャラクタを評価して、他のレシーバ宛てのメッセージであると判断すると、ただちに SCIxC2 のレシーバ・ウェイクアップ（RWU）制御ビットに論理 1 をライトします。RWU ビットがセットされると、該当のレシーバに対応するステータス・フラグ (RWUID ビットがセットされているときの IDLE ビットを除く) のセットは禁止されるので、不要なメッセージ・キャラクタを処理するソフトウェアのオーバヘッドが回避されます。すべてのレシーバは、メッセージの末尾または次のメッセージの先頭で自動的に RWU を 0 にクリアして、他のレシーバがウェイクアップして次のメッセージの先頭キャラクタを評価できるようにします。

14.3.3.2.1 アイドルライン・ウェイクアップ

WAKE = 0 なら、レシーバはアイドルライン・ウェイクアップに設定されます。このモードでは、レシーバがアイドルライン・レベルでフル・キャラクタ・タイムを検出すると、RWU が自動的にクリアされます。フル・キャラクタ・タイムを構成するのに必要なアイドルのビット・タイム数を決定する 8 ビットまたは 9 ビットのデータ・モードの選択は、制御ビットの M で行います（スタートおよびストップ・ビットを加えると 10 または 11 のビット・タイムです）。

RWU が 1 の場合、レシーバをウェイクアップさせるアイドル・キャラクタではレシーバ・アイドル・ビット IDLE あるいは レシーブ・データ・レジスタ・フル・フラグ RDRF はセットされません。したがって、このアイドル・キャラクタでは割込みは発生しません。レシーバがウェイクアップし、次のデータ転送で RDRF がセットされ、割込みがイネーブルなら割込みが発生します。

アイドルラインを検出する方法はアイドルライン・タイプ（ILT）制御ビットで選択します。ILT = 0 なら、アイドル・ビット・カウンタはスタート・ビットの後で起動し、ストップ・ビットとキャラクタ末尾の論理 1 がアイドルのフル・キャラクタ・タイムとしてカウントされます。ILT = 1 なら、アイドル・ビットのカウントはストップ・ビット・タイムまでは起動されず、アイドルの検出は直前のメッセージの最終キャラクタのデータの影響を受けません。

14.3.3.2.2 アドレスマーク・ウェイクアップ

WAKE = 1 なら、レシーバはアドレスマーク・ウェイクアップに設定されます。このモードでは、レシーバが受信キャラクタの最上位ビット（M = 0 モードなら 8 番目のビット、M = 1 モードなら 9 番目のビット）で論理 1 を検出すると、RWU が自動的にクリアされます。

アドレスマーク・ウェイクアップでもメッセージにアイドル・キャラクタを格納できますが、最上位ビットはアドレス・フレーム用に予約済みでなければなりません。アドレス・フレームの最上位ビットが論理 1 なら、ストップ・ビットが受信される前に RWU ビットがクリアされ RDRF フラグがセットされます。

14.3.4 割込みおよびステータスのフラグ

SCI システムは、割込みの原因を特定するのに必要なソフトウェア量を減らすために、3 つの独立した割込みベクタを備えています。1 つ目の割込みベクタは、トランスミッタの TDRE と TC のイベントに対応します。2 つ目のベクタは、レシーバの RDRF、IDLE のイベントに対応します。3 つ目のベクタは、OR、NF、FE、および PF のエラー条件に用いられます。これらの 10 個の各割込みソースは、ローカル割込みイネーブル・マスクで個別にマスクすることが可能で

す。ローカル・マスクがクリアされてハードウェア割込み要求の生成がディセーブルの場合でも、これらのフラグはソフトウェアでポーリングできます。

SCI トランスミッタには、オプションによるハードウェア割込み要求の生成が可能な 2 つのステータス・フラグがあります。送信データ・レジスタ・エンプティ（TDRE）フラグは、送信データ・バッファに空きがあり、SCIxD に別の送信キャラクタをライトできることを示します。送信割込みイネーブル（TIE）ビットがセットされていれば、TDRE = 1 のときに常にハードウェア割込みが要求されます。送信完了（TC）フラグは、トランスミッタがすべてのデータ、プリアンブル、およびブレーク・キャラクタの送信を完了して、TxD が非アクティブでアイドル状態であることを示します。このフラグは、モデムを備えるシステムでモデムを安全にオフできるかどうかを判定するためにも使用されます。送信完了割込みイネーブル（TCIE）ビットがセットされていれば、TC = 1 のときに常にハードウェア割込みが要求されます。対応する TIE または TCIE のローカル割込みマスクが 0 なら、ハードウェア割込みの代わりにソフトウェアによるポーリングで TDRE と TC のステータス・フラグをモニタできます。

プログラムは、受信データ・レジスタがフル（RDRF = 1）であることを確認してから、SCIxD をリードして受信データ・レジスタからデータを取得します。RDRF = 1 であるときに SCIxS1 をリードし、次に SCIx をリードすると、RDRF フラグがクリアされます。

ポーリングを使用する場合は、このシーケンスはユーザ・プログラムの通常の処理の中で必ず実行されます。ハードウェア割込みを使用する場合は、割込みサービス・ルーチン（ISR）で SCIxS1 をリードする必要があります。一般的には、この処理は ISR による受信エラーのチェックの中で行われるので、シーケンスは自動的に実行されます。

IDLE ステータス・フラグには、RxD ラインのアイドル状態が長引く場合に、フラグのセットの繰り返しを回避するロジックが含まれています。IDLE は、IDLE = 1 のときに SCIxS1 をリードし、次に SCIxD をリードするとクリアされます。一度クリアされた IDLE は、レシーバが 1 つ以上の新しいキャラクタを受信して RDRF をセットするまでは、セットされることはありません。

RDRF がセットされる元となった受信キャラクタで関連するエラーが検出されると、ノイズ・フラグ（NF）、フレーミング・エラー（FE）、およびパリティ・エラー・フラグ（PF）の各エラー・フラグが RDRF と同時にセットされます。これらのフラグはオーバランではセットされません。

新しいキャラクタを受信シフタから受信データ・バッファに転送する準備が整っているときに、RDRF がすでにセットされていれば、オーバラン（OR）フラグがセットされてデータおよび関連する NF、FE、または PF の条件は失われます。

14.4　その他の SCI 機能

以下の各項では、SCI のその他の機能について説明します。

14.4.1　8 ビットおよび 9 ビットのデータ・モード

SCI システム（トランスミッタとレシーバ）は、SCIxC1 の M 制御ビットをセットすると 9 ビット・データ・モードで動作するように設定されます。9 ビット・モードでは、SCI データ・レジスタの最上位ビットの左に 9 番目のデータ・ビットが付加されます。このビットは、送信データ・バッファでは SCIxC3 の T8 にストアされます。レシーバでは、9 番目のビットが SCIxC3 の R8 に格納されます。

送信データ・バッファへのライトの整合性を保つため、T8 ビットへのライトは SCIxD へのライトの前に行ってください。

新しいキャラクタの 9 番目のビットとして送信するビット値が直前のキャラクタと同じである場合は、再び T8 にライトする必要はありません。データが送信データ・バッファから送信シフタに送られる際に、SCIxD からシフタへのデータの転送と同時に T8 の値がコピーされます。

通常は、9 ビット・データ・モードはパリティと組み合わせて使用されます。つまり、データ・ビットが 8 ビットで 9 番目のビットがパリティです。アドレスマーク・ウェイクアップで使用する場合は、9 番目のビットをウェイクアップ・ビットにすることができます。カスタム・プロトコルなら、9 番目のビットをソフトウェア制御のマーカとして利用することも可能です。

14.4.2 ストップ・モードの動作

SCI モジュールへのクロック供給は、どのストップ・モードでも停止します。

ストップ 1 およびストップ 2 モードでは、すべての SCI レジスタのデータが失われるので、これらのストップ・モードから復帰する際には再初期化が必要です。ストップ 3 モードでは、SCI モジュール・レジスタへの影響はありません。

ただし、ストップ 3 モードの場合でもクロック供給は停止するので、SCI モジュールはストップ・モードが終了した時点で動作を再開します。ソフトウェアは、SCI モジュールでキャラクタの送受信が行われている間は、ストップ・モードへの移行を防ぐ必要があります。

14.4.3 ループ・モード

LOOPS = 1 なら、ループ・モード（RSRC = 0）かシングルワイヤ・モード（RSRC = 1）かは同じレジスタの RSRC ビットで選択します。ループ・モードは、システムの問題を特定する必要がある場合に、外部システムと切り離した状態でソフトウェアをチェックするときなどに使用します。このモードでは、トランスミッタの出力が内部でレシーバの入力に接続されるため、RxD ピンは SCI で使用されずに汎用ポート I/O ピンの機能に戻ります。

14.4.4 シングルワイヤの動作

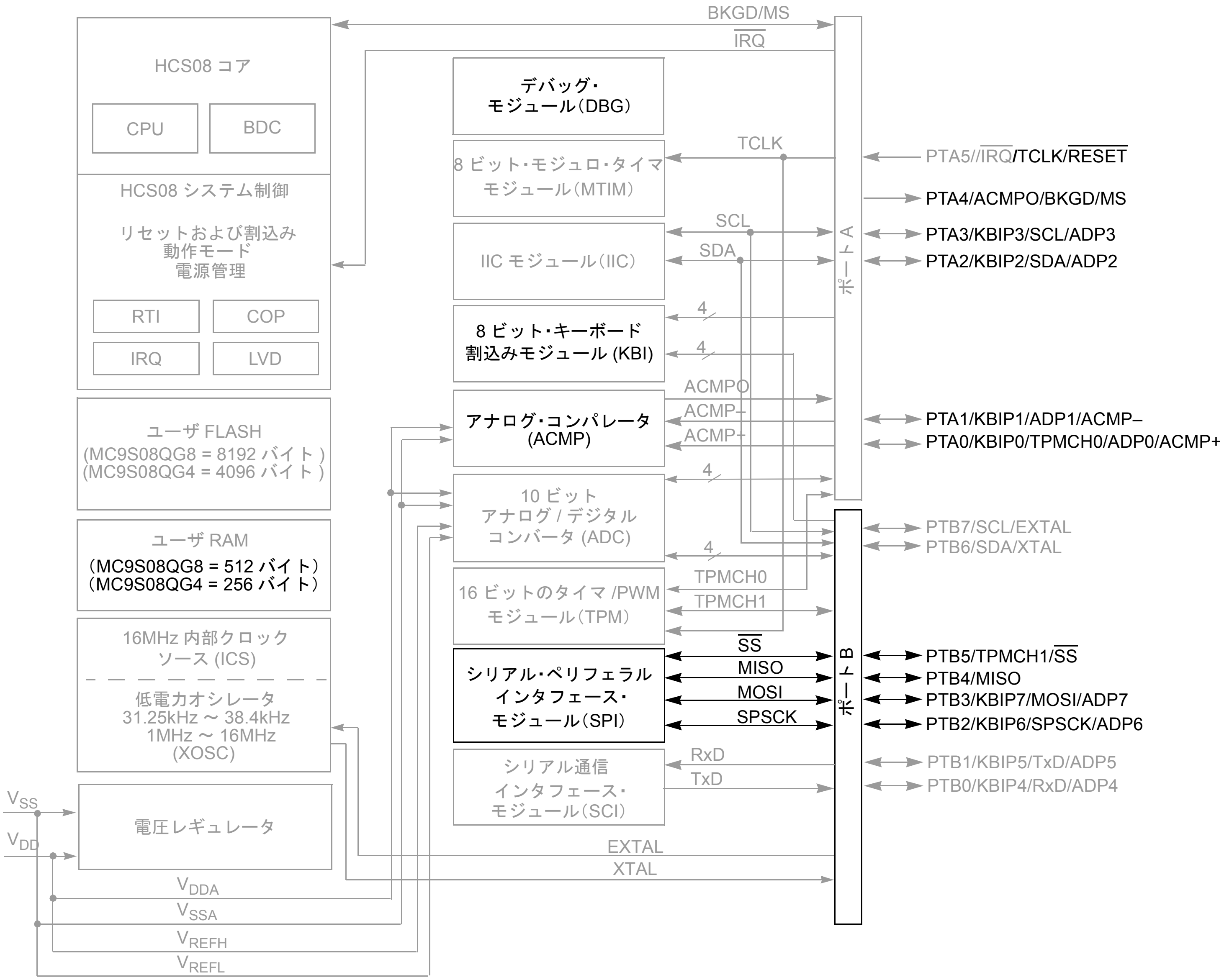
LOOPS = 1 なら、ループ・モード（RSRC = 0）かシングルワイヤ・モード（RSRC = 1）かは同じレジスタの RSRC ビットで選択します。シングルワイヤ・モードは、半二重のシリアル接続を実装するのに使用します。レシーバは、内部でトランスミッタ出力および TxD ピンと接続されます。RxD ピンは使用されずに汎用ポート I/O ピンの機能に戻ります。

シングルワイヤ・モードでは、TxD ピンでのシリアル・データの方向は SCIxC3 の TXDIR ビットで決まります。TXDIR = 0 なら、TxD ピンは SCI レシーバへの入力となり、トランスミッタは一時的に TxD ピンから切り離されるので外部デバイスはレシーバにシリアル・データを送出できます。TXDIR = 1 なら、TxD ピンはトランスミッタによりドライブされる出力です。シングルワイヤ・モードでトランスミッタからレシーバへの内部ループバック接続を行うと、レシーバはトランスミッタが送出するキャラクタを受信します。

第 15 章
シリアル・ペリフェラル・インタフェース（S08SPIV3）

15.1　はじめに

図 15-1 に、SPI をわかりやすくした MC9S08QG8/4 のブロック図を示します。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。

2 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。

3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。

4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。

5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。

6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。

7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。

8 SDA および SCL ピンの位置は、ソフトウェア制御 (IICPS) によって変更可能で、デフォルトでは PTA2 と PTA3 です。

9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 15-1. MC9S08QG8/4 のブロック図における SPI ブロックおよびピンの位置付け

15.1.1 主な特長

以下に、SPI モジュールの主な特長を示します。

- マスタまたはスレーブ・モードの動作
- 全二重またはシングルワイヤの双方向オプション
- 可変の送信ビット・レート
- ダブル・バッファ方式による送受信
- シリアル・クロック・フェーズと極性のオプション
- スレーブ選択の出力
- MSB 先頭または LSB 先頭の選択が可能

15.1.2 ブロック図

この項では、SPI システムの接続、SPI モジュールの内部構成、およびマスタ・モードのビット・レートを制御する SPI クロック分周器のブロック図を示します。

15.1.2.1 SPI システムのブロック図

図 15-2 に、マスタースレーブ構成で接続した 2 つの MCU の SPI モジュールを示します。すべての SPI データ転送は、マスタ側のデバイスが起動します。転送時は、マスタはデータをスレーブ側にシフト・アウト（MOSI ピンによる）しながら、同時にスレーブ側からのデータのシフト・イン（MISO ピンによる）を行います。こうした転送により、2 つの SPI システムの SPI シフト・レジスタにあるデータが効率的に交換されます。マスタからのクロック出力およびスレーブ側へのクロック入力となるのは SPSCK 信号です。スレーブ・デバイスは、スレーブ選択入力（$\overline{SS}$ ピン）の Low レベルにより選択される必要があります。図のシステムでは、マスタ・デバイスは $\overline{SS}$ ピンをオプションのスレーブ選択出力に設定しています。

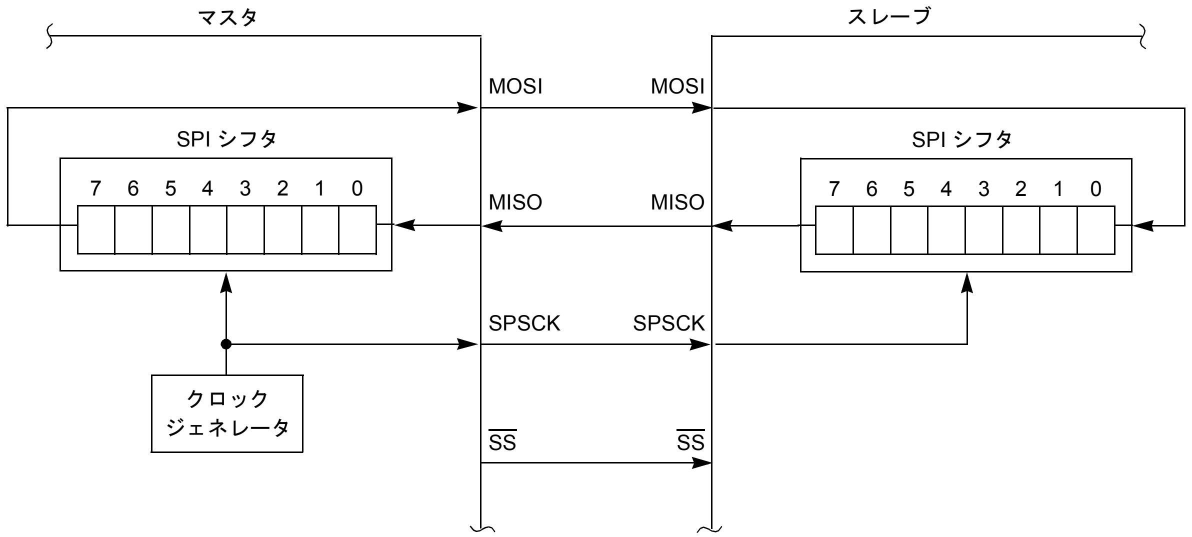


図 15-2. SPI システムの接続

単純なシフト・レジスタを接続する SPI システムの最も一般的な用途は、入力または出力ポートの追加、あるいはシリアル A/D または D/A コンバータなどの小型のペリフェラル・デバイスの接続です。図 15-2 のシステムは 2 つの MCU 間でデータを交換しますが、実際のシステムの多くはより単純な接続を採用しており、マスタ MCU からスレーブまたはスレーブからマスタ MCU の単一方向でデータ転送を行います。

15.1.2.2 SPI モジュールのブロック図

図 15-3 に、SPI モジュールのブロック図を示します。SPI の中心となる要素は SPI シフト・レジスタです。データは、ダブル・バッファ方式のトランスミッタにライトされ（SPIxD へのライト）、データ転送の開始時に SPI シフト・レジスタに転送されます。1 バイト分のデータのシフトが完了すると、データはダブル・バッファ方式のレシーバに転送されて、リードが可能になります（SPIxD からのリード）。MCU の各ピンと SPI モジュールの間の接続は、ピン多重化ロジックで制御されます。

SPI がマスタに設定されている場合、クロック出力は SPSCK ピンに転送され、シフタ出力は MOSI に転送されて、シフタ入力は MISO ピンから転送されます。

SPI がスレーブに設定されている場合、SPSCK ピンは SPI のクロック入力に転送され、シフタ出力は MISO に転送されて、シフタ入力は MOSI ピンから転送されます。

外部の SPI システムは、すべての SPSCK ピンを相互に接続し、更にすべての MISO ピンをまとめて接続、すべての MOSI ピンをまとめて接続するだけの簡単な構造です。ペリフェラル・デバイスでは、これらのピンの名前が少し異なる場合があります。

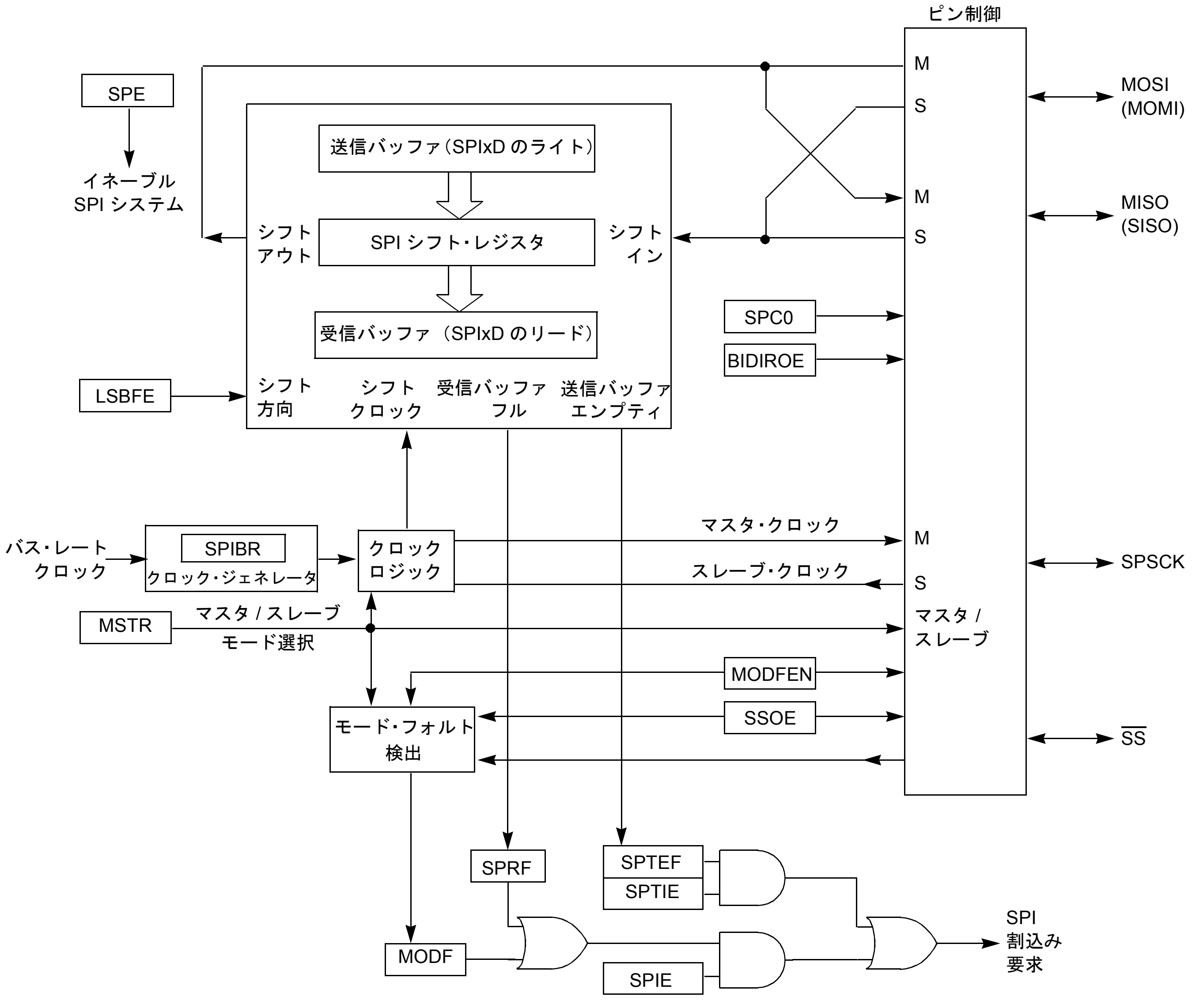


図 15-3. SPI モジュールのブロック図

15.1.3 SPI ボーレートの生成

図 15-4 に示すように、SPI ボーレート・ジェネレータのクロック・ソースはバス・クロックです。プリスケール分周値は、3 つのプリスケール・ビット（SPPR2:SPPR1:SPPR0）に基づいて 1、2、3、4、5、6、7、または 8 が選択されます。プリスケーラ・ステージの出力は、3 つのレート選択ビット（SPR2:SPR1:SPR0）により 2、4、8、16、32、64、128、または 256 で分周されて、内部の SPI マスタ・モードのビット・レート・クロックになります。

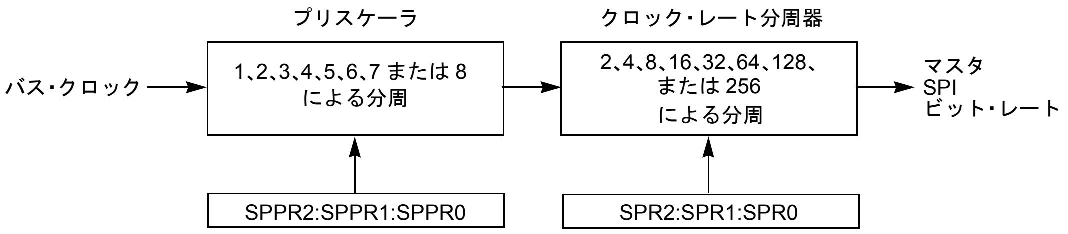


図 15-4. SPI ボーレートの生成

15.2 外部信号の説明

SPI は、4 本のポート・ピンを共有します。これらのピンの機能は、SPI 制御ビットの設定で決まります。SPI がディセーブルなら（SPE = 0）、これらの 4 本のピンは SPI で制御されない汎用ポート I/O ピンの機能に戻ります。

15.2.1 SPSCK ─ SPI シリアル・クロック

SPI がスレーブとしてイネーブルなら、このピンはシリアル・クロック入力です。SPI がマスタとしてイネーブルなら、このピンはシリアル・クロック出力です。

15.2.2 MOSI ─マスタ・データ出力、スレーブ・データ入力

SPI がマスタとしてイネーブルで SPI ピン制御 0（SPC0）が 0 である（双方向モードではない）場合、このピンはシリアル・データ出力です。SPI がスレーブとしてイネーブルで SPC0 = 0 なら、このピンはシリアル・データ入力です。SPC0 = 1 によりシングルワイヤ双方向モードが選択されていて、マスタ・モードが選択されていれば、このピンは双方向のデータ I/O ピン（MOMI）になります。このピンが入力として動作するか（BIDIROE = 0）、出力として動作するか（BIDIROE = 1）は、双方向モード出力イネーブル・ビットで決まります。SPC0 = 1 でスレーブ・モードが選択されていれば、このピンは SPI では使用されず、汎用ポート I/O ピンの機能に戻ります。

15.2.3 MISO ─ マスタ・データ入力、スレーブ・データ出力

SPI がマスタとしてイネーブルで SPI ピン制御 0（SPC0）が 0 である（双方向モードではない）場合、このピンはシリアル・データ入力です。SPI がスレーブとしてイネーブルで SPC0 = 0 なら、このピンはシリアル・データ出力です。SPC0 = 1 によりシングルワイヤ双方向モードが選択されていて、スレーブ・モードが選択されていれば、このピンは双方向のデータ I/O ピン（SISO）になります。このピンが入力として動作するか（BIDIROE = 0）、出力として動作するか（BIDIROE = 1）は、双方向モード出力イネーブル・ビットで決まります。SPC0 = 1 でマスタ・モードが選択されていれば、このピンは SPI では使用されず、汎用ポート I/O ピンの機能に戻ります。

15.2.4 $\overline{\text{SS}}$ ─スレーブ選択

SPI がスレーブとしてイネーブルなら、このピンは Low が真となるスレーブ選択入力です。SPI がマスタとしてイネーブルで、モード・フォルト・イネーブルがオフなら（MODFEN = 0）、このピンは SPI では使用されず、汎用ポート I/O ピンの機能に戻ります。SPI がマスタとしてイネーブルで MODFEN = 1 なら、このピンがモード・フォルト入力として動作するか（SSOE = 0）、スレーブ選択出力として動作するか（SSOE = 1）は、スレーブ選択出力イネーブル・ビットで決まります。

15.3 レジスタ定義

SPI には、SPI オプションの選択、ボーレートの制御、SPI ステータスの通知、およびデータの送受信に使用する 5 個の 8 ビット・レジスタがあります。

SPI のすべてのレジスタに対する絶対アドレスの割り当てについては、「第 4 章 メモリマップとレジスタ定義」の「表 4-2. ダイレクトページ・レジスタ一覧」を参照してください。本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケールが提供する EQU ファイルまたはヘッダ・ファイルに基づいて該当する絶対アドレスに変換されます。

15.3.1 SPI 制御レジスタ 1（SPIxC1）

このリード / ライト・レジスタは、SPI イネーブル制御、割込みイネーブル、およびオプション設定のビットを格納します。

	7	6	5	4	3	2	1	0
R W	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
リセット	0	0	0	0	0	1	0	0

図 15-5. SPI 制御レジスタ 1（SPIxC1）

表 15-1. SPIxC1 のフィールド説明

フィールド	説明
7 SPIE	**SPI 割込みイネーブル（SPRF と MODF 用）** ─ SPI 受信バッファ・フル（SPRF）とモード・フォルト（MODF）のイベントに対する割込みイネーブルです。 0 SPRF および MODF による割込みは禁止されます（ポーリングを使用します）。 1 SPRF または MODF が 1 なら、ハードウェア割込みを要求します。
6 SPE	**SPI システム・イネーブル** ─ SPI をディセーブルにすると、処理中の転送が停止し、内部ステート・マシンが初期化されます。SPRF がクリアされていて SPTEF がセットされていれば、SPI 送信データ・バッファがエンプティであることを示します。 0 SPI システムを停止します。 1 SPI システムをイネーブルします。
5 SPTIE	**SPI 送信割込みイネーブル** ─ SPI 送信バッファ・エンプティ（SPTEF）に対する割込みイネーブル・ビットです。 0 SPTEF による割込みは禁止されます（ポーリングを使用します）。 1 SPTEF が 1 ならハードウェア割込みが要求されます。
4 MSTR	**マスタ / スレーブ・モード選択** 0 SPI モジュールをスレーブ SPI デバイスに設定します。 1 SPI モジュールをマスタ SPI デバイスに設定します。
3 CPOL	**クロック極性** ─ マスタ SPI からのクロック信号またはスレーブ SPI デバイスへのクロック信号に対して、このビットによりクロックの極性を選択します。詳細については「15.4.1 SPI クロックのフォーマット」を参照してください。 0 SPI クロックはアクティブ High です（アイドルは Low）。 1 SPI クロックはアクティブ Low です（アイドルは High）。
2 CPHA	**クロック・フェーズ** ─ さまざまな同期シリアル・ペリフェラル・デバイスで使用するクロック・フォーマットを 2 つの中から選択します。詳細については「15.4.1 SPI クロックのフォーマット」を参照してください。 0 SPSCK の最初のエッジは、8 サイクル・データ転送の最初のサイクルの中央で発生します。 1 SPSCK の最初のエッジは、8 サイクル・データ転送の最初のサイクル先頭で発生します。
1 SSOE	**スレーブ選択出力イネーブル** ─ このビットは、SPIxC2 のモード・フォルト・イネーブル（MODFEN）ビットおよびマスタ / スレーブ（MSTR）制御ビットとの組み合わせにより、表 15-2 に示す SS ピンの機能を決定します。
0 LSBFE	**LSB 先頭（シフタの方向）** 0 SPI シリアル・データ転送は最上位ビットから開始します。 1 SPI シリアル・データ転送は最下位ビットから開始します。

表 15-2. $\overline{\text{SS}}$ ピンの機能

MODFEN	SSOE	マスタ・モード	スレーブ・モード
0	0	汎用 I/O（SPI では使用せず）	スレーブ選択入力
0	1	汎用 I/O（SPI では使用せず）	スレーブ選択入力
1	0	モード・フォルト時の $\overline{\text{SS}}$ 入力	スレーブ選択入力
1	1	自動 $\overline{\text{SS}}$ 出力	スレーブ選択入力

15.3.2 SPI 制御レジスタ 2（SPIxC2）

このリード / ライト・レジスタは、SPI システムのオプション機能の制御に使用します。ビット 7、6、5、および 2 は未実装でリードすると常に 0 が返ります。

	7	6	5	4	3	2	1	0
R	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 15-6. SPI 制御レジスタ 2（SPIxC2）

表 15-3. SPIxC2 レジスタのフィールド説明

フィールド	説明
4 MODFEN	**マスタ・モード・フォルト機能イネーブル** ― このビットは、SPI がスレーブ・モードに設定されていると意味がなく効果はありません（SS ピンはスレーブ選択入力です）。マスタ・モードでは、このビットで SS ピンの用途が決まります（詳細については表 15-2 を参照してください）。 0 モード・フォルト機能はディセーブルで、SS ピンは汎用 I/O の機能に戻り SPI では制御されません。 1 モード・フォルト機能はイネーブルで、SS ピンはモード・フォルト入力またはスレーブ選択出力として動作します。
3 BIDIROE	**双方向モード出力イネーブル** ― SPI ピン制御 0（SPC0）= 1 で双方向モードがイネーブルなら、このビットよって SPI データ出力ドライバが双方向 SPI I/O ピンに対してイネーブルかどうかが決まります。対象となるピンは、SPI の設定がマスタなら MOSI（MOMI）ピン、スレーブなら MISO（SISO）ピンです。SPC0 = 0 なら、このビットは意味がなく効果はありません。 0 出力ドライバはディセーブルで、SPI データ I/O ピンは入力として動作します。 1 SPI I/O ピンは出力としてイネーブルです。
1 SPISWAI	**ウェイト・モードでの SPI 停止** 0 SPI クロックは、ウェイト・モードで動作を継続します。 1 SPI クロックは、MCU がウェイト・モードに移行すると停止します。
0 SPC0	**SPI ピン制御 0** ― このビットは、シングルワイヤ双方向モードを選択します。MSTR = 0（スレーブ・モード）なら、SPI は双方向 SPI データ転送に MISO（SISO）ピンを使用します。MSTR = 1（マスタ・モード）なら、SPI は双方向 SPI データ転送に MOSI（MOMI）ピンを使用します。SPC0 = 1 なら、双方向 SPI I/O ピンに対する出力ドライバのイネーブルまたはディセーブルは BIDIROE で決まります。 0 SPI は、データ入力とデータ出力で個別のピンを使用します。 1 SPI は、シングルワイヤの双方向動作に設定されます。

15.3.3 SPI ボーレート・レジスタ（SPIxBR）

このレジスタは、SPI マスタのプリスケーラとビット・レート分周値の設定に使用します。任意のリードまたはライトが可能です。

	7	6	5	4	3	2	1	0
R	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 15-7. SPI ボーレート・レジスタ（SPIxBR）

表 15-4. SPIxBR レジスタのフィールド説明

フィールド	説明
6:4 SPPR[2:0]	**SPI ボーレート・プリスケール分周値** — この 3 ビット・フィールドで、SPI ボーレート・プリスケーラに対する 8 つの分周値の 1 つを選択します（表 15-5 参照）。このプリスケーラへの入力はバス・レート・クロック（BUSCLK）です。このプリスケーラの出力で、SPI ボーレート分周器の入力がドライブされます（図 15-4 参照）。
2:0 SPR[2:0]	**SPI ボーレート分周値** — この 3 ビット・フィールドで、SPI ボーレート分周器に対する 8 つの分周値の 1 つを選択します（表 15-6 参照）。この分周器への入力は SPI ボーレート・プリスケーラです（図 15-4 参照）。この分周器の出力は、マスタ・モードの SPI ビット・レート・クロックです。

表 15-5. SPI ボーレートのプリスケーラ分周値

SPPR2:SPPR1:SPPR0	プリスケーラ分周値
0:0:0	1
0:0:1	2
0:1:0	3
0:1:1	4
1:0:0	5
1:0:1	6
1:1:0	7
1:1:1	8

表 15-6. SPI ボーレートの分周値

SPR2:SPR1:SPR0	レート分周値
0:0:0	2
0:0:1	4
0:1:0	8
0:1:1	16
1:0:0	32
1:0:1	64
1:1:0	128
1:1:1	256

15.3.4 SPI ステータス・レジスタ（SPIxS）

このレジスタには、リード専用の 3 つのステータス・ビットがあります。ビット 6、3、2、1、および 0 は未実装でリードすると常に 0 が返ります。ライトしても意味はなくビットは変化しません。

	7	6	5	4	3	2	1	0
R	SPRF	0	SPTEF	MODF	0	0	0	0
W								
リセット	0	0	1	0	0	0	0	0

(網掛け) = 未実装または予約済み

図 15-8. SPI ステータス・レジスタ（SPIxS）

表 15-7. SPIxS レジスタのフィールド説明

フィールド	説明
7 SPRF	**SPI リード・バッファ・フル・フラグ**— このビットは、SPI 転送の完了時にセットされて、SPI データ・レジスタ（SPIxD）から受信データをリードできることを示します。SPRF をクリアするには、セットされている SPRF をリードしてから SPI データ・レジスタをリードします。 0 受信データ・バッファには有効なデータはありません。 1 受信データ・バッファに有効なデータがあります。
5 SPTEF	**SPI 送信バッファ・エンプティ・フラグ** — このビットは、送信データ・バッファに空き領域がある場合にセットされます。クリアするには、SPTEF がセットされているときに SPIxS をリードして、SPIxD の送信バッファにデータ値をライトします。SPIxS のリードは、SPTEF = 1 のときに SPIxD にデータをライトする前に行う必要があります。手順を誤ると SPIxD へのライトは無視されます。SPIxC1 の SPTIE ビットも同時にセットされている場合は、SPTEF に基づいて割込み要求が生成されます。SPTEF は、送信バッファから転送シフト・レジスタにデータが転送される際にも自動的にセットされます。SPI がアイドル（送信バッファやシフト・レジスタにデータがなく処理中の転送もない）の場合、SPIxD にライトされるデータは即座にシフタに転送されて SPTEF が 2 バス・サイクル以内にセットされるため、次の 8 ビット・データ値を送信バッファにキュー登録できます。シフト・レジスタにある値の転送が完了すると、キュー登録された値が送信バッファから自動的にシフタに転送され、SPTEF がセットされて、送信バッファに次のデータの空き領域があることが示されます。送信バッファの空きを待っているデータがなければ、SPTEF はセットされたままで、バッファからシフタへのデータ転送は行われません。 0 SPI 送信バッファはエンプティ（空き）ではありません。 1 SPI 送信バッファはエンプティ（空き）です。
4 MODF	**マスタ・モード・フォルト・フラグ** — このビットは、SPI がマスタに設定されているときにスレーブ選択入力が Low になり、他の SPI デバイスもマスタに設定されていることが指示されるとセットされます。$\overline{SS}$ ピンは、MSTR = 1、MODFEN = 1、および SSOE = 0 であるときにのみモード・フォルト・エラー入力として動作します。それ以外でセットされることはありません。MODF をクリアするには、MODF が 1 であるときにリードしてから SPI 制御レジスタ 1（SPIxC1）へのライトを行います。 0 モード・フォルト・エラーはありません。 1 モード・フォルト・エラーが検出されました。

15.3.5 SPI データ・レジスタ（SPIxD）

	7	6	5	4	3	2	1	0
R W	ビット 7	6	5	4	3	2	1	ビット 0
リセット	0	0	0	0	0	0	0	0

図 15-9. SPI データ・レジスタ（SPIxD）

このレジスタをリードすると、受信データ・バッファから読み込まれたデータが返ります。このレジスタにライトすると、データは送信データ・バッファにライトされます。SPI がマスタに設定されていれば、送信データ・バッファへのデータのライトにより SPI 送信が開始します。

送信データ・バッファへのデータのライトは、SPI 送信バッファ・エンプティ・フラグ（SPTEF）がセットされていて、送信バッファに次の送信バイトをキュー登録する空きがあることが示される場合以外は行わないでください。

SPIxD からのデータのリードは、SPRF がセットされた後で次の転送が完了する前ならいつでも可能です。次の転送が完了する前に受信データ・バッファからのデータのリードを行わないと、受信オーバラン条件が発生して新たに転送されたデータは失われます。

15.4 機能の説明

SPI 転送は、SPI 送信バッファ・エンプティ・フラグ（SPTEF = 1）のチェック、およびマスタ SPI デバイスによる SPI データ・レジスタ（SPIxD）へのデータのライトで開始します。SPI シフト・レジスタが使用可能なら、このデータは送信データ・バッファからシフタに転送され、SPTEF のセットによりバッファ内に他の送信データを書き込むことができることを示します。そして、SPI シリアル転送が開始します。

SPI 転送では、1 つの SPSCK エッジのタイミングで MISO ピンからデータがサンプリング（リード）され、シフトされます。その後 0.5 サイクルの SPSCK サイクルが経過した後で MOSI ピンのビット値が変更されます。8 サイクルの SPSCK サイクルが経過すると、マスタのシフト・レジスタにあるデータは MOSI ピンからスレーブにシフト・アウトされ、同時に 8 ビットのデータが MISO ピンからマスタのシフト・レジスタにシフト・インされています。この転送の最後で、受信されたデータはシフタから受信データ・バッファに転送され、SPRF のセットにより SPIxD をリードしてデータを取り込めることが示されます。転送を終えた時点で送信バッファに別のデータがあれば、そのデータはシフタに転送され、SPTEF がセットされて、次の転送が開始します。

通常は、SPI データは最上位ビット（MSB）から転送されます。最下位ビット先頭イネーブル（LSBFE）ビットがセットされていれば、SPI データは LSB からシフトされます。

SPI がスレーブに設定されている場合、$\overline{SS}$ ピンは転送の開始前には Low にドライブされて、転送の間は Low にとどまる必要があります。クロック・フォーマットとして CPHA = 0 が選択されている場合は、転送が終了する度に $\overline{SS}$ を論理 1 にドライブしなければなりません。CPHA = 1 なら、$\overline{SS}$ は連続する転送の間は論理 0 のままでもかまいません。詳細については、「15.4.1 SPI クロックのフォーマット」を参照してください。

トランスミッタとレシーバはダブル・バッファ方式を採用しており、あるデータのシフト・アウト中に次のデータを送信データ・バッファにキュー登録できます。また、次のデータのシフト・インを行いながらすでに受信したデータを受信データ・バッファに格納できます。送信バッファに次のデータの空き領域があるかどうかは、SPTEF フラグで示されます。また、受信データ・バッファの受信データを取り込めるかどうかは、SPRF フラグで示されます。受信したデータは、次の転送が完了する前に受信バッファからリードする必要があり（SPIxD をリードする）、これに違反すると受信オーバラン・エラーが発生します。

受信オーバランでは、受信バッファに前のデータが残っていて新しいデータを受け付けられないために、次のデータは失われます。こうしたオーバラン条件を示すフラグはないため、プログラムは前回のデータを受信バッファからリード済みであることを次の転送を起動する前に確認する必要があります。

15.4.1 SPI クロックのフォーマット

さまざまなメーカーの多様な同期シリアル・ペリフェラルに対応できるように、SPI システムにはデータ転送の 4 つのクロック・フォーマットから 1 つを選択するためのクロック極性（CPOL）ビットとクロック・フェーズ（CPHA）制御ビットが用意されています。CPOL でクロックの極性を選択します。CPHA では、クロックとデータ間の 2 種類のクロック・フェーズ相関関係の 1 つを選択します。

図 15-10 に、CPHA = 1 の場合のクロック・フォーマットを示します。図の一番上は基準となる 8 ビット・タイムです。ビット・タイムの先頭のビット 1 は最初の SPSCK エッジのタイミングで、最後のビット 8 は 16 番目の SPSCK エッジから 0.5 サイクルの SPSCK サイクルが経過したタイミングです。MSB 先頭および LSB 先頭のラインは、LSBFE の設定に応じた SPI データ・ビットの順序を示します。SPSCK の極性は 2 つのバリエーションを示してありますが、実際の転送では CPOL の値に応じて 1 つの波形だけが適用されます。SAMPLE IN 波形は、スレーブの MOSI 入力またはマスタの MISO 入力に該当します。MOSI 波形はマスタの MOSI 出力ピンに、MISO 波形はスレーブの MISO 出力に該当します。$\overline{SS}$ 出力波形は、マスタのスレーブ選択出力に該当します（MODFEN および SSOE = 1 の場合）。マスタの $\overline{SS}$ 出力は、転送開始の 0.5SPSCK サイクル前にアクティブ Low になり、転送の 8 番目のビット・タイムの最後で High に戻ります。$\overline{SS}$ 入力波形は、スレーブのスレーブ選択入力に該当します。

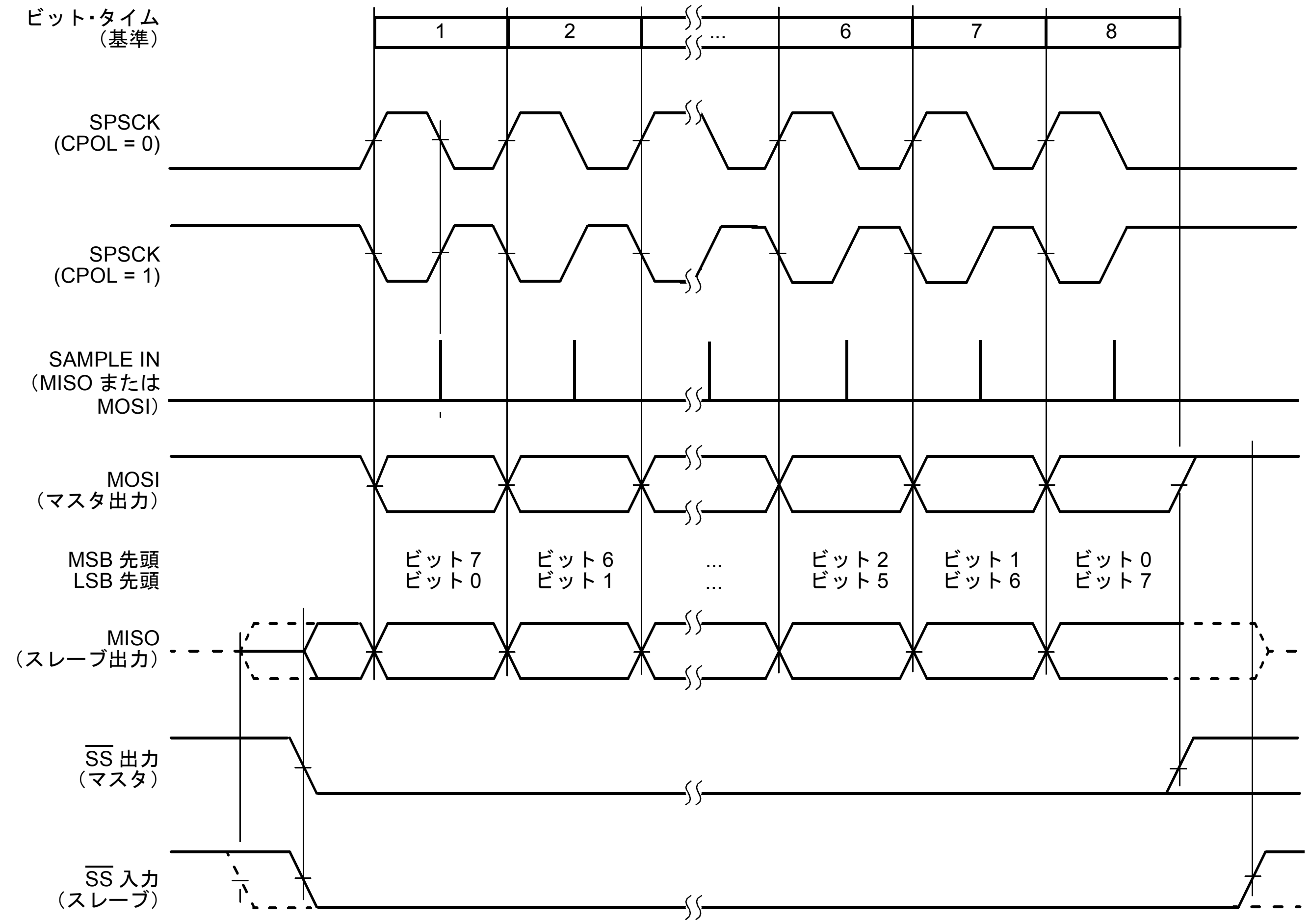


図 15-10. SPI クロックのフォーマット（CPHA = 1）

CPHA = 1 なら、スレーブは SS がアクティブ Low になるタイミングで MISO 出力のドライブを開始しますが、データは最初の SPSCK エッジまでは定義されません。最初の SPSCK エッジでは、データの先頭ビットがシフタからマスタの MOSI 出力およびスレーブの MISO 出力にシフトされます。次の SPSCK エッジでは、マスタとスレーブはそれぞれの MISO 入力と MOSI 入力のデータ・ビット値をサンプリングします。3 つ目の SPSCK エッジでは、SPI シフタが 1 ビットのシフトを行うと直前にサンプリングしたビット値がシフト・インされ、シフタの別の端で 2 番目のデータ・ビット値がマスタの MOSI 出力とスレーブの MISO 出力にそれぞれシフト・アウトされます。CHPA = 1 なら、スレーブの SS 入力は転送間で非アクティブの High レベルに移行する必要はありません。

図 15-11 に、CPHA = 0 の場合のクロック・フォーマットを示します。図の一番上は基準となる 8 ビット・タイムです。ビット・タイムの先頭のビット 1 はスレーブが選択されるタイミング（SS IN が Low に変化）で、ビット 8 は最後の SPSCK エッジのタイミングです。MSB 先頭および LSB 先頭のラインは、LSBFE の設定に応じた SPI データ・ビットの順序を示します。SPSCK の極性は 2 つのバリエーションを示してありますが、実際の転送では CPOL の値に応じて 1 つの波形だけが適用されます。SAMPLE IN 波形は、スレーブの MOSI 入力またはマスタの MISO 入力に該当します。MOSI 波形はマスタの MOSI 出力ピンに、MISO 波形はスレーブの MISO 出力に該当します。SS 出力波形は、マスタのスレーブ選択出力に該当します（MODFEN および SSOE = 1 の場合）。マスタの SS 出力は、転送の先頭のビット・タイムの開始時にアクティブ Low になり、転送の 8 番目のビット・タイムの最後から 0.5SPSCK サイクル後に High に戻ります。SS 入力波形は、スレーブのスレーブ選択入力に該当します。

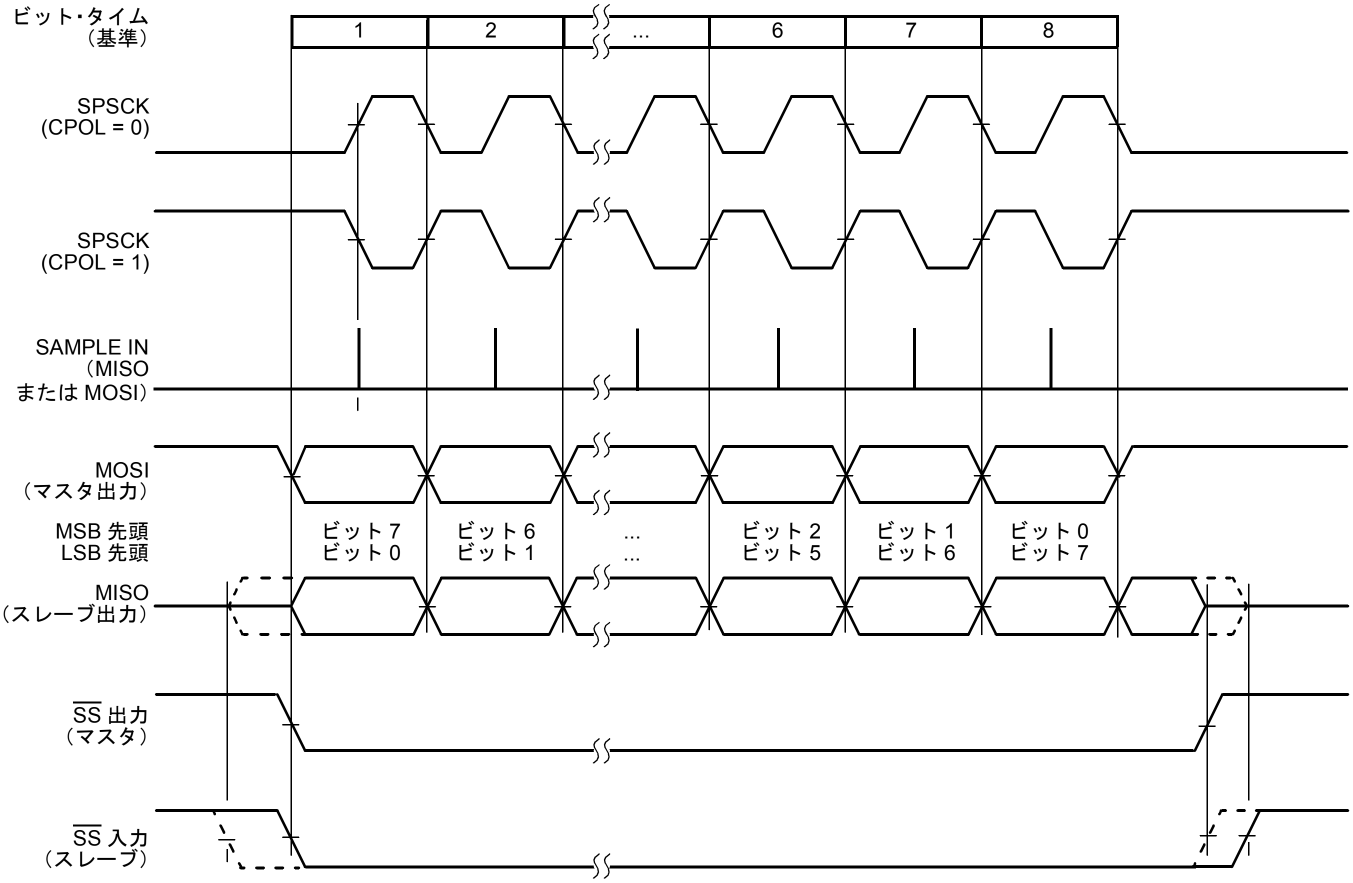


図 15-11. SPI クロックのフォーマット（CPHA = 0）

CPHA = 0 なら、スレーブは $\overline{SS}$ がアクティブ Low になるタイミングで、最初のデータ・ビット値（LSBFE の設定に応じて MSB または LSB）の MISO 出力へのドライブを開始します。最初の SPSCK エッジでは、マスタとスレーブがそれぞれの MISO 入力と MOSI 入力にデータ・ビット値をサンプリングします。次の SPSCK エッジでは、SPI シフタが 1 ビットのシフト行うと直前にサンプリングしたビット値がシフト・インされ、シフタの別の端で 2 番目のデータ・ビット値がマスタの MOSI 出力とスレーブの MISO 出力にそれぞれシフト・アウトされます。CPHA = 0 なら、スレーブの $\overline{SS}$ 入力は転送間で非アクティブの High レベルに移行する必要があります。

15.4.2 SPI 割込み

SPI システムには、3 つのフラグ・ビット、2 つの割込みマスク・ビット、および 1 つの割込みベクタが用意されています。SPI 割込みイネーブル・マスク（SPIE）は、SPI レシーバ・フル・フラグ（SPRF）およびモード・フォルト・フラグ（MODF）による割込みをイネーブルにします。SPI 送信割込みイネーブル・マスク（SPTIE）は、SPI 送信バッファ・エンプティ・フラグ（SPTEF）による割込みをイネーブルにします。フラグ・ビットのいずれかがセットされ、対応する割込みマスク・ビットがセットされていれば、CPU に対してハードウェア割込み要求が送出されます。割込みマスク・ビットがクリアされていれば、ソフトウェアは割込みを利用する代わりに対応するフラグ・ビットのポーリングを行えます。SPI の割込みサービス・ルーチン（ISR）は、フラグ・ビットをチェックして割込みを起こしたイベントを特定する必要があります。また、ISR から復帰する前（通常は ISR の先頭部分で）にフラグ・ビットのクリアも必要です。

15.4.3 モード・フォルト検出

$\overline{SS}$ ピンがモード・フォルト入力信号に設定されている場合にマスタ SPI デバイスが $\overline{SS}$ ピンでエラーを検出すると、モード・フォルトが発生してモード・フォルト・フラグ（MODF）がセットされます。$\overline{SS}$ ピンがモード・フォルト入力信号に設定されるのは、MSTR = 1、モード・フォルト・イネーブルがセット（MODFEN = 1）、スレーブ選択出力イネーブルがクリア（SSOE = 0）の場合です。

モード・フォルト検出機能は、複数の SPI デバイスが同時にマスタになる可能性があるシステムで使用することができます。エラーとして検出されるのは、他の SPI デバイスがあるマスタをスレーブとして扱っていることが、マスタの $\overline{SS}$ ピンの Low によって示される場合です。これは、危険度の大きい出力ドライバの衝突を示している可能性があり、モード・フォルト・ロジックはこうしたエラーの検出に際してすべての SPI 出力ドライバをディセーブルにするように設計されています。

モード・フォルトが検出されると、MODF がセットされ、MSTR がクリアされて SPI の設定はスレーブ・モードに変更されます。SPSCK、MOSI、および MISO（双方向モードでない場合）の出力ドライバはディセーブルになります。

MODF をクリアするには、セットされている MODF をリードして、SPI 制御レジスタ 1（SPIxC1）へのライトを行います。ユーザ・ソフトウェアは、SPI をマスタ・モードに戻す前に、エラー条件が修正されたことを確認する必要があります。

第 16 章
タイマ / パルス幅モジュレータ（S08TPMV2）

16.1　はじめに

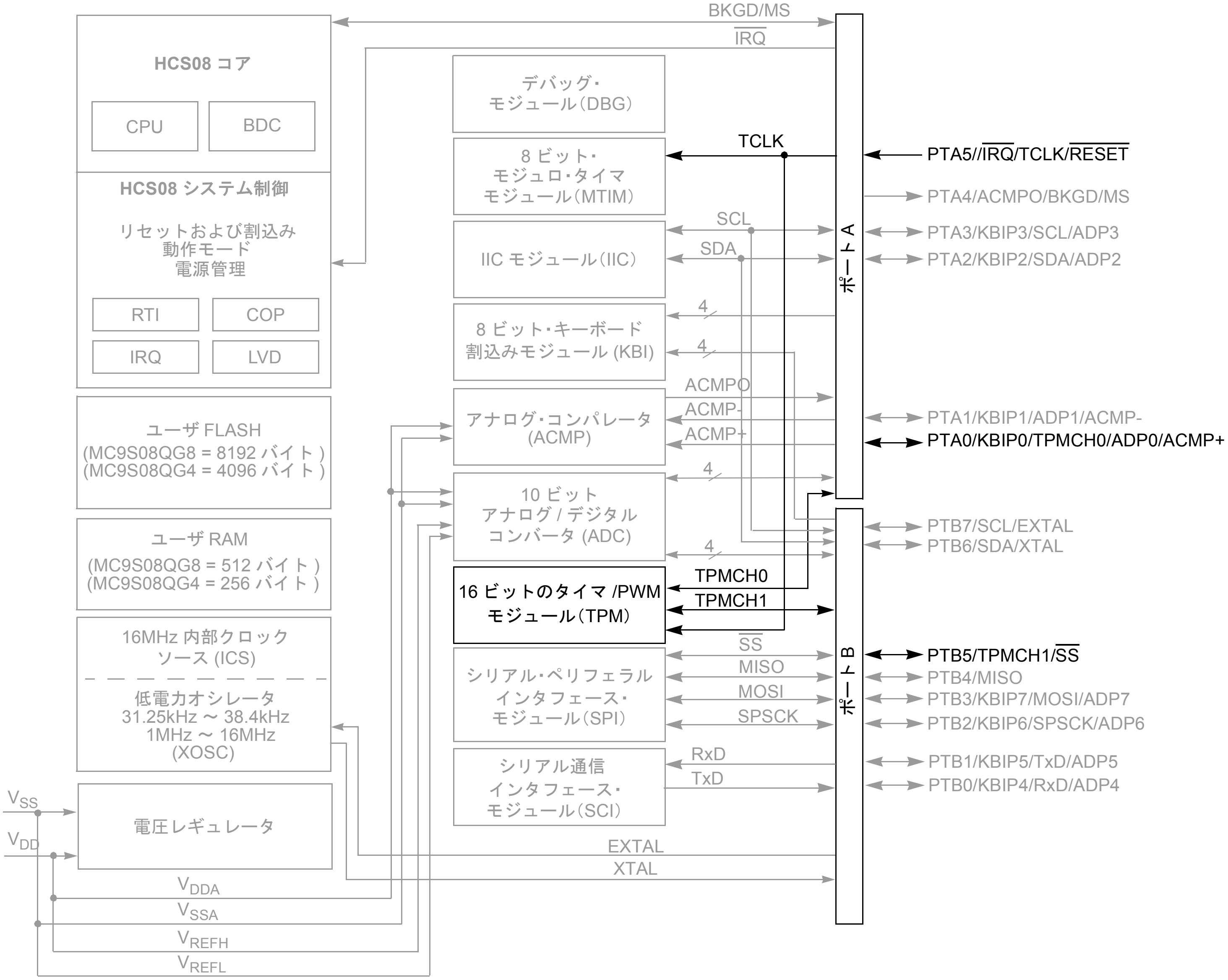
図 16-1 に、TPM をわかりやすくした MC9S08QG8/4 のブロック図を示します。

16.1.1　ACMP/TPM 設定情報

ACMP モジュールは、SOPT2 の ACIC をセットすることでアナログ・コンパレータの出力を TPM のインプット・キャプチャ・チャネル 0 へ接続するよう設定できます。ACIC をセットすると、TPM モジュールの設定にかかわらず TPMCH0 ピンは外部に対しては使用できなくなります。

16.1.2　MTIM/TPM 設定情報

TPM モジュールの外部クロック（TPMCLK）は、TPMSC レジスタにて CLKS[B:A] = 1:1 にセットすることで選択でき、TCLK ピンがクロック入力ピンとなります。PTA5 の TCLK 入力は、MTIM および TPM の両方に対する外部クロック入力として同時にイネーブルにできます。



注意：

1 デバイスによっては一部のピンまたはピン機能が利用できません。各デバイスで利用可能な機能については、表 1-1 を参照してください。

2 入力ポート・ピンはソフトウェアによるプルアップ・デバイス設定が可能です。

3 ポート・ピンは、ソフトウェアによる出力ドライブ強度の設定が可能です。

4 ポート・ピンは、ソフトウェアによる出力スルー・レート制御の設定が可能です。

5 PTA5 が IRQ としてイネーブル（IRQPE = 1）なら、IRQ はソフトウェア設定（IRQPDD）が可能なプルアップ・デバイスを内蔵します。

6 PTA5 がリセットとしてイネーブル（RSTPE = 1）なら、RESET はプルアップ・デバイスを内蔵します。

7 BKGD がイネーブル（BKGDPE = 1）なら、PTA4 はプルアップ・デバイスを内蔵します。

8 SDA および SCL ピンの位置は、ソフトウェア制御 (IICPS) によって変更可能で、デフォルトでは PTA2 と PTA3 です。

9 ピン機能が KBI（KBIPEn = 1）で、対応するピンがプルアップ・デバイスをイネーブルするよう設定される場合、KBEDGn はプルアップをプルダウン・デバイスとして再設定できます。

図 16-1. MC9S08QG8/4 のブロック図における TPM ブロックおよびピンの位置付け

16.1.3 ブロック図

図 16-2 に、TPM の構造を示します。一部の MCU には複数の TPM があり、また TPM によってチャネル数は異なります。

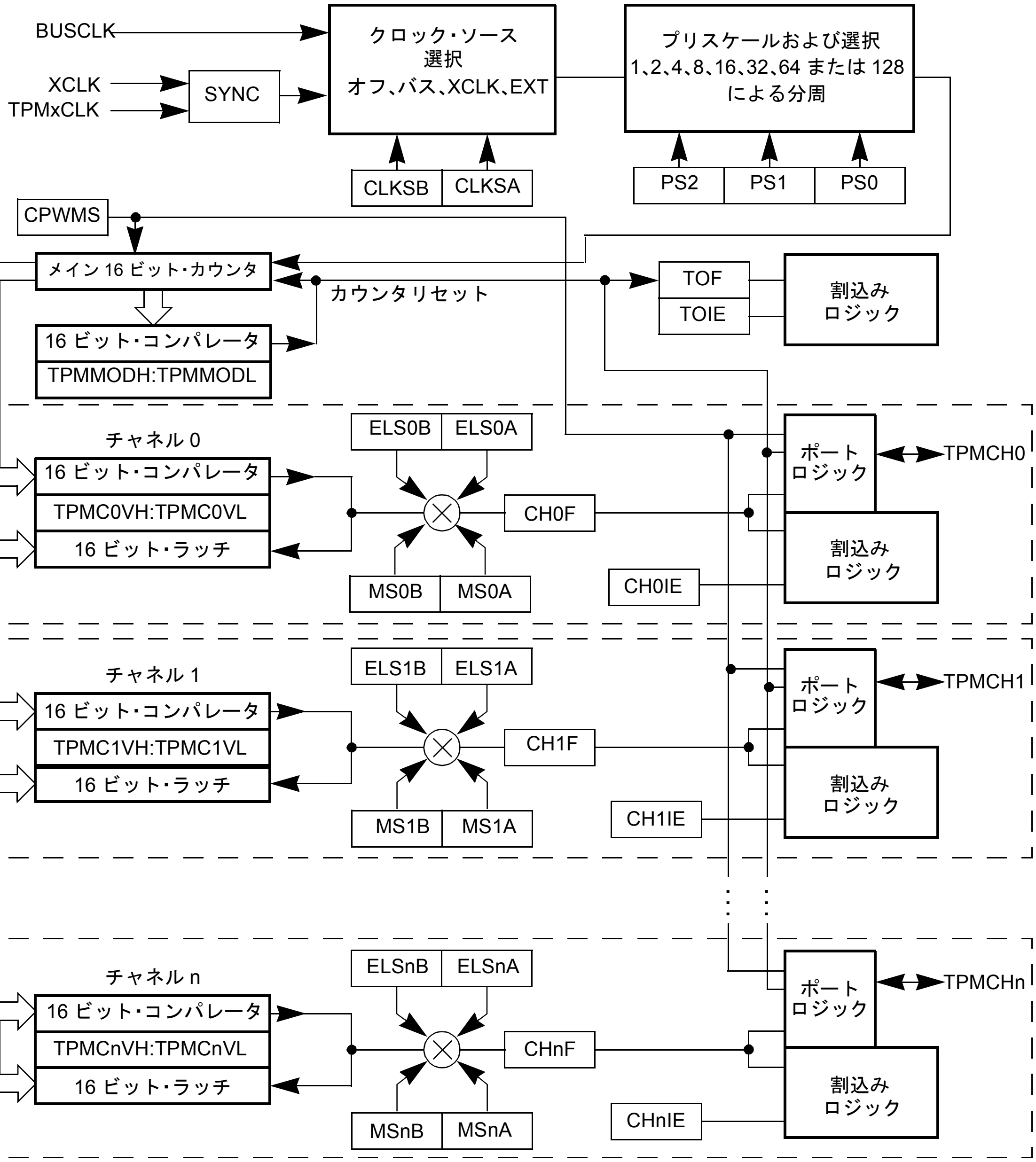


図 16-2. TPM のブロック図

TPM の中核に位置するコンポーネントは、16 ビットのカウンタです。この 16 ビットのカウンタはフリーランニング・カウンタ、モジュロ・カウンタ、あるいは、TPM をセンター・アライン PWM として設定した場合にアップ / ダウン・カウンタとして機能します。TPM カウンタ（通常のアップカウント・モードで動作する場合）は、インプット・キャプチャ、アウトプット・コンペア、およびエッジ・アライン PWM の機能に対して基準タイミングを提供します。カウンタのモジュロ値は、タイマ・カウンタ・モジュロ・レジスタの TPMMODH:TPMMODL により制御されます（値を 0x0000 または 0xFFFF にするとフリーランニング・カウンタとなります)。ソフトウェアは、カウント・シーケンスに

影響を与えずに任意のタイミングでカウンタ値をリードできます。TPMCNT カウンタのどちらかのバイトにライトすると、ライトする値に関係なくカウンタがリセットされます。

すべての TPM チャネルは、インプット・キャプチャ、アウトプット・コンペア、またはバッファ付きエッジ・アライン PWM チャネルとして個別のプログラミングが可能です。

16.2 外部信号の説明

タイマ入力に設定されているピンは、内部プルアップをイネーブルにできます。リセット後は、TPM モジュールはディセーブルとなり、すべてのピンはデフォルトで内部プルアップがディセーブルの汎用入力になります。

16.2.1 外部の TPM クロック・ソース

タイマ・ステータス / 制御レジスタ内の制御ビット CLKSB:CLKSA が 1:1 にセットされると、プリスケーラおよびそれ以降の TPM の 16 ビット・カウンタは、I/O ピンに接続した外部クロック・ソース（TPMxCLK）でドライブされます。外部クロックと TPM のそれ以外のデバイスの間にはシンクロナイザが必要です。このシンクロナイザはバス・クロックからクロックを供給されるため、外部ソースの周波数はバス・レート・クロックの周波数の 1/2 より小さくする必要があります。この外部クロック・ソースの周波数の上限は、デューティ・サイクルとフェーズロック・ループ（PLL）または周波数ロック・ループ（FLL）の周波数ジッタの影響をおさえるため、バス周波数の 1/4 としています。

一部のデバイスでは、外部クロックを TPM チャネルの一つと共有します。TPM チャネルを外部クロック入力として使用する場合、対応する TPM チャネルはピンを使用できません （ただしチャネルはアウトプット・コンペア・モードでソフトウェア・タイマとして使用できます)。TPM チャネルの一つを外部クロック入力として使用する場合は、対応する ELSnB:ELSnA 制御ビットはこのチャネルが同じピンを使用しないように 0:0 にセットする必要があります。

16.2.2 TPMCHn － TPM チャネル n の I/O ピン

各 TPM チャネルには、対応する I/O ピンがあります。このピンの機能はチャネルの設定で決まります。TPM で使用しないピンは、汎用 I/O の機能に戻ります。タイマがポート・ピンを制御する場合は、ポート・データおよびデータ方向の各レジスタが関連するピンに影響を与えることはありません。詳細については、「第 2 章 外部信号の説明」を参照してください。

16.3 レジスタ定義

TPM には以下のレジスタがあります。

- 8 ビットのステータス / 制御レジスタ（TPMSC）
- 16 ビットのカウンタ（TPMCNTH:TPMCNTL）
- 16 ビットのモジュロ・レジスタ（TPMMODH: TPMMODL）

各タイマ・チャネルには以下のレジスタがあります。

- 8 ビットのステータス / 制御レジスタ（TPMCnSC）
- 16 ビットのチャネル値レジスタ（TPMCnVH:TPMCnVL）

TPM のすべてのレジスタに対する絶対アドレスの割り当てについては、「第 4 章 メモリマップとレジスタ定義」の「表 4-2. ダイレクトページ・レジスタ一覧」を参照してください。本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケールが提供する EQU ファイルまたはヘッダ・ファイルに基づいて該当する絶対アドレスに変換されます。

複数の TPM を装備する MCU があることを考慮して、レジスタ名には特定の TPM とチャネルを示す識別番号を使用しています。たとえば、TPMxCnSC はタイマ（TPM）x のチャネル n のステータス / 制御レジスタ、TPM1C2SC はタイマ１のチャネル２のステータス / 制御レジスタを表します。

16.3.1 タイマ・ステータス / 制御レジスタ（TPMSC）

TPMSC は、オーバフロー・ステータス・フラグと割込みイネーブル、TPM の構成、クロック・ソース、およびプリスケール分周値を設定するための制御ビットを格納します。これらの制御ビットは、該当のタイマ・モジュール内のすべてのチャネルに関連します。

	7	6	5	4	3	2	1	0
R	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 16-3. タイマ・ステータス / 制御レジスタ（TPMSC）

表 16-1. TPMSC レジスタのフィールド説明

フィールド	説明
7 TOF	**タイマ・オーバフロー・フラグ** ― このフラグは、TPM カウンタが TPM カウンタ・モジュロ・レジスタにプログラムされたモジュロ値に達した後で 0x0000 に変化するとセットされます。TPM が CPWM に設定されていれば、TOF はカウンタがモジュロ・レジスタの値に達した後で、1 つだけ小さいカウント値に変化するとセットされます。TOF をクリアするには、TOF がセットのときに TPM ステータス / 制御レジスタをリードして、次に TOF に 0 をライトします。クリア・シーケンスが完了する前に別の TPM オーバフローが発生するとシーケンスはリセットされるので、前の TOF のクリア・シーケンスが終了した後も TOF はセットされたままです。リセットでは TOF ビットはクリアされます。TOF に 1 をライトしてもビットは変化しません。 0 TPM カウンタは、モジュロ値に達していないかオーバフローしていません。 1 TPM カウンタはオーバフローしました。
6 TOIE	**タイマ・オーバフロー割込みイネーブル** ― このリード / ライト・ビットは、TPM オーバフロー割込みをイネーブルにします。TOIE がセットなら、TOF が 1 になると割込みが生成されます。リセットでは TOIE はクリアされます。 0 TOF 割込みは禁止されています（ソフトウェア・ポーリングを使用します）。 1 TOF 割込みはイネーブルです。
5 CPWMS	**センター・アライン PWM 選択** ―このリード / ライト・ビットは、CPWM の動作モードを選択します。リセットでは CPWMS ビットはクリアされるので、TPM はインプット・キャプチャ、アウトプット・コンペア、およびエッジ・アライン PWM の各機能に対してアップカウント・モードで動作します。CPWMS をセットすると、TPM は CPWM 機能に対してアップ / ダウン・カウント・モードで動作するように再設定されます。リセットでは CPWMS ビットはクリアされます。 0 すべての TPM チャネルは、各チャネルのステータス / 制御レジスタの MSnB:MSnA 制御ビットの選択によりインプット・キャプチャ、アウトプット・コンペア、またはエッジ・アライン PWM のモードで動作します。 1 すべての TPM チャネルはセンター・アライン PWM モードで動作します。
4:3 CLKS[B:A]	**クロック・ソース選択** ― 表 16-2 に示すように、この 2 ビット・フィールドは TPM システムのディセーブル、またはカウンタ・プリスケーラをドライブする 3 つのクロック・ソースの 1 つを選択するのに使用します。外部ソースおよび固定システム・クロック（XCLK）は、オンチップの同期回路によりバス・クロックと同期します。
2:0 PS[2:0]	**プリスケール分周値選択** ― この 3 ビット・フィールドは、表 16-3 に示すように TPM クロック入力に対する 8 個の分周値の 1 つを選択します。このプリスケーラはクロック・ソース同期またはクロック・ソース選択の後に置かれており、TPM システムをドライブするために選択されたクロック・ソースに影響します。

表 16-2. TPM クロック・ソースの選択

CLKSB:CLKSA	プリスケーラ入力に対する TPM クロック・ソース
0:0	クロック選択なし（TPM はディセーブル）
0:1	バス・レート・クロック（BUSCLK）
1:0	固定システム・クロック（XCLK）
1:1	外部ソース（TPMCLK）[1,2]

1 外部クロックとして許可される最大周波数はバス周波数の 1/4 です。

2 外部クロック入力がチャネル n と共有され、TPM クロック・ソースとして選択された場合、チャネル n が別の機能のために同じピンを使用しないように対応する ELSnB:ELSnA ビットを 0:0 としてください。

表 16-3. プリスケール分周値の選択

PS2:PS1:PS0	TPM クロック・ソースの分周値
0:0:0	1
0:0:1	2
0:1:0	4
0:1:1	8
1:0:0	16
1:0:1	32
1:1:0	64
1:1:1	128

16.3.2 タイマ・カウンタ・レジスタ（TPMCNTH:TPMCNTL）

リード専用のこの 2 つの TPM カウンタ・レジスタは、TPM カウンタの値の上位バイトと下位バイトを格納します。いずれかのバイト（TPMCNTH または TPMCNTL）をリードすると、両方のバイトの内容がバッファにラッチされ、もう一方のバイトをリードするまではラッチされたままになります。そのため、どちらを先にリードしてもコヒーレントな 16 ビット・リードが保たれます。コヒーレンシ・メカニズムは、MCU リセット、TPMCNTH または TPMCNTL への任意の値のライト、またはタイマ・ステータス / 制御レジスタ（TPMSC）への任意の値のライトで自動的にリセットされます。

リセットでは、TPM カウンタ・レジスタはクリアされます。

	7	6	5	4	3	2	1	0
R	ビット 15	14	13	12	11	10	9	ビット 8
W	TPMCNTH への任意の値のライトで 16 ビット・カウンタはクリアされる							
リセット	0	0	0	0	0	0	0	0

図 16-4. タイマ・カウンタ・レジスタ上位（TPMCNTH）

	7	6	5	4	3	2	1	0
R	ビット 7	6	5	4	3	2	1	ビット 0
W	TPMCNTL への任意の値のライトで 16 ビット・カウンタはクリアされる							
リセット	0	0	0	0	0	0	0	0

図 16-5. タイマ・カウンタ・レジスタ下位（TPMCNTL)

バックグラウンド・モードがアクティブなら、タイマ・カウンタとコヒーレンシ・メカニズムは停止します。これは、バックグラウンド・モードがアクティブのときにカウンタの一方または両方のバイトをリードしてもバッファ・ラッチの状態を維持させるためです。

16.3.3 タイマ・カウンタ・モジュロ・レジスタ（TPMMODH:TPMMODL）

リード / ライト可能な TPM モジュロ・レジスタは、TPM カウンタのモジュロ値を格納します。TPM カウンタは、モジュロ値に達すると次のクロックで 0x0000 からカウントを再開するか（CPWMS = 0 の場合)、カウント・ダウンを開始し（CPWMS = 1 の場合)、オーバフロー・フラグ（TOF）がセットされます。TPMMODH または TPMMODL にライトすると、もう一方のバイトにライトするまでは TOF ビットとオーバフロー割込みは禁止されます。リセットでは TPM カウンタ・モジュロ・レジスタは 0x0000 に設定されるので、タイマ・カウンタはフリーランニングで動作します（モジュロはディセーブルです)。

	7	6	5	4	3	2	1	0
R W	ビット 15	14	13	12	11	10	9	ビット 8
リセット	0	0	0	0	0	0	0	0

図 16-6. タイマ・カウンタ・モジュロ・レジスタ上位（TPMMODH）

	7	6	5	4	3	2	1	0
R W	ビット 7	6	5	4	3	2	1	ビット 0
リセット	0	0	0	0	0	0	0	0

図 16-7. タイマ・カウンタ・モジュロ・レジスタ下位（TPMMODL）

次のオーバフローが発生する前に余裕をもってモジュロ・レジスタの両方のバイトをライトできるように、オーバフロー割込みを待つことを推奨します。また、TPM モジュロ・レジスタにライトする前に TPM カウンタをリセットして、最初のカウンタ・オーバフローが発生するタイミングに余裕をもたせる方法もあります。

16.3.4 タイマ・チャネル n ステータス / 制御レジスタ（TPMCnSC）

TPMCnSC は、チャネル割込みのステータス・フラグと割込みイネーブル、チャネル構成、およびピン機能の設定に使用する制御ビットを格納します。

	7	6	5	4	3	2	1	0
R	CHnF	CHnIE	MSnB	MSnA	ELSnB	ELSnA	0	0
W								
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

図 16-8. タイマ・チャネル n ステータス / 制御レジスタ（TPMCnSC）

表 16-4. TPMCnSC レジスタのフィールド説明

フィールド	説明
7 CHnF	**チャネル n フラグ** - チャネル n がインプット・キャプチャに設定されている場合、このフラグ・ビットはチャネル n ピンでアクティブ・エッジが発生するとセットされます。チャネル n がアウトプット・コンペアかエッジ・アライン PWM チャネルなら、CHnF は TPM カウンタ・レジスタの値と TPM チャネル n 値レジスタの値が一致するとセットされます。このフラグは、センター・アラインの PWM ではほとんど使用されません。理由は、アクティブなデューティ・サイクル周期の両方のエッジで、カウンタとチャネル値レジスタの値が一致するたびセットされるからです。 CHnF がセットで割込みがイネーブル（CHnIE = 1）なら、対応する割込みが要求されます。CHnF をクリアするには、CHnF がセットのときに TPMCnSC をリードして、次に CHnF に 0 をライトします。クリア・シーケンスが完了する前に別の割込み要求が発生するとシーケンスはリセットされるので、前の CHnF のクリア・シーケンスが終了した後も CHnF はセットされたままです。これは、前の CHnF のクリアで CHnF 割込み要求が破棄されないようにするための措置です。リセットでは CHnF ビットはクリアされます。CHnF に 1 をライトしてもビットは変化しません。 0　チャネル n でインプット・キャプチャまたはアウトプット・コンペアのイベントは発生していません。 1　チャネル n でインプット・キャプチャまたはアウトプット・コンペアのイベントが発生。
6 CHnIE	**チャネル n 割込みイネーブル** - このリード / ライト・ビットは、チャネル n による割込みをイネーブルにします。リセットでは CHnIE はクリアされます。 0　チャネル n の割込み要求はディセーブルです（ソフトウェア・ポーリングを使用します)。 1　チャネル n の割込み要求はイネーブルです。
5 MSnB	**TPM チャネル n のモード選択 B** - CPWMS = 0 なら、MSnB = 1 で TPM チャネル n はエッジ・アライン PWM モードに設定されます。チャネルのモードと設定の制御の一覧については、表 16-5 を参照してください。
4 MSnA	**TPM チャネル n のモード選択 A** - CPWMS = 0 で MSnB = 0 なら、MSnA で TPM チャネル n はインプット・キャプチャ・モードあるいはアウトプット・コンペアに設定されます。チャネルのモードと設定の制御の一覧については、表 16-5 を参照してください。
3:2 ELSn[B:A]	**エッジ / レベル選択ビット** - これらのビットは、CPWMS:MSnB:MSnA により設定されるタイマ・チャネルの動作モードに応じて、表 16-5 に示すようにインプット・キャプチャ・イベントをトリガする入力エッジの極性、アウトプット・コンペアの一致に応じてドライブされるレベル、または PWM 出力の極性を選択します。 ELSnB:ELSnA を 0:0 にセットすると、関連するタイマ・ピンはタイマ・チャネル機能と関係のない汎用 I/O ピンに設定されます。この機能は、通常は対応するタイマ・チャネルを、ピンを使用しないソフトウェア・タイマとして設定する場合、インプット・キャプチャ・チャネルを一時的にディセーブルにする場合、そしてタイマ・ピンを汎用 I/O ピンとして使用する場合に用いられます。

表 16-5. モード、エッジ、およびレベルの選択

CPWMS	MSnB:MSnA	ELSnB:ELSnA	モード	設定
X	XX	00	ピンは TPM チャネルでは使用されません；TPM で外部クロックが使用されるか、ピンは汎用 I/O の機能に戻ります	
0	00	01	インプット・キャプチャ	立ち上がりエッジでのみキャプチャ
		10		立ち下がりエッジでのみキャプチャ
		11		立ち下がりまたは立ち上がりエッジでキャプチャ
	01	00	アウトプット・コンペア	ソフトウェア・コンペアのみ
		01		コンペアでアウトプットをトグル
		10		コンペアでアウトプットをクリア
		11		コンペアでアウトプットをセット
	1X	10	エッジ・アライン PWM	high が真のパルス（コンペアでアウトプットをクリア）
		X1		low が真のパルス（コンペアでアウトプットをセット）
1	XX	10	センター・アライン PWM	high が真のパルス（コンペアアップでアウトプットをクリア）
		X1		low が真のパルス（コンペアアップでアウトプットをセット）

インプット・キャプチャ・モードに移行する前に対応するポート・ピンが 2 バス・クロック・サイクル以上安定していない場合、予期しないエッジ・トリガを検出する可能性があります。通常は、予期しない動作を回避するためにプログラムはチャネル設定ビットを変更した後、チャネル割込みをイネーブルにする前あるいはステータス・フラグを使用する前に、ステータス・フラグをクリアします。

16.3.5 タイマ・チャネル値レジスタ（TPMCnVH:TPMCnVL）

これらのリード / ライト・レジスタは、インプット・キャプチャ機能の場合には取り込まれた TPM カウンタ値、アウトプット・コンペアまたは PWM 機能の場合にはアウトプット・コンペア値を格納します。チャネル値レジスタはリセットでクリアされます。

	7	6	5	4	3	2	1	0
R W	ビット 15	14	13	12	11	10	9	ビット 8
リセット	0	0	0	0	0	0	0	0

図 16-9. タイマ・チャネル値レジスタ上位（TPMCnVH）

	7	6	5	4	3	2	1	0
R W	ビット 7	6	5	4	3	2	1	ビット 0
リセット	0	0	0	0	0	0	0	0

図 16-10. タイマ ・チャネル値レジスタ下位（TPMCnVL）

インプット・キャプチャ・モードでは、いずれかのバイト（TPMCnVH または TPMCnVL）をリードすると両方のバイトの内容がバッファにラッチされ、もう一方のバイトをリードするまではラッチされたままです。このラッチ・メカニズムは、TPMCnSC レジスタにライトしたときにリセットされます（ラッチが解消されます）。

アウトプット・コンペアまたは PWM モードでは、いずれかのバイト（TPMCnVH または TPMCnVL）にライトすると値がバッファにラッチされます。両方のバイトへのライトが完了すると、その値はコヒーレントな 16 ビット値としてタイマ・チャネル値レジスタに転送されます。このラッチ・メカニズムは、TPMCnSC レジスタにライトして手動でリセットできます。

このラッチ・メカニズムでは、さまざまなコンパイラ・インプリメンテーションで利用しやすいように、どちらのバイトからライトしてもコヒーレントな 16 ビット・ライトが保たれます。

16.4 機能の説明

すべての TPM 機能は、クロック・ソースとプリスケール分周値を柔軟に選択できるメインの 16 ビット・カウンタに関連したものです。16 ビットのモジュロ・レジスタも TPM のメインの 16 ビット・カウンタで使用します。各 TPM チャネルは、MCU ピンおよびマスカブルな割込み機能を対応させることもできます。

TPM には、TPMSC の CPWMS 制御ビットで制御されるセンター・アライン PWM の機能があります。CPWMS が 1 にセットされていれば、タイマ・カウンタの TPMCNT はアップ / ダウン・カウンタとなり、対応する TPM のすべてのチャネルはセンター・アライン PWM チャネルとして機能します。CPWMS = 0 なら、各チャネルは個別にインプット・キャプチャ、アウトプット・コンペア、またはバッファ付きエッジ・アライン PWM のモードに設定できます。

以降では、メインの 16 ビット・カウンタおよび各動作モード（インプット・キャプチャ、アウトプット・コンペア、エッジ・アライン PWM、およびセンター・アライン PWM）について解説します。各モードの項では、動作モードに依存するピン機能と割込み処理についても説明します。

16.4.1 カウンタ

すべてのタイマ機能は、メインの 16 ビット・カウンタ（TPMCNTH:TPMCNTL）をベースにしています。この項では、クロック・ソースの選択、アップカウントとアップ / ダウン・カウントの比較、カウント・オーバフロー、および手動によるカウンタ・リセットについて解説します。

MCU のリセット後は、CLKSB:CLKSA = 0:0 でクロック・ソースは選択されておらず、TPM はインアクティブになります。通常は、CLKSB:CLKSA を 0:1 にしてバス・クロックがタイマ・カウンタをドライブするように設定します。各 TPM のクロック・ソースは、オフ、バス・クロック（BUSCLK）、固定システム・クロック（XCLK）、または外部入力から選択できます。外部クロック・オプションで許可される最大周波数は、バス・レートの 1/4 です。クロック・ソース選択の詳細については、「16.3.1 タイマ・ステータス / 制御レジスタ（TPMSC）」および表 16-2 を参照してください。

マイクロコントローラがアクティブ・バックグラウンド・モードなら、TPM はマイクロコントローラが通常のユーザ動作モードに戻るまで一時的にすべてのカウントを停止します。ストップ・モードでは、すべての TPM クロックが停止するために TPM はクロック供給が再開するまで事実上ディセーブルされます。ウェイト・モードでは、TPM は通常どおりに動作を継続します。

メイン 16 ビット・カウンタには 2 つのカウント・モードがあります。センター・アライン PWM が選択されていれば（CPWMS = 1）、カウンタはアップ / ダウン・カウント・モードで動作します。それ以外は単純なアップ・カウンタとして動作します。アップ・カウンタの場合は、メイン 16 ビット・カウンタは 0x0000 から最終値までカウントして、再び 0x0000 からカウントを続けます。最終値は 0xFFFF または TPMMODH:TPMMODL のモジュラス値です。

センター・アライン PWM の動作が指定されていれば、カウンタは 0x0000 から最終値までカウント・アップしてから 0x0000 までカウント・ダウンし、再び 0x0000 からカウント・アップします。0x0000 および最終値（TPMMODH:TPMMODL の値）は、いずれも通常の長さのカウント値（1 タイマ・クロック期間長）です。

メイン 16 ビット・カウンタには、割込みフラグとイネーブル信号が用意されています。タイマ・オーバフロー・フラグ（TOF）は、タイマ・カウンタがオーバフローしたことを示すソフトウェアでアクセスが可能なフラグです。イネーブル信号は、ハードウェア割込みを発生させずにソフトウェア・ポーリングを行うか（TOIE = 0）、または TOF フラグが 1 なら常にハードウェア割込みが自動的に生成させるか（TOIE = 1）を選択します。

TOF がセットされる条件は、カウント・モード（アップまたはアップ / ダウン）によって異なります。アップカウント・モードでは、メイン 16 ビット・カウンタは 0x0000 から 0xFFFF までのカウントを行い、次のカウント・クロックで 0x0000 にオーバフローします。TOF は、0xFFFF から 0x0000 に変化するタイミングでセットされます。モジュラス制限が設けられている場合は、TOF はモジュラス・レジスタに設定される値から 0x0000 に変化するタイミングでセットされます。メイン 16 ビット・カウンタがアップ / ダウン・カウント・モードで動作する場合は、TOF フラグはモジュラス・レジスタに設定される値から 1 つだけ小さいカウント値へ移行し、カウンタの方向が変化するとセットされます。このタイミングは PWM 周期の末尾に該当します （0x0000 のカウント値は周期の中央に該当します）。

HCS08MCU は 8 ビット・アーキテクチャであるため、タイマ・カウンタにはリード操作のためのコヒーレンシ・メカニズムが組み込まれています。カウンタのどちらかのバイト（TPMCNTH または TPMCNTL）をリードすると両方のバイトがバッファに取り込まれます。その後、もう一方のバイトをリードするときはバッファに取り込まれた値がリードされます。カウンタは通常どおりにカウントを続けますが、古いカウントの両方のバイトのリードを完了するまでは新しい値をリードできません。

メイン・タイマ・カウンタは、タイマ・カウントの TPMCNTH または TPMCNTL のどちらかのバイトに任意の値をライトすれば、いつでも手動でリセットできます。この方法でカウンタをリセットすると、リセットの前にカウンタの 1 バイトだけをリードしていた場合はコヒーレンシ・メカニズムもリセットされます。

16.4.2 チャネル・モードの選択

CPWMS = 0（センター・アライン PWM の動作を指定しない）なら、対応するチャネルの基本的な動作モードはチャネル n のステータス / 制御レジスタの MSnB と MSnA の制御ビットで決まります。選択できるのは、インプット・キャプチャ、アウトプット・コンペア、およびバッファ付きエッジ・アライン PWM です。

16.4.2.1 インプット・キャプチャ・モード

インプット・キャプチャ機能では、TPM は外部イベントが発生するときにタイマ値をキャプチャできます。インプット・キャプチャ・チャネルのピンでアクティブ・エッジが発生すると、TPM は TPM カウンタの内容をチャネル値レジスタ（TPMCnVH: TPMCnVL）にラッチします。インプット・キャプチャをトリガするアクティブ・エッジとしては、立ち上がりエッジ、立ち下がりエッジ、または任意のエッジを選択できます。

16 ビットのキャプチャ・レジスタのどちらかのバイトをリードすると両方のバイトがバッファにラッチされるため、リードする順序に関係なくコヒーレントな 16 ビット・アクセスがサポートされます。コヒーレンシ・シーケンスは、チャネルのステータス / 制御レジスタ（TPMCnSC）へのライトにより手動でリセットできます。

インプット・キャプチャ・イベントが発生すると、オプションで CPU 割込み要求を生成するフラグ・ビット（CHnF）がセットされます。

16.4.2.2 アウトプット・コンペア・モード

アウトプット・コンペア機能では、TPM は位置、極性、期間、および周波数が可変のタイミング指定のパルスを生成できます。カウンタがアウトプット・コンペア・チャネルのチャネル値レジスタの値に達すると、TPM はチャネル・ピンのセット、クリア、またはトグルを行います。

アウトプット・コンペア・モードでは、16 ビット・レジスタの両方の 8 ビット・バイトにライトした後でのみ、その値が対応するタイマ・チャネル値レジスタに転送されます。このコヒーレンシ・シーケンスは、チャネルのステータス / 制御レジスタ（TPMCnSC）へのライトにより手動でリセットできます。

アウトプット・コンペア・イベントが発生すると、オプションで CPU 割込み要求を生成するフラグ・ビット（CHnF）がセットされます。

16.4.2.3 エッジ・アライン PWM モード

このタイプの PWM 出力は、標準的なタイマ・カウンタのアップカウント・モードを使用します（CPWMS = 0）。このモードは、同じ TPM の他のチャネルがインプット・キャプチャまたはアウトプット・コンペアの機能に設定されていれば使用できます。この PWM 信号の周期は、モジュラス・レジスタ（TPMMODH: TPMMODL）の設定で決まります。デューティ・サイクルは、タイマのチャネル値レジスタ（TPMCnVH: TPMCnVL）の設定で決まります。この PWM 信号の極性は、ELSnA 制御ビットの設定で決まります。デューティ・サイクルは 0 % と 100 % が指定できます。

図 16-11 に示すように、PWM 信号のパルス幅（デューティ・サイクル）は TPM チャネル・レジスタのアウトプット・コンペア値で決まります。モジュラス・オーバフローとアウトプット・コンペア間の期間はパルス幅です。ELSnA = 0 なら、PWM 信号はカウンタ・オーバフローで High に設定され、アウトプット・コンペアでは Low に設定されます。ELSnA = 1 なら、PWM 信号はカウンタ・オーバフローで Low に設定され、アウトプット・コンペアでは High に設定されます。

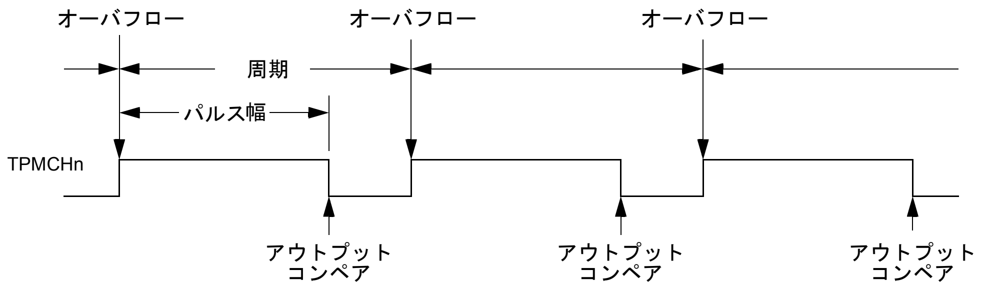


図 16-11. PWM の周期とパルス幅（ELSnA = 0）

チャネル値レジスタを 0x0000 に設定していれば、デューティ・サイクルは 0 % です。タイマ・チャネル値レジスタ（TPMCnVH: TPMCnVL）をモジュラス設定よりも大きい値に設定すれば、デューティ・サイクルは 100% になります。これは、デューティ・サイクルを 100% にするためにはモジュラス設定が 0xFFFF 未満でなければならないことを意味します。

HCS08 ファミリは 8 ビット MCU であるため、コヒーレントな 16 ビット更新を保証して予期しない PWM パルス幅を回避するために、タイマ・チャネル・レジスタの設定はバッファに格納されます。つまり、TPMCnVH または TPMCnVL のどちらかのレジスタにライトすると、その値はバッファ・レジスタにライトされます。エッジ PWM モードでは、16 ビット・レジスタの両方の 8 ビット・バイトへのライトを行った後で TPMCNTH:TPMCNTL カウンタの値が 0x0000 である場合のみ、ライトした値が対応するタイマ・チャネル・レジスタに転送されます（新しいデューティ・サイクルは次の周期が完了するまでは有効になりません）。

16.4.3 センター・アライン PWM モード

このタイプの PWM 出力は、タイマ・カウンタのアップ / ダウン・カウント・モードを使用します（CPWMS = 1）。PWM 信号のパルス幅（デューティ・サイクル）は TPMCnVH: TPMCnVL のアウトプット・コンペア値で決まり、周期は TPMMODH:TPMMODL の値で決まります。TPMMODH:TPMMODL は、出力が不定になるのを避けるために 0x0001 ～ 0x7FFF の範囲に収める必要があります。CPWM 出力の極性は ELSnA で決まります。

パルス幅 = 2 x (TPMCnVH:TPMCnVL) **方程式 16-1**

周期 = 2 x (TPMMODH:TPMMODL);
TPMMODH:TPMMODL = 0x0001–0x7FFF **方程式 16-2**

チャネル値レジスタ TPMCnVH:TPMCnVL がゼロか負（ビット 15 がセット）なら、デューティ・サイクルは 0% です。TPMCnVH: TPMCnVL の値が正（ビット 15 がクリア）で（ゼロ以外の）モジュラス設定より大きければ、デューティ・サイクルの比較は行われないという理由からデューティ・サイクルは 100% です。このことは、モジュラス・レジスタの有効な設定範囲は 0x0001 ～ 0x7FFE（100% のデューティ・サイクルの生成が不要なら 0x7FFF）であることを意味します。この制限は、出力として得られる周期が通常の用途で必要な値よりも十分に大きいために厳しいものではありません。

TPMMODH:TPMMODL = 0x0000 は、センター・アライン PWM モードで使用を回避すべき特殊なケースです。CPWMS = 0 なら、このケースは 0x0000 ～ 0xFFFF を範囲とするフリーランニング・カウンタに該当します。CPWMS = 1 なら、アップ・カウントからダウン・カウントに方向を変換するためにカウンタとモジュラス・レジスタは 0x0000 以外の値で一致する必要があります。

図 16-12 に、TPM チャネル・レジスタのアウトプット・コンペア値（2 倍の値）と CPWM 信号のパルス幅（デューティ・サイクル）の関係を示します。ELSnA = 0 なら、カウント・アップ中に比較が一致すると CPWM 出力信号は Low に設定され、カウント・ダウン中に比較が一致すると出力は High に設定されます。カウンタは、TPMMODH:TPMMODL のモジュロ設定に達するまでカウント・アップを行い、その後でゼロに達するまでカウント・ダウンを続けます。したがって、周期は TPMMODH: TPMMODL の 2 倍に等しくなります。

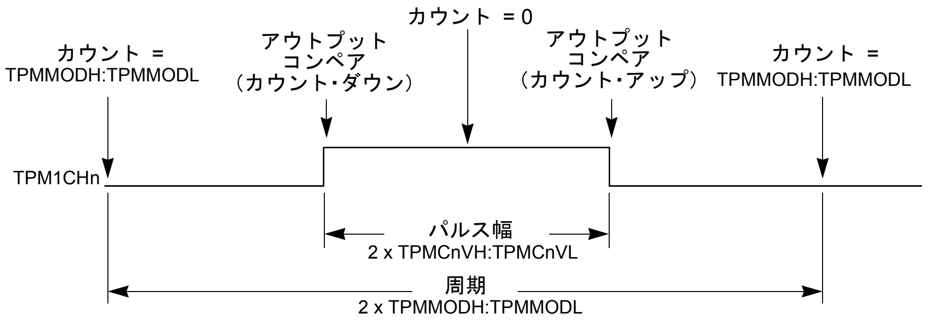


図 16-12. CPWM の周期とパルス幅（ELSnA = 0）

センター・アライン PWM の出力のノイズは、通常はエッジ・アライン PWM よりも小さくなります。理由は、同じシステム・クロック・エッジで一斉に変化する I/O ピン数がより少ないためです。このタイプの PWM は一部のモーター駆動装置に適しています。

HCS08 ファミリは 8 ビット MCU であるため、コヒーレントな 16 ビット更新を保証して予期しない PWM パルス幅を回避するために、タイマ・チャネル・レジスタの設定はバッファに格納されます。そのため、TPMMODH、TPMMODL、TPMCnVH、および TPMCnVL の各レジスタへのライトは、実際にはバッファ・レジスタへのライトです。値が対応するタイマ・チャネル・レジスタに転送されるのは、16 ビット・レジスタの両方の 8 ビット・バイトへのライトが完了して、タイマ・カウンタがオーバフローする（モジュラス・レジスタの最終値でアップ・カウントからダウン・カウントに方向が反転する）場合だけです。この TPMCNT のオーバフロー条件は、アウトプット・コンペアではなく PWM チャネルにのみ適用されます。

TPMCNTH: TPMCNTL = TPMMODH: TPMMODL なら、TPM はオプションでカウントの最後に TOF 割込みを生成できます。ユーザは任意の数の PWM バッファの再ロードを選択することができ、PWM バッファは次の周期の開始時に同時に更新されます。

TPMSC にライトすると、TPMMODH や TPMMODL にライトされた値は取り消され、モジュロ・レジスタに対するコヒーレンシ・メカニズムはリセットされます。TPMCnSC にライトすると、チャネル値レジスタにライトされた値は取り消され、TPMCnVH:TPMCnVL に対するコヒーレンシ・メカニズムはリセットされます。

16.5 TPM の割込み

TPM は、メイン・カウンタのオーバフローに対するオプションの割込みおよび各チャネルの割込みを生成します。チャネル割込みの意味は、各チャネルの動作モードによって異なります。チャネルがインプット・キャプチャに設定されていれば、選択されたインプット・キャプチャ・エッジが認識されるたびに割込みフラグがセットされます。チャネルがアウトプット・コンペアまたは PWM モードに設定されていれば、メイン・タイマ・カウントの値と 16 ビットのチャネル値レジスタの値が一致するたびに割込みフラグがセットされます。割込みベクタの絶対アドレス、優先度、およびローカル割込みマスクの制御ビットについては、「第 5 章 リセット、割込み、および全体的なシステム制御」を参照してください。

TPM の各割込みソースに対しては、タイマ・オーバフロー、チャネル・インプット・キャプチャ、またはアウトプット・コンペアの各イベントなどの割込み条件が認識されると、フラグ・ビットがセットされます。このフラグは処理が発生したか確認するためにソフトウェアでリード（ポーリング）できます。または対応するイネーブル・ビット（TOIE または CHnIE）をセットしてハードウェア割込みの生成をイネーブルにすることをもできます。割込みイネーブル・ビットがセットなら、対応する割込みフラグが 1 になれば割込みが生成されます。ユーザ・ソフトウェアは、割込みサービス・ルーチンから復帰する前に割込みフラグをクリアするシーケンスを実行する必要があります。

16.5.1 タイマ割込みフラグのクリア

TPM 割込みフラグをクリアするには、セット（1）のときにフラグ・ビットをリードしてその後でビットに 0 をライトする、2 ステップのシーケンスを実行します。この 2 つのステップの間に新しいイベントが検出されると、シーケンスはリセットされ、割込みフラグは新規イベントの見落としを避けるために第 2 ステップの後もセットされたままになります。

16.5.2 タイマ・オーバフロー割込みの説明

TOF がセットされる条件は、カウント・モード（アップまたはアップ / ダウン）によって異なります。アップカウント・モードでは、メイン 16 ビット・タイマ・カウンタは 0x0000 から 0xFFFF までのカウントを行い、次のカウント・クロックで 0x0000 にオーバフローします。TOF は、0xFFFF から 0x0000 に変化するタイミングでセットされます。モジュラス制限が設けられている場合は、TOF はモジュラス・レジスタに設定される値から 0x0000 に変化するタイミングでセットされます。カウンタがアップ / ダウン・カウント・モードで動作する場合は、TOF フラグはモジュラス・レジスタに設定される値から 1 つだけ小さいカウント値への移行でカウンタの方向が変化するとセットされます。このタイミングは PWM 周期の末尾に該当します （0x0000 のカウント値は周期の中央に該当します）。

16.5.3 チャネル・イベント割込みの説明

チャネル割込みの意味は、チャネルの現在のモード（インプット・キャプチャ、アウトプット・コンペア、エッジ・アライン PWM、またはセンター・アライン PWM）により異なります。

チャネルがインプット・キャプチャ・チャネルに設定されていれば、ELSnB:ELSnA 制御ビットではインプット・キャプチャ・イベントをトリガするエッジとして、立ち上がりエッジ、立ち下がりエッジ、任意のエッジ、またはエッジなし（オフ）を選択します。選択されたエッジが検出されると割込みフラグがセットされます。フラグは、「16.5.1 タイマ割込みフラグのクリア」で説明した 2 ステップのシーケンスでクリアされます。

チャネルがアウトプット・コンペア・チャネルに設定されていれば、割込みフラグはメイン・タイマ・カウンタの値とチャネル値レジスタの 16 ビット値が一致するたびにセットされます。フラグは、「16.5.1 タイマ割込みフラグのクリア」で説明した 2 ステップのシーケンスでクリアされます。

16.5.4 PWM のデューティ・サイクル完了イベント

PWM 動作に設定したチャネルでは、次の 2 つの可能性が考えられます。

- チャネルがエッジ・アライン PWM に設定されていれば、タイマ・カウンタの値とアクティブなデューティ・サイクル周期の完了を指示するチャネル値レジスタの値が一致すると、チャネル・フラグがセットされます。
- チャネルがセンター・アライン PWM に設定されていれば、タイマ・カウントとチャネル値レジスタの値は各 PWM サイクルで 2 回一致します。この CPWM のケースでは、タイマ・カウンタの値とチャネル値レジスタの値が一致するアクティブ・デューティ・サイクルの開始時と完了時に、チャネル・フラグがセットされます。

フラグは、「16.5.1 タイマ割込みフラグのクリア」で説明した 2 ステップのシーケンスでクリアされます。

第 17 章
開発サポート

17.1　はじめに

HCS08 には、バックグラウンド・デバッグ・コントローラ（BDC）とオンチップ・デバッグ・モジュール（DBG）で構成される開発サポート・システムがあります。BDC は、ターゲット MCU に対するシングルワイヤのデバッグ・インタフェースを提供します。この操作性に優れたインタフェースにより、オンチップ FLASH や他の不揮発メモリをプログラミングすることができます。開発のための主要なデバッグ・インタフェースでもある BDC では、メモリ・データの非侵入型アクセスを行うほか、CPU レジスタの変更、ブレークポイント、および命令のトレース・コマンドなどの従来のデバッグ機能を利用できます。

HCS08 ファミリでは、アドレスとデータのバス信号は外部ピンには供給されません。デバッグを行うには、シングルワイヤのバックグラウンド・デバッグ・インタフェースを通してターゲット MCU に転送される各コマンドを使用します。デバッグ・モジュールには、バス情報を選択的にトリガおよびキャプチャする手段が用意されており、外部開発システムは、アドレスやデータの信号を外部からアクセスせずに MCU 内の状況をサイクル単位で再構築することができます。

17.1.1　モジュール設定

代替 BDC クロック・ソースは ICSLCLK です。BDCSCR レジスタの CLKSW ビットをクリアすると、このクロック・ソースが選択されます。ICSLCLK の詳細については、「10.4 機能の説明」を参照してください。

17.2 主な特長

BDC モジュールの主な特長は以下の通りです。

- モード選択およびバックグラウンド通信用ピン
- BDC レジスタをメモリ・マップ外に配置
- ターゲット通信レートを決めるための SYNC コマンド
- 非侵入型コマンドでのメモリ・アクセス
- CPU レジスタをアクセスするためのアクティブ・バックグラウンド・モード・コマンド
- GO コマンドおよび TRACE1 コマンド
- BACKGROUND コマンドによりストップまたはウェイト・モードからの CPU のウェイクアップが可能
- BDC に 1 つのハードウェア・アドレス・ブレークポイントを実装
- BDC がイネーブル時のストップ・モードでもオシレータが動作
- アクティブ・バックグラウンド・モードでは COP ウォッチドッグがディセーブル

17.3 バックグラウンド・デバッグ・コントローラ（BDC）

HCS08 ファミリのすべての MCU は、シングルワイヤのバックグラウンド・デバッグ・インタフェースを備えており、オンチップの不揮発メモリをインサーキットでプログラミングしたり、高機能の非侵入型のデバッグ処理を行うことができます。このシステムは、これまでの 8 ビット MCU のデバッグ・インタフェースとは異なり、通常のアプリケーション・リソースに支障をきたすことはありません。つまり、ユーザ・メモリやメモリ・マップ内のロケーションを使用したり、オンチップ・ペリフェラルと領域を共有したりすることはありません。

BDC コマンドは、次の 2 つのグループに分類されます。

- アクティブ・バックグラウンド・モード・コマンド。このコマンドを実行するには、ターゲット MCU がアクティブ・バックグラウンド・モードになっている必要があります（ユーザ・プログラムは実行されません）。アクティブ・バックグラウンド・モード・コマンドでは、CPU レジスタのリードやライト、1 回につき 1 つのユーザ命令のトレース、または GO コマンドによるアクティブ・バックグラウンド・モードからユーザ・プログラムへの移行が可能です。
- 非侵入型コマンド。このコマンドは、ユーザ・プログラムの実行中でも任意に実行できます。非侵入型コマンドでは、MCU メモリ・ロケーションのリードやライト、またはバックグラウンド・デバッグ・コントローラ内のステータス / 制御レジスタのアクセスが可能です。

通常は、ホスト・コンピュータのコマンドをシングルワイヤのバックグラウンド・デバッグ・システムに対するカスタム・シリアル・インタフェースのコマンドに変換するには、比較的単純な構成のインタフェース・ポッドを使用します。このインタフェース・ポッドとホスト PC との通信の形態は、標準的な RS-232 シリアル・ポート、パラレル・プリンタ・ポート、またはユニバーサル・シリアル・バス（USB）など、開発ツール・ベンダによってさまざまです。ポッドは、通常はターゲット・システムのグラウンド、BKGD ピン、$\overline{\text{RESET}}$、および場合により V_{DD} に接続します。オープンドレインの接続でリセットができれば、ホストからターゲット・システムをリセットしてターゲット・システムの失われた制御を回復したり、オンチップの不揮発メモリをプログラムする前にターゲット・システムの起動を制御したりする場合に便利です。また、V_{DD} を利用してターゲット・システムからポッドに電力を供給すれば、電源を別に準備する必要もありません。ただし、ポッドの専用電源を用意すれば、ターゲット・システムをリセットしたり実行中のアプリケーション・プログラムに影響を与えたりせずに、ポッドと稼働中のターゲット・システムを接続することができます。

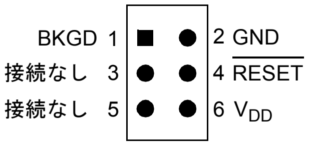


図 17-1. BDM ツールのコネクタ

17.3.1 BKGD ピンの説明

BKGD は、シングルワイヤのバックグラウンド・デバッグ・インタフェース・ピンです。このピンの主な機能は、アクティブ・バックグラウンド・モードのコマンドとデータを双方向でシリアル通信することです。リセット時は、このピンを使用してアクティブ・バックグラウンド・モードで起動するかユーザのアプリケーション・プログラムを起動するかを選択します。このピンは、ホスト開発ツールがバックグラウンド・デバッグでのシリアル通信の適切なクロック周波数を判定できるように、タイミング制御の同期応答パルスの要求にも使用されます。

BDC シリアル通信は、M68HC12 マイクロコントローラ・ファミリで初めて導入されたカスタム・シリアル・プロトコルを使用します。このプロトコルは、ターゲット BDC のクロック・レートで決まる通信クロック・レートをホストが認識していることを前提にしています。すべての通信は、エッジを High から Low にドライブして各ビット・タイムの開始を通知するホストにより起動および制御されます。コマンドおよびデータは、最上位ビットから順に送出されます（MSB 先頭)。通信プロトコルの詳細については、「17.3.2 通信の詳細」を参照してください。

ホストは、BDC クロック・レートが判明していないターゲット MCU と通信を行う場合、SYNC コマンドをターゲット MCU に送出してタイミング制御の同期応答信号を要求します。ホストは、この信号で正しい通信速度を決定することができます。

BKGD は疑似オープンドレイン・ピンでオンチップ・プルアップを内蔵しており、外部のプルアップ抵抗は必要ありません。通常のオープンドレイン・ピンとは異なり、このピンの外部 RC 時定数は外部キャパシタンスによって支配され、信号の立ち上がり時間にはほとんど影響を及ぼしません。カスタム・プロトコルは、加速化パルスを短時間に積極的にドライブして、危険性の大きいドライブ・レベル競合のリスクをともなわずにこのピンの迅速な立ち上がりを可能します。詳細については、「17.3.2 通信の詳細」を参照してください。

6 ピンの BDM インタフェース・コネクタにデバッグ・ポッドを接続しなければ、BKGD の内部プルアップにより通常の動作モードが選択されます。開発システムを接続すれば、BKGD と $\overline{\text{RESET}}$ がともに Low にプルされ、$\overline{\text{RESET}}$ の解放により通常の動作モードではなくアクティブ・バックグラウンド・モードが選択され、その後で BKGD が解放されます。そのため、バックグラウンド・デバッグ・インタフェースでのポッドとの通信でターゲット MCU をリセットする必要はありません。

17.3.2 通信の詳細

BDC シリアル・インタフェースでは、外部コントローラは BKGD ピンで立ち下がりエッジを生成して各ビット・タイムの開始を指示する必要があります。この立ち下がりエッジは、外部コントローラによるデータの送信または受信を通知します。

BKGD は、外部コントローラまたは MCU からのドライブが可能な疑似オープンドレイン・ピンです。データは、ビットあたり 16 BDC クロック・サイクル（通常速度）で MSB から順に転送されます。このとき、立ち下がりエッジの間にホストで 512 BDC クロック・サイクルが経過するとインタフェースはタイムアウトします。タイムアウトの発生時に処理中であった BDC コマンドは、メモリまたはターゲット MCU システムの動作モードに影響を与えずにアボートされます。

カスタム・シリアル・プロトコルでは、デバッグ・ポッドはターゲット BDC の通信クロック速度を認識している必要があります。

ユーザは、BDC ステータス / 制御レジスタのクロック・スイッチ（CLKSW）制御ビットで BDC クロック・ソースを選択できます。BDC クロック・ソースは、バスまたは代替 BDC クロック・ソースのどちらかで決まります。

BKGD ピンは、High または Low のレベルを受け取ったり、High または Low レベルを送出することができます。以降に、これらの各ケースのタイミング図を示します。インタフェース・タイミングはターゲット BDC のクロックと同期しますが、外部ホストに対しては非同期です。内部の BDC クロック信号は、サイクルをカウントする場合の参照用として示してあります。

図 17-2 に、外部ホストからターゲット HCS08 MCU の BKGD ピンへの論理 1 または論理 0 の送信を示します。ホストとターゲットは非同期であるため、ホストが立ち下がりエッジを生成してからターゲットがビット・タイムの開始を認識するまでには 0 ～ 1 サイクルの遅延が発生します。ターゲットは、10BDC クロック・サイクルが経過すると BKGD ピンでビット・レベルをセンスします。通常は、ホストはターゲットへの送信の期間で疑似オープンドレインの BKGD ピンを積極的にドライブして、立ち上がりエッジをより高速にします。ターゲットは、ホストからターゲットへの送信期間では BKGD ピンをドライブせず、この期間でラインをオープンドレイン信号として扱う必要はありません。

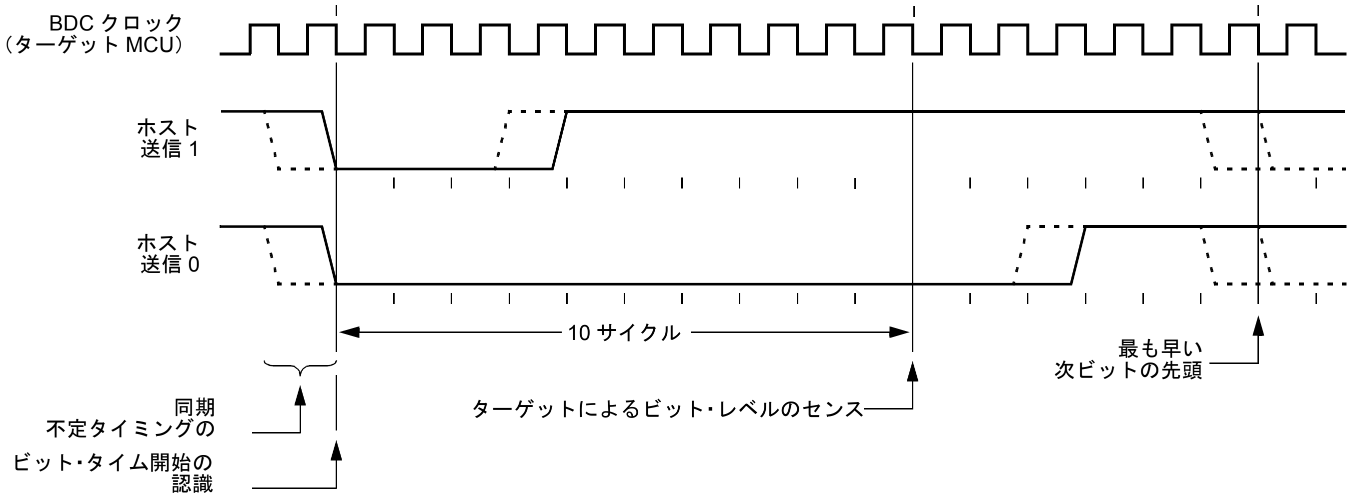


図 17-2. BDC のホストからターゲットへのシリアル・ビット・タイミング

図 17-3 に、ホストによるターゲット HCS08 MCU からの論理 1 の受信を示します。ホストとターゲット MCU は非同期であるため、ホストが BKGD で立ち下がりエッジを生成してからターゲットがビット・タイムの開始を認識するまでには 0 ～ 1 サイクルの遅延が発生します。ホストは、ターゲットが認識できるように十分な長さで（ターゲット BDC の 2 サイクル以上）BKGD ピンを Low に保ちます。ホストは、ターゲット MCU がビット・タイムの開始を認識してから 7 サイクル後にアクティブ High の加速化パルスを短期間でドライブする前に、Low のドライブを解除する必要があります。ホストは、ビット・タイムの開始から約 10 サイクル後にビット・レベルをサンプリングします。

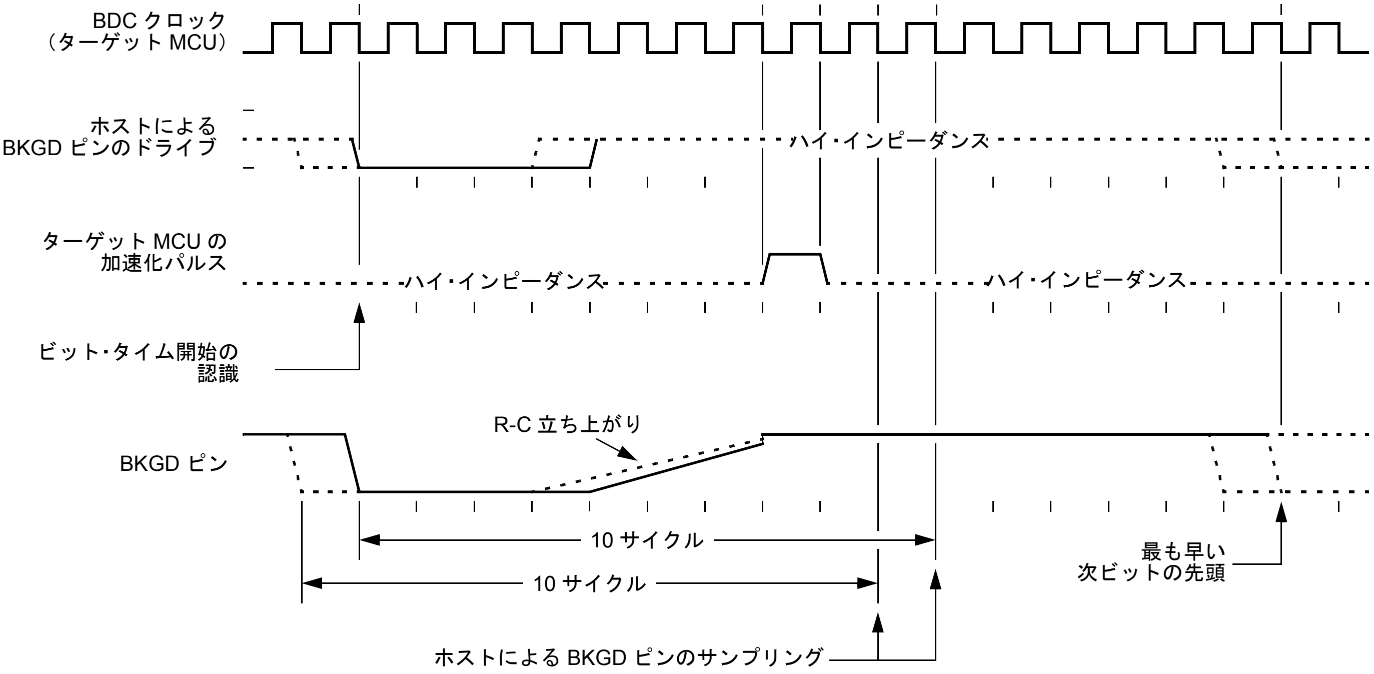


図 17-3. BDC のターゲットからホストへのシリアル・ビット・タイミング（論理 1）

図 17-4 に、ホストによるターゲット HCS08 MCU からの論理 0 の受信を示します。ホストとターゲット MCU は非同期であるため、ホストが BKGD で立ち下がりエッジを生成してからターゲットがビット・タイムの開始を認識するまでには 0 ～ 1 サイクルの遅延が発生します。ホストはビット・タイムを起動し、ターゲット HCS08 はビット・タイムを終了します。ターゲットは、ホストが論理 0 を受信するように BKGD ピンを 13BDC クロック・サイクルで Low にドライブし、その後で短期間で High にドライブして立ち上がりエッジをより高速にします。ホストは、ビット・タイムの開始から約 10 サイクル後にビット・レベルをサンプリングします。

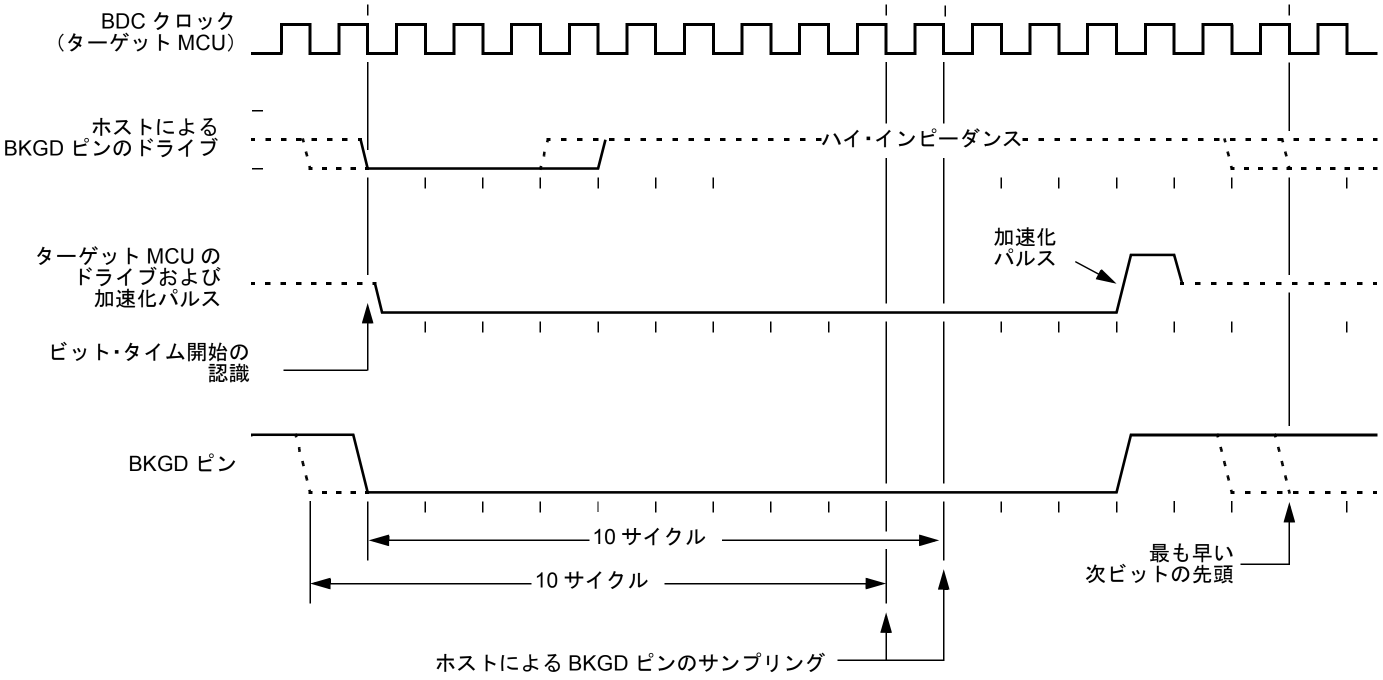


図 17-4. BDM のターゲットからホストへのシリアル・ビット・タイミング（論理 0）

17.3.3 BDC コマンド

BDC コマンドは、ホスト・コンピュータからターゲット HCS08 MCU の BKGD ピンにシリアルに送出されます。コマンドおよびデータは、すべてカスタム BDC 通信プロトコルに基づいて MSB から順に送出されます。アクティブ・バックグラウンド・モード・コマンドを実行するにはターゲット MCU がアクティブ・バックグラウンド・モードになっている必要がありますが、非侵入型コマンドはターゲット MCU がアクティブ・バックグラウンド・モードでもユーザ・アプリケーション・プログラムの実行中でも任意に発行できます。

表 17-1 に、すべての HCS08 BDC コマンド、コード構造の概略、および各コマンドの処理を示します。

コード構造の記号の意味

表 17-1 の BDC コマンドのコード構造の記号は、以下の意味を表します。

		コマンドは、ホストからターゲットの方向（最上位ビットが先頭）に 16 進値の 8 ビットのコマンド・コードが送られます。
/	=	コマンドの分割
d	=	ターゲット BDC の 16 クロック・サイクルの遅延
AAAA	=	ホストからターゲット方向の 16 ビット・アドレス
RD	=	ターゲットからホスト方向の 8 ビットのリード・データ
WD	=	ホストからターゲット方向の 8 ビットのライト・データ
RD16	=	ターゲットからホスト方向の 16 ビットのリード・データ
WD16	=	ホストからターゲット方向の 16 ビットのライト・データ
SS	=	ターゲットからホスト方向の BDCSCR の内容（ステータス）
CC	=	ホストからターゲット方向の BDCSCR に対する 8 ビットのライト・データ（コントロール）
RBKP	=	ターゲットからホスト方向の 16 ビットのリード・データ（BDCBKPT ブレークポイント・レジスタから）
WBKP	=	ホストからターゲット方向の 16 ビットのライト・データ（BDCBKPT ブレークポイント・レジスタへ）

表 17-1. BDC コマンドの一覧

コマンド ニーモニック	アクティブ BDM/ 非侵入型	コード 構造	説明
SYNC	非侵入型	n/a[1]	ターゲット BDC の通信速度を判定するタイミング制御基準パルスを要求
ACK_ENABLE	非侵入型	D5/d	アクノリッジ・プロトコルをイネーブル （注文番号 HCS08RMv1/D のフリースケール文書を参照）
ACK_DISABLE	非侵入型	D6/d	アクノリッジ・プロトコルをディセーブル （注文番号 HCS08RMv1/D のフリースケール文書を参照）
BACKGROUND	非侵入型	90/d	イネーブルならアクティブ・バックグラウンド・モードに移行（ENBDM ビットが 0 なら無効）
READ_STATUS	非侵入型	E4/SS	BDCSCR から BDC ステータスをリード
WRITE_CONTROL	非侵入型	C4/CC	BDCSCR に BDC 制御をライト
READ_BYTE	非侵入型	E0/AAAA/d/RD	ターゲット・メモリからバイトをリード
READ_BYTE_WS	非侵入型	E1/AAAA/d/SS/RD	バイトをリードしてステータスを通知
READ_LAST	非侵入型	E8/SS/RD	リード直後のアドレスからバイトを再リードしてステータスを通知
WRITE_BYTE	非侵入型	C0/AAAA/WD/d	ターゲット・メモリにバイトをライト
WRITE_BYTE_WS	非侵入型	C1/AAAA/WD/d/SS	バイトをライトしてステータスを通知
READ_BKPT	非侵入型	E2/RBKP	BDCBKPT ブレークポイント・レジスタをリード
WRITE_BKPT	非侵入型	C2/WBKP	BDCBKPT ブレークポイント・レジスタにライト
GO	アクティブ BDM	08/d	PC 内のアドレスからユーザ・アプリケーション・プログラムを実行
TRACE1	アクティブ BDM	10/d	PC 内のアドレスからユーザ命令を 1 つトレースしてアクティブ・バックグラウンド・モードに復帰
TAGGO	アクティブ BDM	18/d	GO に加えて外部タグ付けをイネーブル（HCS08 デバイスは外部タグ付けピンなし）
READ_A	アクティブ BDM	68/d/RD	アキュムレータ（A）をリード
READ_CCR	アクティブ BDM	69/d/RD	コンディション・コード・レジスタ（CCR）をリード
READ_PC	アクティブ BDM	6B/d/RD16	プログラム・カウンタ（PC）をリード
READ_HX	アクティブ BDM	6C/d/RD16	H と X のレジスタ・ペア（H:X）をリード
READ_SP	アクティブ BDM	6F/d/RD16	スタック・ポインタ（SP）をリード
READ_NEXT	アクティブ BDM	70/d/RD	H:X を 1 だけインクリメントして H:X のアドレスからメモリ・バイトをリード
READ_NEXT_WS	アクティブ BDM	71/d/SS/RD	H:X を 1 だけインクリメントして H:X のアドレスからメモリ・バイトをリード、ステータスとデータを通知
WRITE_A	アクティブ BDM	48/WD/d	アキュムレータ（A）にライト
WRITE_CCR	アクティブ BDM	49/WD/d	コンディション・コード・レジスタ（CCR）にライト
WRITE_PC	アクティブ BDM	4B/WD16/d	プログラム・カウンタ（PC）にライト
WRITE_HX	アクティブ BDM	4C/WD16/d	H と X のレジスタ・ペア（H:X）にライト
WRITE_SP	アクティブ BDM	4F/WD16/d	スタック・ポインタ（SP）にライト
WRITE_NEXT	アクティブ BDM	50/WD/d	H:X を 1 だけインクリメントして H:X のアドレスにメモリ・バイトをライト
WRITE_NEXT_WS	アクティブ BDM	51/WD/d/SS	H:X を 1 だけインクリメントして H:X のアドレスにメモリ・バイトをライト、ステータスを通知

[1] SYNC コマンドは、コマンド・コードのない特殊コマンドです。

SYNC コマンドと他の BDC コマンドが異なるのは、ホストは SYNC コマンドへの応答の解析が済むまでは BDC 通信で用いる正しい通信速度を知る必要がないからです。

ホストは、以下の手順で SYNC コマンドを発行します。

- BDC で許可される最も低速なクロックの 128 サイクル以上で BKGD ピンを Low にドライブします（最低速クロックは、通常は基準オシレータまたはセルフクロック・レートの 1/64 の値です）。
- BKGD を短期間の加速化パルスで High にドライブして立ち上がり時間を高速化します（加速化パルスは、通常はシステム内で最も高速なクロックの 1 サイクルです）。
- BKGD ピンへのすべてのドライブを解放してハイ・インピーダンスに戻します。
- BKGD ピンで同期応答パルスを監視します。

ターゲットは、ホストからの SYNC 要求を（通常の BDC 通信の場合よりも長い Low 期間により）検出すると以下の手順を実行します。

- BKGD が論理 High に戻るのを待ちます。
- ホストが加速化パルスのドライブを停止できるように 16 サイクルの遅延を生成します。
- BKGD を 128 BDC クロック・サイクルで Low にドライブします。
- 1 サイクルの加速化パルスをドライブして BKGD での立ち上がり時間を高速化します。
- BKGD ピンへのすべてのドライブを解放してハイ・インピーダンスに戻します。

ホストは、128 サイクルの Low 期間による同期応答パルスを計測すると、それ以降の BDC 通信に対する適切な速度を判定します。通常は、ホストは実際のターゲット速度の数 % 以内で適切な通信速度を判定することができ、また通信プロトコルは数 % の速度エラーには問題なく対処することが可能です。

17.3.4 BDC のハードウェア・ブレークポイント

BDC には、CPU アドレス・バスと BDCBKPT レジスタの 16 ビットの照合値を比較する、単純処理のハードウェア・ブレークポイントを 1 つ備えています。このブレークポイントでは、強制ブレークポイントまたはタグ・ブレークポイントを生成することができます。強制ブレークポイントのブレークポイント・アドレスへのアクセスがあると、CPU はそれ以降の最初の命令境界でアクティブ・バックグラウンド・モードに移行します。タグ・ブレークポイントのブレークポイント・アドレスにある命令コードはタグ付けが行われるので、CPU は命令キューの末尾に達するとその命令を実行せずにアクティブ・バックグラウンド・モードに移行します。つまり、タグ・ブレークポイントは命令オペコードのアドレスにのみ置くことができ、強制ブレークポイントは任意のアドレスに設定することができます。

ブレークポイント・ロジックのイネーブルには、BDC ステータス / 制御レジスタ（BDCSCR）のブレークポイント・イネーブル制御ビット（BKPTEN = 1 でイネーブル）を使用します。リセット後のデフォルト値である BKPTEN = 0 なら、ブレークポイント・ロジックはディセーブルで、他の BDC ブレークポイント・レジスタや制御ビットの値に関係なく BDC ブレークポイントは要求されません。ブレークポイント・タイプは、BDCSCR の強制 / タグ選択（FTS）制御ビットで強制（FTS = 1）またはタグ（FTS = 0）を選択します。

17.4 レジスタ定義

この項では、BDC の各レジスタと制御ビットについて説明します。

本章では、レジスタと制御ビットを名前で示しています。これらの名前は、フリースケールが提供する EQU ファイルまたはヘッダ・ファイルに基づいて該当する絶対アドレスに変換されます。

17.4.1 BDC のレジスタおよび制御ビット

BDC には、次の 2 つのレジスタがあります。

- BDC ステータス / 制御レジスタ（BDCSCR）。バックグラウンド・デバッグ・コントローラの制御とステータスのビットを格納する 8 ビット・レジスタです。

- BDC ブレークポイント一致レジスタ（BDCBKPT）。16 ビットのブレークポイント一致アドレスを格納します。

これらのレジスタは、ターゲット MCU のメモリ空間にはなく（アドレスがないのでユーザ・プログラムではアクセスできません）、専用のシリアル BDC コマンドでアクセスします。

BDCSCR の一部のビットにはライト制限がありますが、それ以外はレジスタを任意にリードまたはライトできます。たとえば、ENBDM 制御ビットは MCU がアクティブ・バックグラウンド・モードならライトできません （そのため、MCU がすでにアクティブ・バックグラウンド・モードで制御ビットの状態が不明の場合に、アクティブ・バックグラウンド・モードを禁止するのが回避されます）。また、4 つのステータス・ビット（BDMACT、WS、WSF、および DVF）はリード専用のステータス・インジケータで、シリアル BDC コマンドの WRITE_CONTROL ではライトできません。クロック・スイッチ（CLKSW）制御ビットは任意にリードまたはライトできます。

17.4.1.1 BDC ステータス / 制御レジスタ（BDCSCR）

このレジスタは、シリアル BDC コマンド（READ_STATUS と WRITE_CONTROL）でリードまたはライトできますが、MCU の通常のメモリ・マップには置かれていないためにユーザ・プログラムからはアクセスできません。

	7	6	5	4	3	2	1	0
R	ENBDM	BDMACT	BKPTEN	FTS	CLKSW	WS	WSF	DVF
W								
通常リセット	0	0	0	0	0	0	0	0
アクティブ BDM でのリセット	1	1	0	0	1	0	0	0

= 未実装または予約済み

図 17-5. BDC ステータス / 制御レジスタ（BDCSCR）

表 17-2. BDCSCR レジスタのフィールド説明

フィールド	説明
7 ENBDM	**イネーブル BDM（アクティブ・バックグラウンド・モードの許可）** ― このビットは、通常はデバッグ・セッションの開始直後またはデバッグ・ホストがターゲットをリセットする場合にデバッグ・ホストにより 1 をライトされ、通常のリセットでクリアするまで 1 を保ちます。 0 BDM はアクティブにはできません（非侵入型コマンドは許可されます）。 1 BDM をアクティブにしてアクティブ・バックグラウンド・モード・コマンドを実行できます。
6 BDMACT	**バックグラウンド・モード・アクティブ・ステータス** ― リード専用のステータス・ビットです。 0 BDM はアクティブではありません（ユーザ・アプリケーション・プログラムが実行中です）。 1 BDM はアクティブでシリアル・コマンドを待っています。
5 BKPTEN	**BDC ブレークポイント・イネーブル** ― このビットがクリアなら、BDC ブレークポイントはディセーブルで FTS（強制 / タグ選択）制御ビットおよび BDCBKPT の一致レジスタは無視されます。 0 BDC ブレークポイントはディセーブルです。 1 BDC ブレークポイントはイネーブルです。
4 FTS	**強制 / タグ選択** ― FTS = 1 なら、CPU アドレス・バスと BDCBKPT 一致レジスタの内容が一致するたびにブレークポイントが要求されます。FTS = 0 なら、CPU アドレス・バスと BDCBKPT レジスタの内容が一致するとフェッチされたオペコードがタグ付けされます。タグ付けされたオペコードが命令キューの末尾に達すると、CPU はそのオペコードを実行せずにアクティブ・バックグラウンド・モードに移行します。 0 ブレークポイント・アドレスのオペコードにタグ付けします。CPU がその命令を実行するときにアクティブ・バックグラウンド・モードとなります。 1 ブレークポイントが一致すると、次の命令境界でアクティブ・バックグラウンド・モードとなります（アドレス内容はオペコードである必要はありません）。
3 CLKSW	**BDC 通信クロックのソース選択** ― このビットは、デフォルト値は 0 で、代替 BDC クロック・ソースが選択されます。 0 代替 BDC クロック・ソース 1 MCU バス・クロック。

表 17-2. BDCSCR レジスタのフィールド説明（続き）

フィールド	説明
2 WS	**ウェイトまたはストップ・ステータス** — ターゲット CPU がウェイトまたはストップ・モードなら、ほとんどの BDC コマンドは実行できません。ただし、BACKGROUND コマンドを実行することは可能で、ターゲット CPU はウェイトまたはストップからアクティブ・バックグラウンド・モードに移行するので、BDC コマンドを使用できるようになります。ホストは、ターゲット MCU をアクティブ・バックグラウンド・モードに移行させる場合は、READ_STATUS コマンドを使って他の BDC コマンドを使用する前に BDMACT = 1 であることを確認する必要があります。 0 ターゲット CPU は、ユーザ・アプリケーション・コードを実行しているかアクティブ・バックグラウンド・モードです（バックグラウンドがアクティブになるときはウェイトまたはストップ・モードではありませんでした）。 1 ターゲット CPU はウェイトまたはストップ・モードであるか、BACKGROUND コマンドの実行によりウェイトまたはストップからアクティブ・バックグラウンド・モードに移行しました。
1 WSF	**ウェイトまたはストップのエラー・ステータス** — このステータス・ビットは、メモリ・アクセス・コマンドの実行時またはその前後に、ターゲット CPU がウェイトまたはストップ命令を実行していたために処理が失敗したことを示します。この場合の通常の復旧手段は、BACKGROUND コマンドを発行してウェイトまたはストップ・モードからアクティブ・バックグラウンド・モードに移行させ、処理に失敗したコマンドを再実行して、ユーザ・プログラムに戻ることです （通常は、ホストは CPU レジスタとスタックの値をリストアしてウェイトまたはストップ命令を再実行します）。 0 メモリ・アクセスはウェイトまたはストップ命令と競合しませんでした。 1 メモリ・アクセス・コマンドは、CPU がウェイトまたはストップ・モードに移行したために失敗しました。
0 DVF	**データ有効のエラー・ステータス** — このステータス・ビットは、MC9S08QG8/4 には低速アクセス・メモリは存在しないという理由から使用されません。 0 メモリ・アクセスは低速メモリ・アクセスと競合しませんでした。 1 メモリ・アクセス・コマンドは、CPU が低速メモリ・アクセスを完了していないために失敗しました。

17.4.1.2 BDC ブレークポイント一致レジスタ（BDCBKPT）

この 16 ビット・レジスタは、BDC のハードウェア・ブレークポイントのアドレスを格納します。ブレークポイント・ロジックのイネーブルと設定には、BDCSCR の BKPTEN と FTS の制御ビットを使用します。BDCBKPT レジスタのリードとライトには専用のシリアル BDC コマンド（READ_BKPT と WRITE_BKPT）を使用しますが、このレジスタは MCU の通常のメモリ・マップに置かれていないためにユーザ・プログラムからはアクセスできません。ブレークポイントは、通常はターゲット MCU がアクティブ・バックグラウンド・モードでユーザ・アプリケーション・プログラムを実行していないときに設定します。BDC でのハードウェア・ブレークポイント・ロジックの設定と使用の詳細については、「17.3.4 BDC のハードウェア・ブレークポイント」を参照してください。

17.4.2 システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）

このレジスタは、単独のライト専用の制御ビットを格納します。このレジスタへのライトには、WRITE_BYTE などのシリアル・バックグラウンド・モード・コマンドを使用します。ユーザ・プログラムでこのレジスタにライトしても無視されます。リードすると常に 0x00 が返ります。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0
W								BDFR[1]
リセット	0	0	0	0	0	0	0	0

= 未実装または予約済み

[1] BDFR は、シリアル・バックグラウンド・モード・デバッグ・コマンドでのみライトが可能で、ユーザ・プログラムではライトできません。

図 17-6. システム・バックグラウンド・デバッグ強制リセット・レジスタ（SBDFR）

表 17-3. BR レジスタのフィールド説明

フィールド	説明
0 BDFR	**バックグラウンド・デバッグ強制リセット** - 外部デバッグ・ホストからターゲット・システムのリセットを実行するには、シリアルのアクティブ・バックグラウンド・モード・コマンド（WRITE_BYTE など）を使用します。このビットに 1 をライトすると MCU リセットが強制されます。このビットは、ユーザ・プログラムからはライトできません。

Appendix A
Electrical Characteristics

A.1 Introduction

This section contains electrical and timing specifications.

A.2 Absolute Maximum Ratings

Absolute maximum ratings are stress ratings only, and functional operation at the maxima is not guaranteed. Stress beyond the limits specified in Table A-1 may affect device reliability or cause permanent damage to the device. For functional operating conditions, refer to the remaining tables in this section.

This device contains circuitry protecting against damage due to high static voltage or electrical fields; however, it is advised that normal precautions be taken to avoid application of any voltages higher than maximum-rated voltages to this high-impedance circuit. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (for instance, either V_{SS} or V_{DD}) or the programmable pull-up resistor associated with the pin is enabled.

Table A-1. Absolute Maximum Ratings

Rating	Symbol	Value	Unit
Supply voltage	V_{DD}	–0.3 to +3.8	V
Maximum current into V_{DD}	I_{DD}	120	mA
Digital input voltage	V_{In}	–0.3 to V_{DD} + 0.3	V
Instantaneous maximum current Single pin limit (applies to all port pins)[1, 2, 3]	I_D	± 25	mA
Storage temperature range	T_{stg}	–55 to 150	°C

1 Input must be current limited to the value specified. To determine the value of the required current-limiting resistor, calculate resistance values for positive (V_{DD}) and negative (V_{SS}) clamp voltages, then use the larger of the two resistance values.

2 All functional non-supply pins are internally clamped to V_{SS} and V_{DD}.

3 Power supply must maintain regulation within operating V_{DD} range during instantaneous and operating maximum current conditions. If positive injection current ($V_{In} > V_{DD}$) is greater than I_{DD}, the injection current may flow out of V_{DD} and could result in external power supply going out of regulation. Ensure external V_{DD} load will shunt current greater than maximum injection current. This will be the greatest risk when the MCU is not consuming power. Examples are: if no system clock is present, or if the clock rate is very low (which would reduce overall power consumption).

A.3 Thermal Characteristics

This section provides information about operating temperature range, power dissipation, and package thermal resistance. Power dissipation on I/O pins is usually small compared to the power dissipation in on-chip logic and voltage regulator circuits, and it is user-determined rather than being controlled by the MCU design. To take $P_{I/O}$ into account in power calculations, determine the difference between actual pin voltage and V_{SS} or V_{DD} and multiply by the pin current for each I/O pin. Except in cases of unusually high pin current (heavy loads), the difference between pin voltage and V_{SS} or V_{DD} will be very small.

Table A-2. Thermal Characteristics

Rating		Symbol	Value	Unit
Operating temperature range (packaged)		T_A	T_L to T_H –40 to 85	°C
Thermal resistance Single-layer board				
	8-pin PDIP	θ_{JA}	113	°C/W
	8-pin NB SOIC		150	
	8-pin DFN		179	
	16-pin PDIP		78	
	16-pin TSSOP		133	
	16-pin QFN		132	
Thermal resistance Four-layer board				
	8-pin PDIP	θ_{JA}	72	°C/W
	8-pin NB SOIC		87	
	8-pin DFN		41	
	16-pin PDIP		53	
	16-pin TSSOP		86	
	16-pin QFN		36	

The average chip-junction temperature (T_J) in °C can be obtained from:

$$T_J = T_A + (P_D \times \theta_{JA}) \quad \textit{Eqn. A-1}$$

where:

T_A = Ambient temperature, °C
θ_{JA} = Package thermal resistance, junction-to-ambient, °C/W
$P_D = P_{int} + P_{I/O}$
$P_{int} = I_{DD} \times V_{DD}$, Watts — chip internal power
$P_{I/O}$ = Power dissipation on input and output pins — user determined

For most applications, $P_{I/O} << P_{int}$ and can be neglected. An approximate relationship between P_D and T_J (if $P_{I/O}$ is neglected) is:

$$P_D = K \div (T_J + 273°C) \quad \textit{Eqn. A-2}$$

Solving Equation A-1 and Equation A-2 for K gives:

$$K = P_D \times (T_A + 273°C) + \theta_{JA} \times (P_D)^2 \quad \textit{Eqn. A-3}$$

where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P_D (at equilibrium) for a known T_A. Using this value of K, the values of P_D and T_J can be obtained by solving Equation A-1 and Equation A-2 iteratively for any value of T_A.

A.4 ESD Protection and Latch-Up Immunity

Although damage from electrostatic discharge (ESD) is much less common on these devices than on early CMOS circuits, normal handling precautions should be used to avoid exposure to static discharge. Qualification tests are performed to ensure that these devices can withstand exposure to reasonable levels of static without suffering any permanent damage.

All ESD testing is in conformity with AEC-Q100 Stress Test Qualification for Automotive Grade Integrated Circuits. During the device qualification ESD stresses were performed for the human body model (HBM), the machine model (MM) and the charge device model (CDM).

A device is defined as a failure if after exposure to ESD pulses the device no longer meets the device specification. Complete DC parametric and functional testing is performed per the applicable device specification at room temperature followed by hot temperature, unless specified otherwise in the device specification.

Table A-3. ESD and Latch-up Test Conditions

Model	Description	Symbol	Value	Unit
Human Body	Series resistance	R1	1500	Ω
	Storage capacitance	C	100	pF
	Number of pulses per pin	—	3	
Machine	Series resistance	R1	0	Ω
	Storage capacitance	C	200	pF
	Number of pulses per pin	—	3	
Latch-up	Minimum input voltage limit		– 2.5	V
	Maximum input voltage limit		7.5	V

Table A-4. ESD and Latch-Up Protection Characteristics

No.	Rating[1]	Symbol	Min	Max	Unit
1	Human body model (HBM)	V_{HBM}	± 2000	—	V
2	Machine model (MM)	V_{MM}	± 200	—	V
3	Charge device model (CDM)	V_{CDM}	± 500	—	V
4	Latch-up current at T_A = 85°C	I_{LAT}	± 100	—	mA

[1] Parameter is achieved by design characterization on a small sample size from typical devices under typical conditions unless otherwise noted.

A.5 DC Characteristics

This section includes information about power supply requirements and I/O pin characteristics.

Table A-5. DC Characteristics (Temperature Range = –40 to 85°C Ambient)

Parameter	Symbol	Min	Typical	Max	Unit
Supply voltage (run, wait and stop modes.)	V_{DD}	1.8		3.6	V
Minimum RAM retention supply voltage applied to V_{DD}	V_{RAM}	V_{Rearm}[1, 2]		—	V
Low-voltage detection threshold — high range (V_{DD} falling) (V_{DD} rising)	V_{LVDH}	2.08 2.16	2.1 2.19	2.2 2.27	V
Low-voltage detection threshold — low range (V_{DD} falling) (V_{DD} rising)	V_{LVDL}	1.80 1.88	1.82 1.90	1.91 1.99	V
Low-voltage warning threshold — high range (V_{DD} falling) (V_{DD} rising)	V_{LVWH}	2.35 2.35	2.40 2.40	2.5 2.5	V
Low-voltage warning threshold — low range (V_{DD} falling) (V_{DD} rising)	V_{LVWL}	2.08 2.16	2.1 2.19	2.2 2.27	V
Power on reset (POR) re-arm voltage	V_{Rearm}		1.4		V
Bandgap Voltage Reference	V_{BG}	1.18	1.20	1.21	V
Input high voltage (V_{DD} > 2.3 V) (all digital inputs)	V_{IH}	$0.70 \times V_{DD}$		—	V
Input high voltage (1.8 V ≤ V_{DD} ≤ 2.3 V) (all digital inputs)		$0.85 \times V_{DD}$		—	
Input low voltage (V_{DD} > 2.3 V) (all digital inputs)	V_{IL}	—		$0.35 \times V_{DD}$	V
Input low voltage (1.8 V ≤ V_{DD} ≤ 2.3 V) (all digital inputs)		—		$0.30 \times V_{DD}$	
Input hysteresis (all digital inputs)	V_{hys}	$0.06 \times V_{DD}$		—	V
Input leakage current (Per pin) V_{In} = V_{DD} or $V_{SS,}$ all input only pins	$\|I_{In}\|$	—	0.025	1.0	μA
High impedance (off-state) leakage current (per pin) V_{In} = V_{DD} or V_{SS}, all input/output	$\|I_{OZ}\|$	—	0.025	1.0	μA
Internal pullup resistors[3,4]	R_{PU}	17.5		52.5	kΩ
Internal pulldown resistor (KBI)	R_{PD}	17.5		52.5	kΩ
Output high voltage — low drive (PTxDSn = 0) I_{OH} = –2 mA (V_{DD} ≥ 1.8 V)	V_{OH}	V_{DD} – 0.5		—	V
Output high voltage — high drive (PTxDSn = 1) I_{OH} = –10 mA (V_{DD} ≥ 2.7 V) I_{OH} = –6 mA (V_{DD} ≥ 2.3 V) I_{OH} = –3 mA (V_{DD} ≥ 1.8 V)		V_{DD} – 0.5		— — —	
Maximum total I_{OH} for all port pins	$\| I_{OHT} \|$	—		60	mA

Table A-5. DC Characteristics (Temperature Range = –40 to 85°C Ambient) (continued)

Parameter	Symbol	Min	Typical	Max	Unit
Output low voltage — low drive (PTxDSn = 0) I_{OL} = 2.0 mA ($V_{DD} \geq$ 1.8 V)	V_{OL}	—		0.5	V
Output low voltage — high drive (PTxDSn = 1) I_{OL} = 10.0 mA ($V_{DD} \geq$ 2.7 V) I_{OL} = 6 mA ($V_{DD} \geq$ 2.3 V) I_{OL} = 3 mA ($V_{DD} \geq$ 1.8 V)		— — —		0.5 0.5 0.5	
Maximum total I_{OL} for all port pins	I_{OLT}	—		60	mA
DC injection current [2, 5, 6, 7] $V_{IN} < V_{SS}$, $V_{IN} > V_{DD}$ Single pin limit Total MCU limit, includes sum of all stressed pins	I_{IC}	–0.2 –5		0.2 5	mA mA
Input capacitance (all non-supply pins)	C_{In}	—		7	pF

[1] RAM will retain data down to POR voltage. RAM data not guaranteed to be valid following a POR.

[2] This parameter is characterized and not tested on each device.

[3] Measurement condition for pull resistors: $V_{In} = V_{SS}$ for pullup and $V_{In} = V_{DD}$ for pulldown.

[4] PTA5/$\overline{IRQ}$/TCLK/$\overline{RESET}$ pullup resistor may not pullup to the specified minimum V_{IH}. However, all ports are functionally tested to guarantee that a logic 1 will be read on any port input when the pullup is enabled and no DC load is present on the pin.

[5] All functional non-supply pins are internally clamped to V_{SS} and V_{DD}.

[6] Input must be current limited to the value specified. To determine the value of the required current-limiting resistor, calculate resistance values for positive and negative clamp voltages, then use the larger of the two values.

[7] Power supply must maintain regulation within operating V_{DD} range during instantaneous and operating maximum current conditions. If positive injection current ($V_{In} > V_{DD}$) is greater than I_{DD}, the injection current may flow out of V_{DD} and could result in external power supply going out of regulation. Ensure external V_{DD} load will shunt current greater than maximum injection current. This will be the greatest risk when the MCU is not consuming power. Examples are: if no system clock is present, or if clock rate is very low (which would reduce overall power consumption).

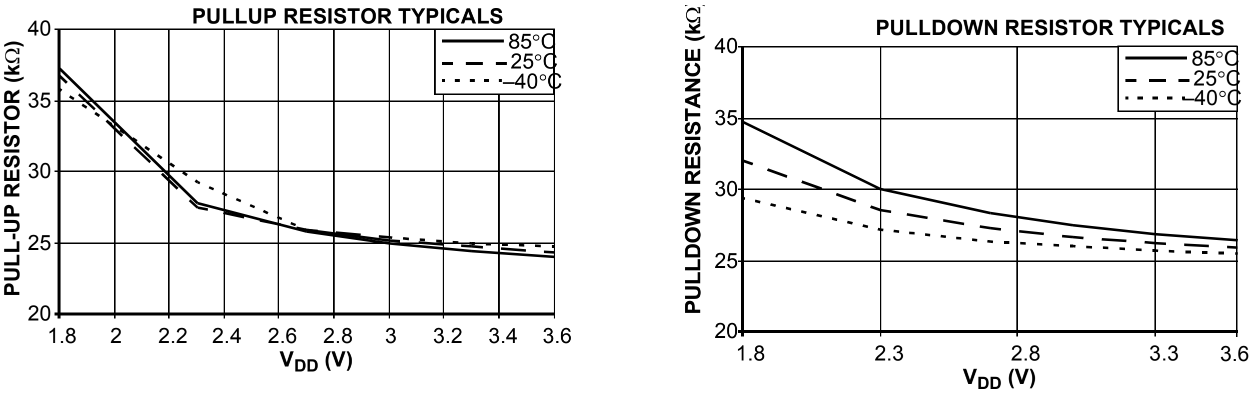


Figure A-1. Pullup and Pulldown Typical Resistor Values (V_{DD} = 3.0 V)

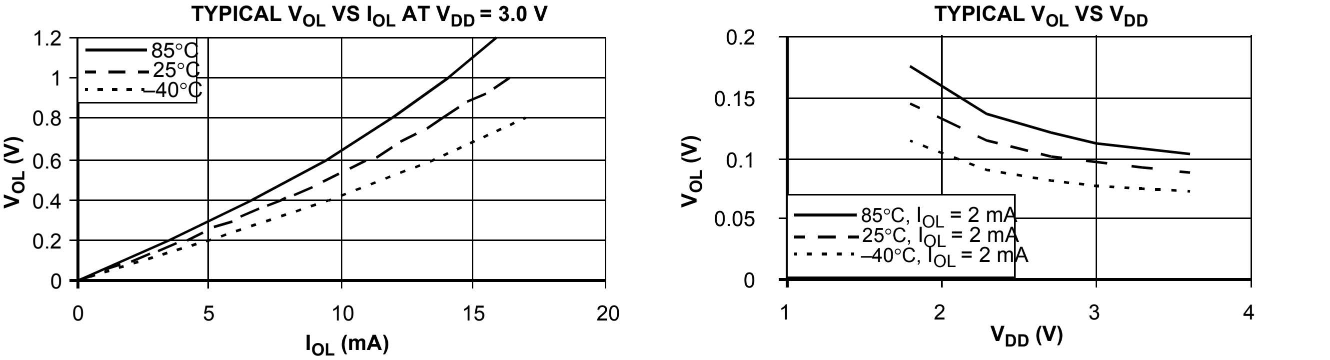


Figure A-2. Typical Low-Side Driver (Sink) Characteristics — Low Drive (PTxDSn = 0)

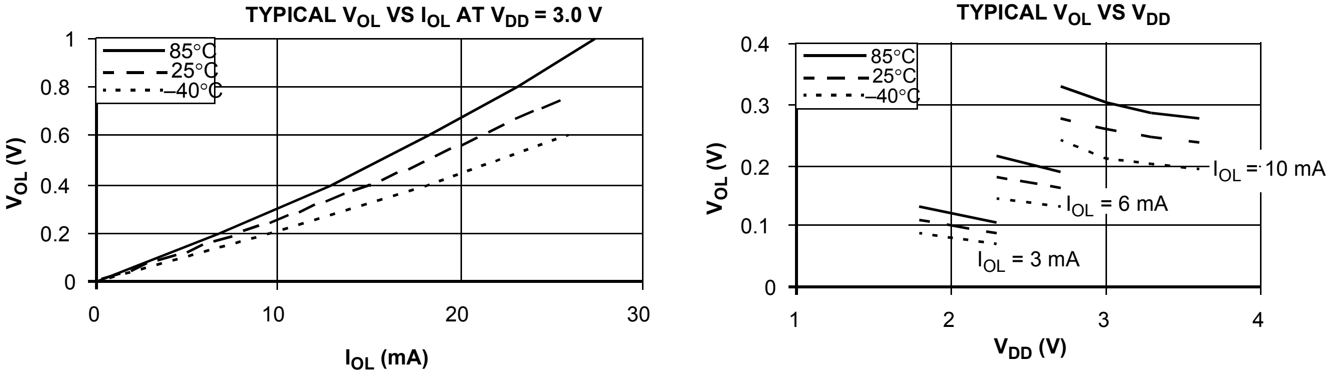


Figure A-3. Typical Low-Side Driver (Sink) Characteristics — High Drive (PTxDSn = 1)

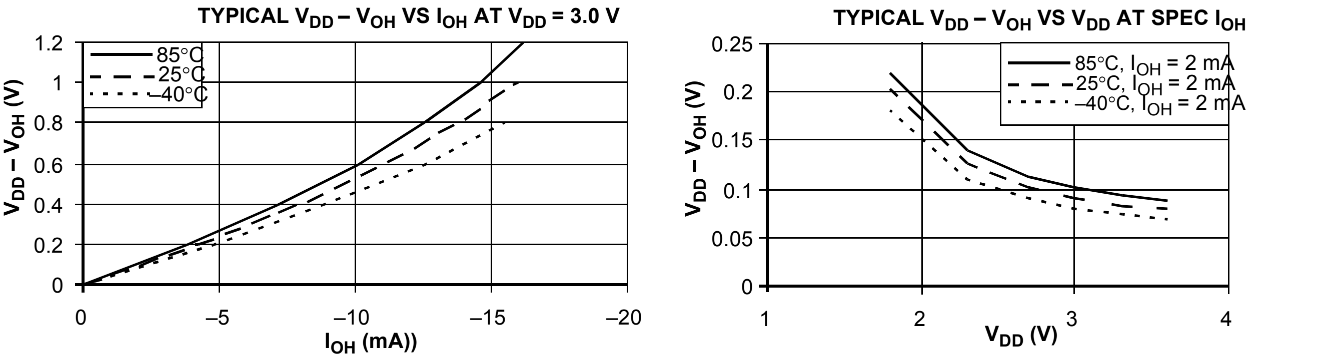


Figure A-4. Typical High-Side (Source) Characteristics — Low Drive (PTxDSn = 0)

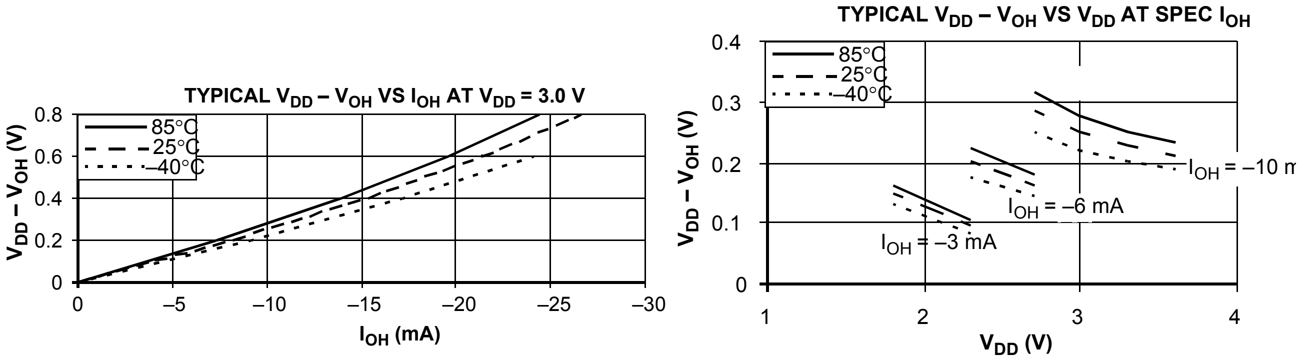


Figure A-5. Typical High-Side (Source) Characteristics — High Drive (PTxDSn = 1)

A.6 Supply Current Characteristics

This section includes information about power supply current in various operating modes.

Table A-6. Supply Current Characteristics

Parameter	Symbol	V_{DD} (V)[1]	Typical[2]	Max	T (°C)
Run supply current [3] measured in FBE mode at f_{Bus} = 8 MHz	RI_{DD}	3	3.5 mA	5 mA	85
		2	2.6 mA	—	85
Run supply current [3] measured in FBE mode at f_{Bus} = 1 MHz	RI_{DD}	3	490 μA	1 mA	85
		2	370 μA	—	85
Wait mode supply current [4] measured in FBE at 8 MHz	WI_{DD}	3	1 mA	1.5 mA	85
Stop1 mode supply current	$S1I_{DD}$	3	475 nA	1.2 μA	85
		2	470 nA	—	85
Stop2 mode supply current	$S2I_{DD}$	3	600 nA	2 μA	85
		2	550 nA	—	85
Stop3 mode supply current	$S3I_{DD}$	3	750 nA	6 μA	85
		2	680 nA	—	85
RTI adder to stop1, stop2 or stop3 [4]	—	3	300 nA	—	85
		2	300 nA	—	85
LVD adder to stop3 (LVDE = LVDSE = 1)	—	3	70 μA	—	85
		2	60 μA	—	85
Adder to stop3 for oscillator enabled [5] (EREFSTEN =1)	—	3	5 μA	—	85
		2	4 μA	—	85

1 3-V values are 100% tested; 2-V values are characterized but not tested.
2 Typicals are measured at 25°C.
3 Does not include any DC loads on port pins.
4 Most customers are expected to find that auto-wakeup from a stop mode can be used instead of the higher current wait mode.
5 Values given under the following conditions: low range operation (RANGE = 0), Loss-of-clock disabled (LOCD = 1), low-power oscillator (HGO = 0).

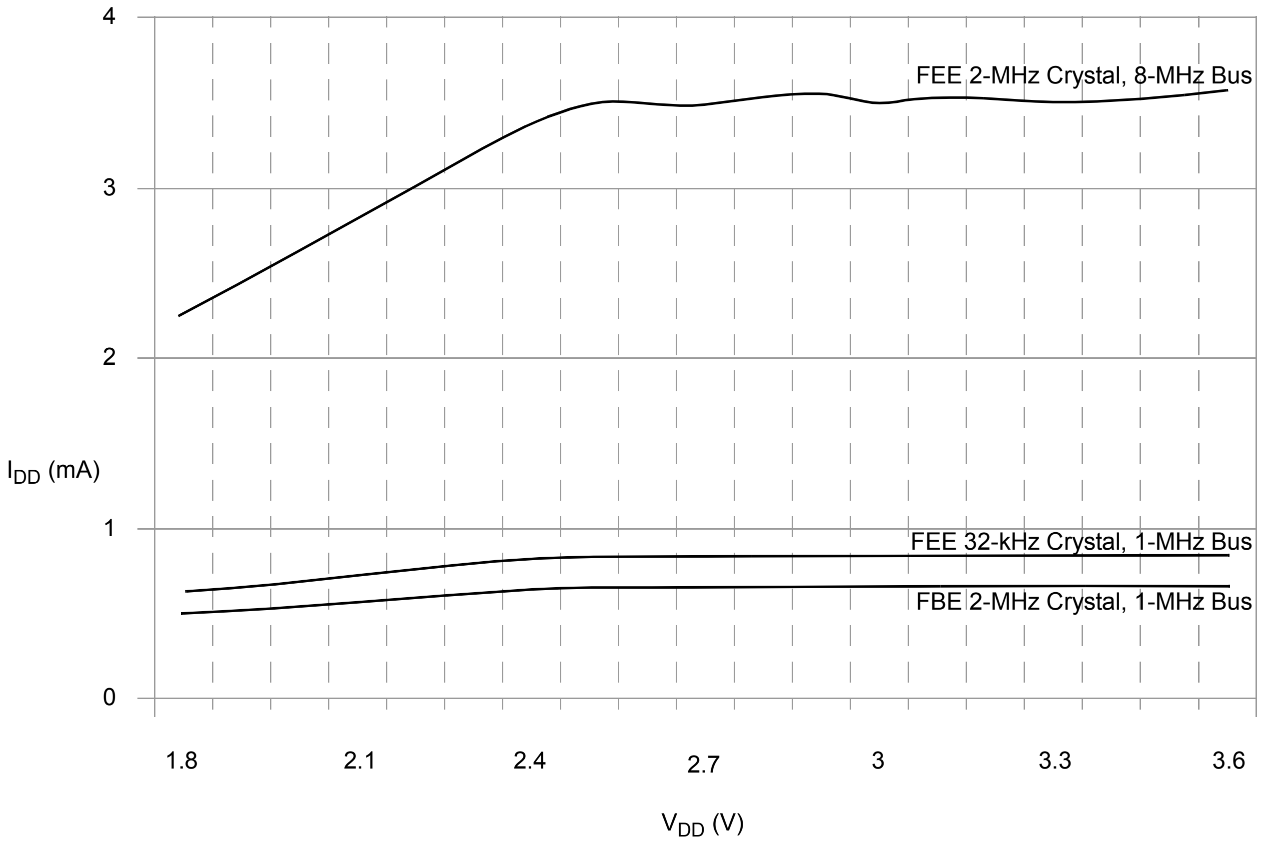


Figure A-6. Typical Run I_{DD} for FBE and FEE, I_{DD} vs. V_{DD} (ACMP and ADC off, All Other Modules Enabled)

A.7 External Oscillator (XOSC) and Internal Clock Source (ICS) Characteristics

Reference Figure A-7 for crystal or resonator circuit.

Table A-7. XOSC and ICS Specifications (Temperature Range = –40 to 85°C Ambient)

Characteristic	Symbol	Min	Typ[1]	Max	Unit
Oscillator crystal or resonator (EREFS = 1, ERCLKEN = 1) Low range (RANGE = 0) High range (RANGE = 1) FEE or FBE mode [2] High range (RANGE = 1), high gain (HGO = 1), FBELP mode High range (RANGE = 1), low power (HGO = 0), FBELP mode	 f_{lo} f_{hi} f_{hi} f_{hi}	 32 1 1 1	 — — — —	 38.4 5 16 8	 kHz MHz MHz MHz
Load capacitors	C_1 C_2	See Note [3]			
Feedback resistor Low range (32 kHz to 38.4 kHz) High range (1 MHz to 16 MHz)	R_F		 10 1		 MΩ MΩ
Series resistor — Low range Low Gain (HGO = 0) High Gain (HGO = 1)	R_S	 — —	 0 100	 — —	kΩ
Series resistor — High range Low Gain (HGO = 0) High Gain (HGO = 1) ≥ 8 MHz 4 MHz 1 MHz	R_S	 — — —	 0 0 0	 0 10 20	kΩ
Crystal start-up time [4, 5] Low range, low power Low range, high power High range, low power High range, high power	t_{CSTL} t_{CSTH}	 — — — —	 200 400 5 15	 — — — —	ms
Internal reference start-up time	t_{IRST}	—	60	100	μs
Square wave input clock frequency (EREFS = 0, ERCLKEN = 1) FEE or FBE mode [2] FBELP mode	f_{extal}	 0.03125 0	 — —	 5 20	 MHz MHz
Average internal reference frequency - untrimmed	f_{int_ut}	25	32.7	41.66	kHz
Average internal reference frequency - trimmed	f_{int_t}	31.25	—	39.06	kHz
DCO output frequency range - untrimmed	f_{dco_ut}	12.8	16.8	21.33	MHz
DCO output frequency range - trimmed	f_{dco_t}	16	—	20	MHz
Resolution of trimmed DCO output frequency at fixed voltage and temperature [4]	$\Delta f_{dco_res_t}$	—	±0.1	± 0.2	$\%f_{dco}$

Table A-7. XOSC and ICS Specifications (Temperature Range = –40 to 85°C Ambient)

Characteristic	Symbol	Min	Typ[1]	Max	Unit
Total deviation of DCO output from trimmed frequency[4] At 8 MHz over full voltage and temperature range At 8 MHz and 3.6 V from 0 to 70°C	Δf_{dco_t}	—	–1.0 to +0.5 ±0.5	± 2 ± 1	$\%f_{dco}$
FLL acquisition time [4,6]	$t_{Acquire}$			1.5	ms
Long term jitter of DCO output clock (averaged over 2-ms interval) [7]	C_{Jitter}	—	0.02	0.2	$\%f_{dco}$

1 Data in Typical column was characterized at 3.0 V, 25°C or is typical recommended value.
2 When ICS is configured for FEE or FBE mode, input clock source must be divisible using RDIV to within the range of 31.25 kHz to 39.0625 kHz.
3 See crystal or resonator manufacturer's recommendation.
4 This parameter is characterized and not tested on each device.
5 Proper PC board layout procedures must be followed to achieve specifications.
6 This specification applies to any time the FLL reference source or reference divider is changed, trim value changed or changing from FLL disabled (FBELP, FBILP) to FLL enabled (FEI, FEE, FBE, FBI). If a crystal/resonator is being used as the reference, this specification assumes it is already running.
7 Jitter is the average deviation from the programmed frequency measured over the specified interval at maximum f_{Bus}. Measurements are made with the device powered by filtered supplies and clocked by a stable external clock signal. Noise injected into the FLL circuitry via V_{DD} and V_{SS} and variation in crystal oscillator frequency increase the C_{Jitter} percentage for a given interval.

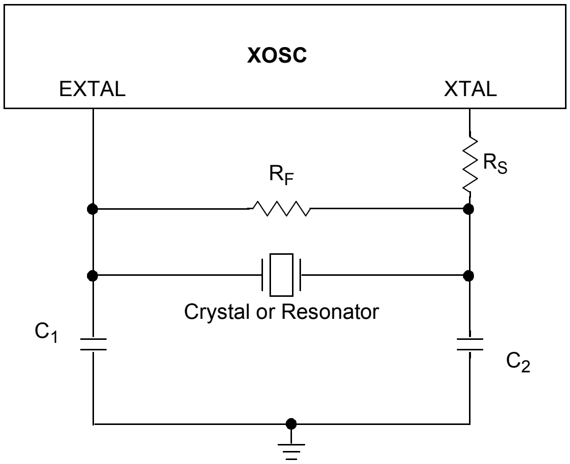


Figure A-7. Typical Crystal or Resonator Circuit

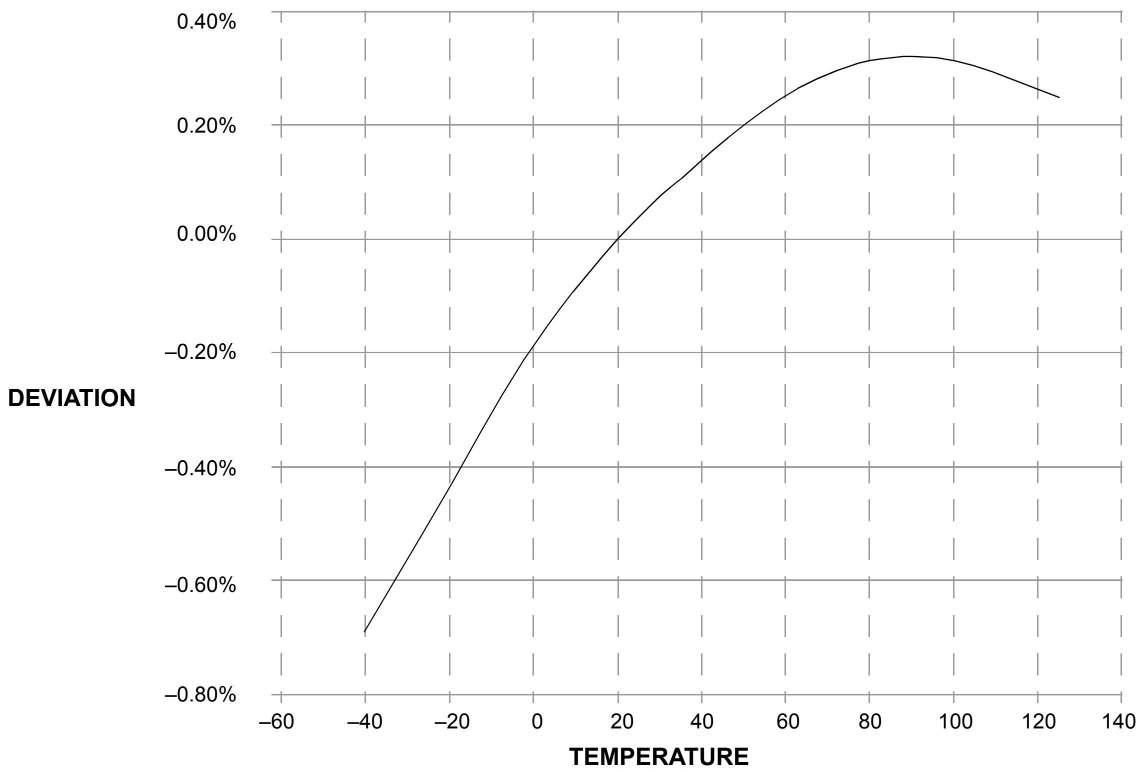


Figure A-8. Deviation of DCO Output from Trimmed Frequency (8 MHz, 3.6 V)

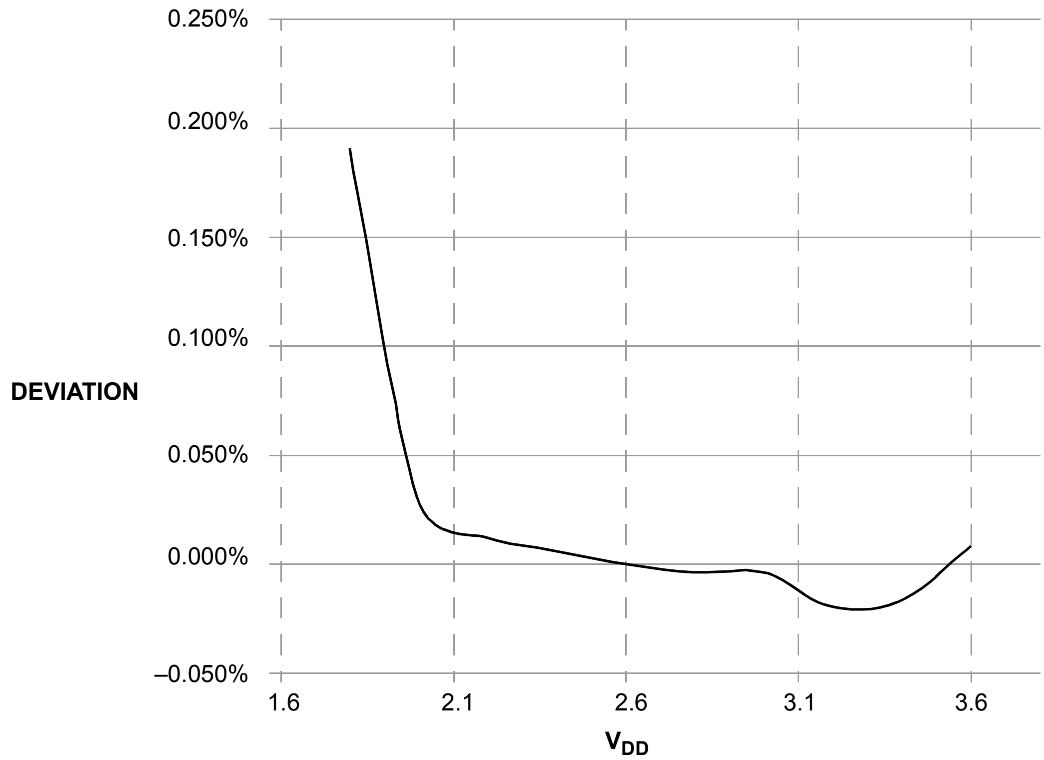


Figure A-9. Deviation of DCO Output from Trimmed Frequency (8 MHz, 25°C)

A.8 AC Characteristics

This section describes timing characteristics for each peripheral system.

A.8.1 Control Timing

Table A-8. Control Timing

Parameter	Symbol	Min	Typ[1]	Max	Unit
Bus frequency (t_{cyc} = 1/f_{Bus})	f_{Bus}	0	—	10	MHz
Real-time interrupt internal oscillator period	t_{RTI}	700	1000	1300	μs
External reset pulse width[2]	t_{extrst}	100	—	—	ns
$\overline{IRQ}$ pulse width Asynchronous path[2] Synchronous path[3]	t_{ILIH}	100 1.5 t_{cyc}	—	—	ns
KBIPx pulse width Asynchronous path[2] Synchronous path[3]	t_{ILIH}, t_{IHIL}	100 1.5 t_{cyc}	—	—	ns
Port rise and fall time (load = 50 pF)[4] Slew rate control disabled (PTxSE = 0) Slew rate control enabled (PTxSE = 1)	t_{Rise}, t_{Fall}	— —	3 30	— —	ns
BKGD/MS setup time after issuing background debug force reset to enter user or BDM modes	t_{MSSU}	500	—	—	ns
BKGD/MS hold time after issuing background debug force reset to enter user or BDM modes [5]	t_{MSH}	100	—	—	μs

1 Data in Typical column was characterized at 3.0 V, 25°C.
2 This is the shortest pulse that is guaranteed to be recognized.
3 This is the minimum pulse width that is guaranteed to pass through the pin synchronization circuitry. Shorter pulses may or may not be recognized. In stop mode, the synchronizer is bypassed so shorter pulses can be recognized in that case.
4 Timing is shown with respect to 20% V_{DD} and 80% V_{DD} levels. Temperature range –40°C to 85°C.
5 To enter BDM mode following a POR, BKGD/MS should be held low during the power-up and for a hold time of t_{MSH} after V_{DD} rises above V_{LVD}.

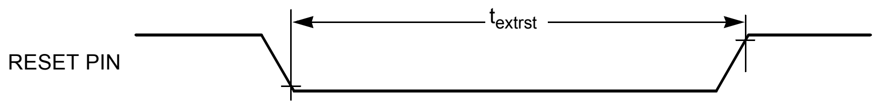


Figure A-10. Reset Timing

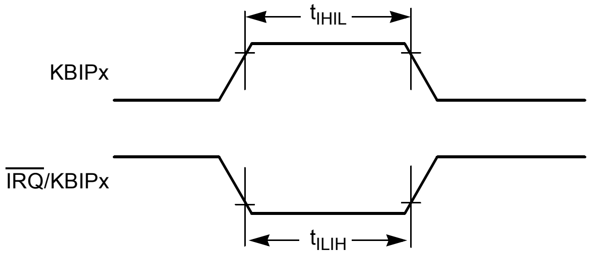


Figure A-11. $\overline{IRQ}$/KBIPx Timing

A.8.2 TPM/MTIM Module Timing

Synchronizer circuits determine the shortest input pulses that can be recognized or the fastest clock that can be used as the optional external source to the timer counter. These synchronizers operate from the current bus rate clock.

Table A-9. TPM/MTIM Input Timing

Function	Symbol	Min	Max	Unit
External clock frequency	f_{TCLK}	0	$f_{Bus}/4$	Hz
External clock period	t_{TCLK}	4	—	t_{cyc}
External clock high time	t_{clkh}	1.5	—	t_{cyc}
External clock low time	t_{clkl}	1.5	—	t_{cyc}
Input capture pulse width	t_{ICPW}	1.5	—	t_{cyc}

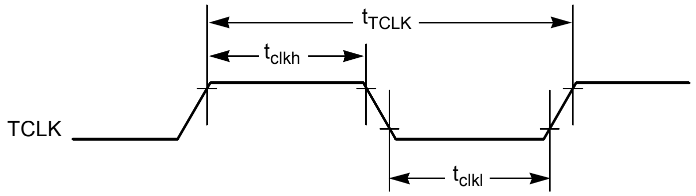


Figure A-12. Timer External Clock

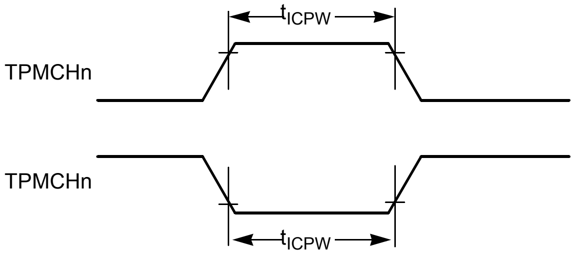


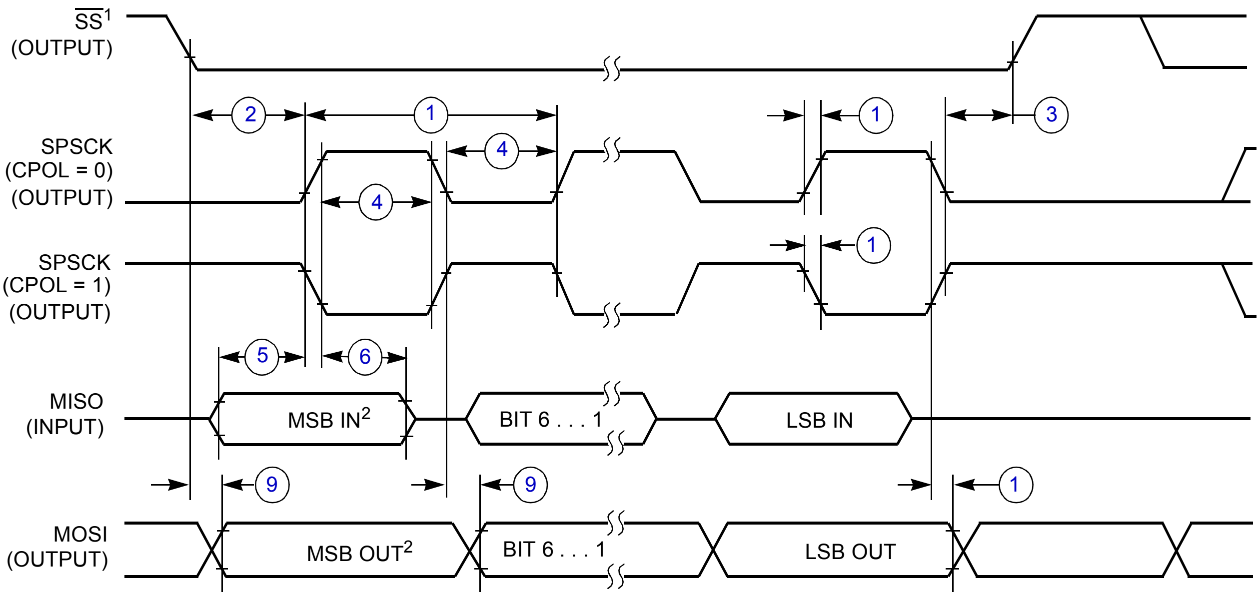
Figure A-13. Timer Input Capture Pulse

A.8.3 SPI Timing

Table A-10 and Figure A-14 through Figure A-17 describe the timing requirements for the SPI system.

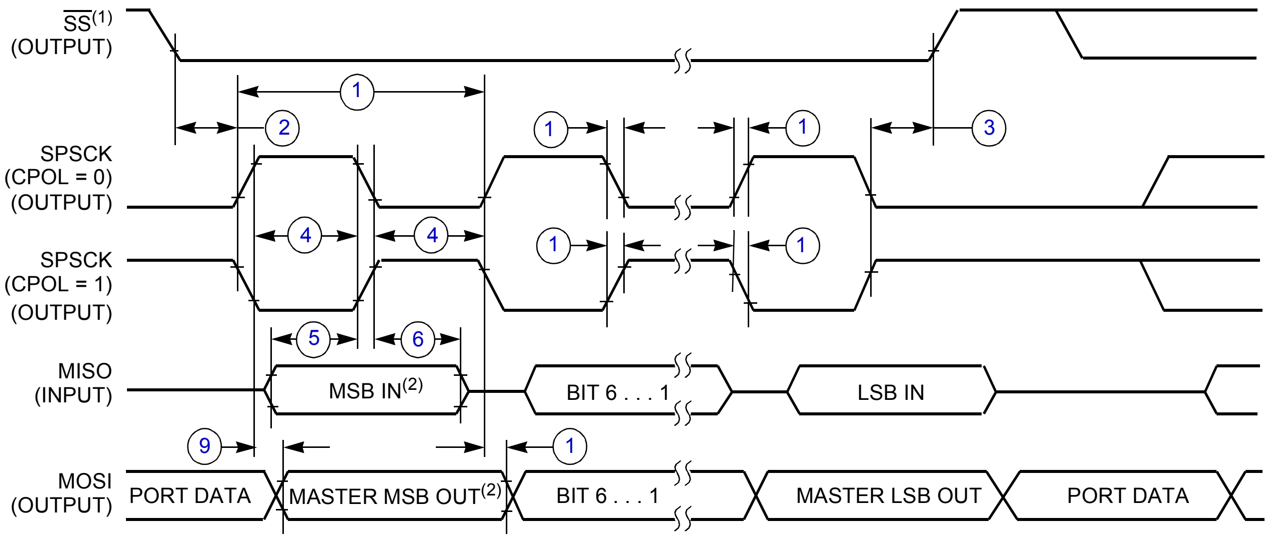
Table A-10. SPI Timing

No.	Function	Symbol	Min	Max	Unit
	Operating frequency Master Slave	f_{op}	 $f_{Bus}/2048$ 0	 $f_{Bus}/2$ $f_{Bus}/4$	Hz
1	SPSCK period Master Slave	t_{SPSCK}	 2 4	 2048 —	 t_{cyc} t_{cyc}
2	Enable lead time Master Slave	t_{Lead}	 1/2 1	 — —	 t_{SPSCK} t_{cyc}
3	Enable lag time Master Slave	t_{Lag}	 1/2 1	 — —	 t_{SPSCK} t_{cyc}
4	Clock (SPSCK) high or low time Master Slave	t_{WSPSCK}	 $t_{cyc} - 30$ $t_{cyc} - 30$	 1024 t_{cyc} —	 ns ns
5	Data setup time (inputs) Master Slave	t_{SU}	 15 15	 — —	 ns ns
6	Data hold time (inputs) Master Slave	t_{HI}	 0 25	 — —	 ns ns
7	Slave access time	t_a	—	1	t_{cyc}
8	Slave MISO disable time	t_{dis}	—	1	t_{cyc}
9	Data valid (after SPSCK edge) Master Slave	t_v	 — —	 25 25	 ns ns
10	Data hold time (outputs) Master Slave	t_{HO}	 0 0	 — —	 ns ns
11	Rise time Input Output	 t_{RI} t_{RO}	 — —	 $t_{cyc} - 25$ 25	 ns ns
12	Fall time Input Output	 t_{FI} t_{FO}	 — —	 $t_{cyc} - 25$ 25	 ns ns



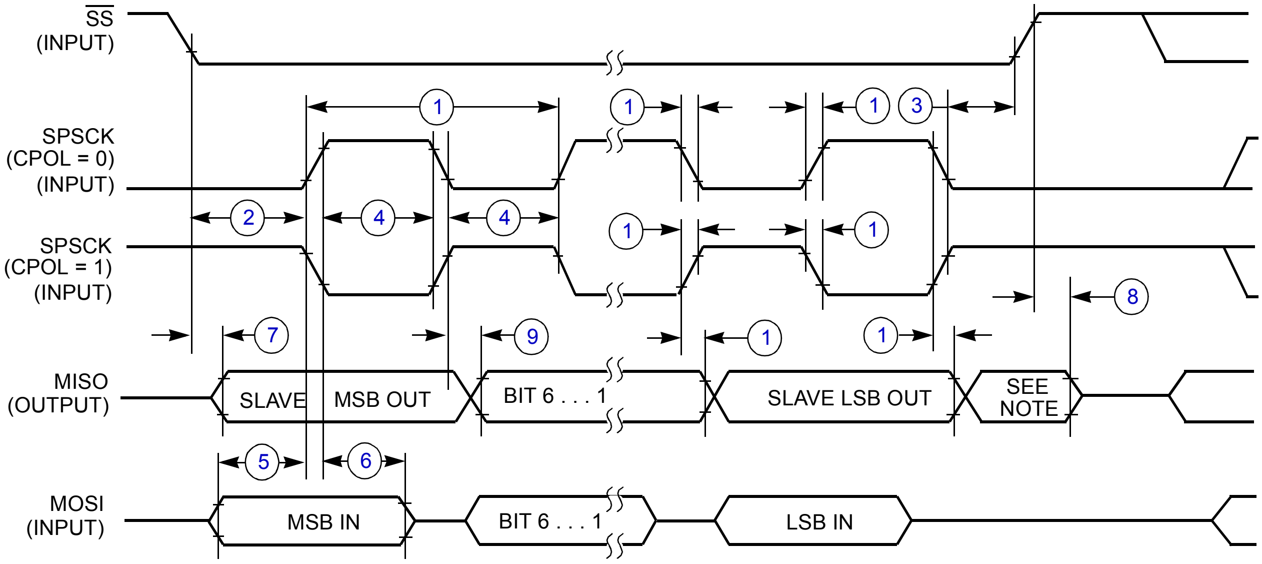
NOTES:
1. SS output mode (DDS7 = 1, SSOE = 1).
2. LSBF = 0. For LSBF = 1, bit order is LSB, bit 1, ..., bit 6, MSB.

Figure A-14. SPI Master Timing (CPHA = 0)



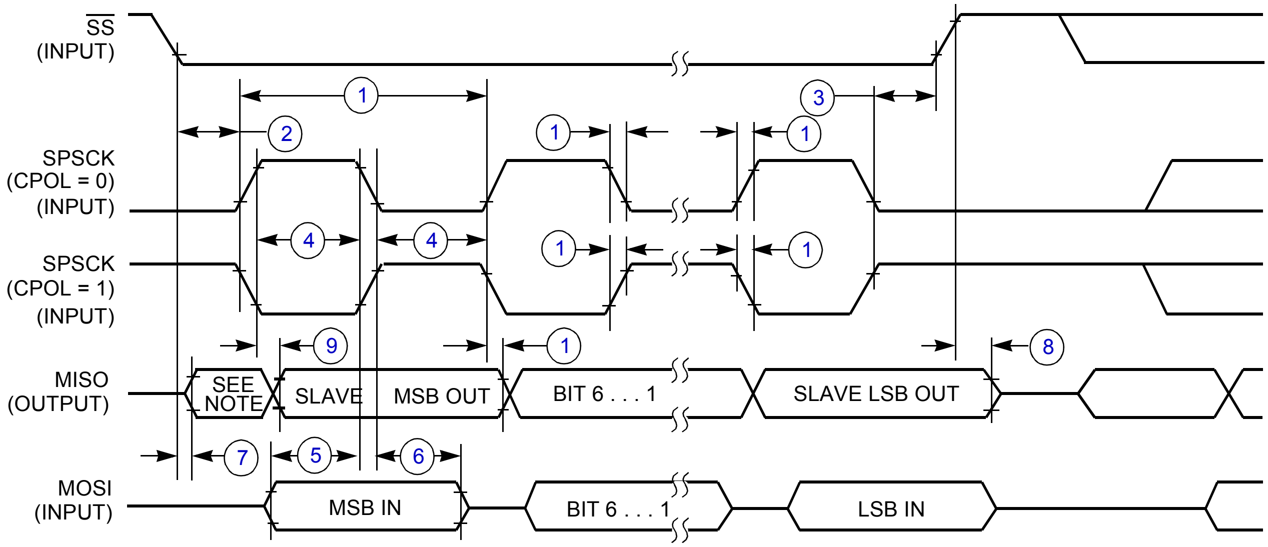
NOTES:
1. SS output mode (DDS7 = 1, SSOE = 1).
2. LSBF = 0. For LSBF = 1, bit order is LSB, bit 1, ..., bit 6, MSB.

Figure A-15. SPI Master Timing (CPHA =1)



NOTE:
1. Not defined but normally MSB of character just received

Figure A-16. SPI Slave Timing (CPHA = 0)



NOTE:
1. Not defined but normally LSB of character just received

Figure A-17. SPI Slave Timing (CPHA = 1)

A.9 Analog Comparator (ACMP) Electricals

Table A-11. Analog Comparator Electrical Specifications

Characteristic	Symbol	Min	Typical	Max	Unit
Supply voltage	V_{DD}	1.80	—	3.6	V
Supply current (active)	I_{DDAC}	—	20	—	μA
Analog input voltage	V_{AIN}	V_{SS} – 0.3	—	V_{DD}	V
Analog input offset voltage	V_{AIO}		20	40	mV
Analog comparator hysteresis	V_H	3.0	9.0	15.0	mV
Analog input leakage current	I_{ALKG}	—	—	1.0	μA
Analog comparator initialization delay	t_{AINIT}	—	—	1.0	μs

A.10 ADC Characteristics

Table A-12. 3 Volt 10-bit ADC Operating Conditions

Characteristic	Conditions	Symbol	Min	Typical[1]	Max	Unit	Comment
Supply voltage	Absolute	V_{DD}	1.8	—	3.6	V	
Input voltage		V_{ADIN}	V_{SS}	—	V_{DD}	V	
Input capacitance		C_{ADIN}	—	4.5	5.5	pF	
Input resistance		R_{ADIN}	—	5	7	kΩ	
Analog source resistance	10 bit mode f_{ADCK} > 4MHz f_{ADCK} < 4MHz	R_{AS}	 — —	 — —	 5 10	kΩ	External to MCU
	8 bit mode (all valid f_{ADCK})		—	—	10		
ADC conversion clock frequency	High Speed (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	Low Power (ADLPC=1)		0.4	—	4.0		

[1] Typical values assume V_{DD} = 3.0 V, Temp = 25°C, f_{ADCK}=1.0 MHz unless otherwise stated. Typical values are for reference only and are not tested in production.

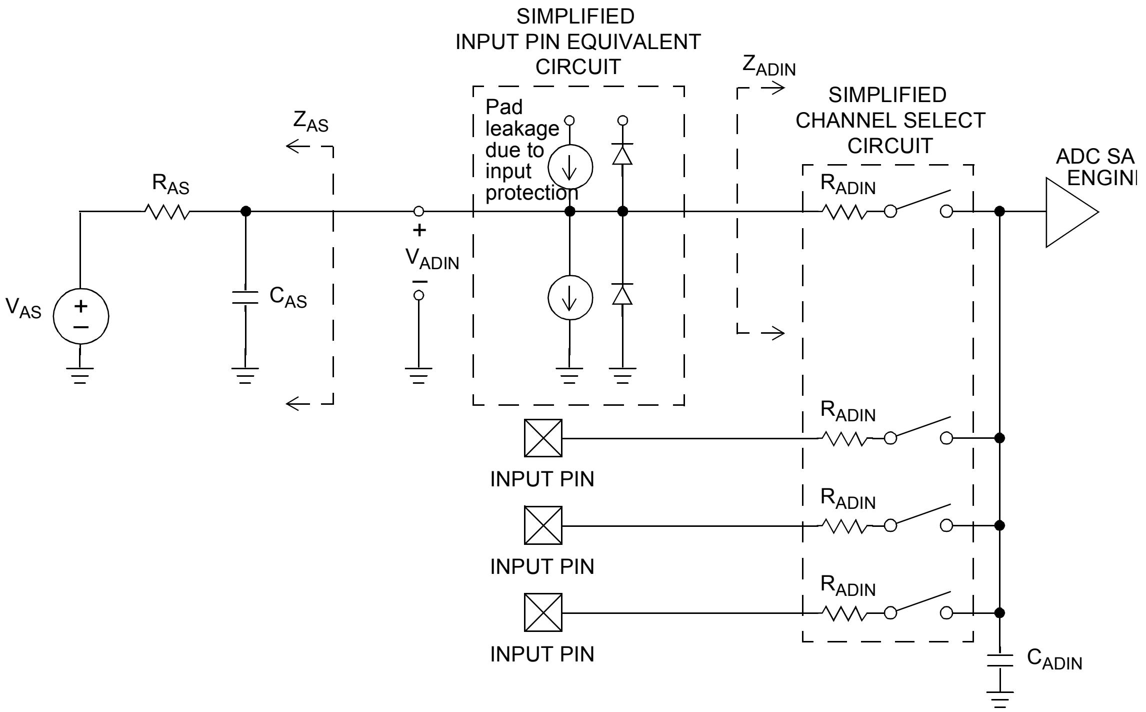


Figure A-18. ADC Input Impedance Equivalency Diagram

Table A-13. 3 Volt 10-bit ADC Characteristics

Characteristic	Conditions	Symb	Min	Typ[1]	Max	Unit	Comment
Supply current ADLPC=1 ADLSMP=1 ADCO=1		I_{DDAD}	—	120	—	µA	
Supply current ADLPC=1 ADLSMP=0 ADCO=1		I_{DDAD}	—	202	—	µA	
Supply current ADLPC=0 ADLSMP=1 ADCO=1		I_{DDAD}	—	288	—	µA	
Supply current ADLPC=0 ADLSMP=0 ADCO=1		I_{DDAD}	—	532	646	µA	
ADC asynchronous clock source	High speed (ADLPC=0)	f_{ADACK}	2	3.3	5	MHz	t_{ADACK} = $1/f_{ADACK}$
	Low power (ADLPC=1)		1.25	2	3.3		

Table A-13. 3 Volt 10-bit ADC Characteristics (continued)

Characteristic	Conditions	Symb	Min	Typ[1]	Max	Unit	Comment
Conversion time (including sample time)	Short sample (ADLSMP=0)	t_{ADC}	—	20	—	ADCK cycles	See Table 9-12 for conversion time variances
	Long sample (ADLSMP=1)		—	40	—		
Sample time	Short sample (ADLSMP=0)	t_{ADS}	—	3.5	—	ADCK cycles	
	Long sample (ADLSMP=1)		—	23.5	—		
Total unadjusted error	10 bit mode	E_{TUE}	—	±1.5	±3.5	LSB[2]	Includes quantization
	8 bit mode		—	±0.7	±1.5		
Differential non-linearity	10 bit mode	DNL	—	±0.5	±1.0	LSB[2]	Monotonicity and no missing codes guaranteed
	8 bit mode		—	±0.3	±0.5		
Integral non-linearity	10 bit mode	INL	—	±0.5	±1.0	LSB[2]	
	8 bit mode		—	±0.3	±0.5		
Zero-scale error	10 bit mode	E_{ZS}	—	±1.5	±2.1	LSB[2]	$V_{ADIN} = V_{SS}$
	8 bit mode		—	±0.5	±0.7		
Full-scale error	10 bit mode	E_{FS}	0	±1.0	±1.5	LSB[2]	$V_{ADIN} = V_{DD}$
	8 bit mode		0	±0.5	±0.5		
Quantization error	10 bit mode	E_Q	—	—	±0.5	LSB[2]	
	8 bit mode		—	—	±0.5		
Input leakage error	10 bit mode	E_{IL}	0	±0.2	±4	LSB[2]	Pad leakage[3] * R_{AS}
	8 bit mode		0	±0.1	±1.2		
Temp sensor slope	-40°C– 25°C	m	—	1.646	—	mV/°C	
	25°C– 85°C		—	1.769	—		
Temp sensor voltage	25°C	V_{TEMP25}	—	701.2	—	mV	

1 Typical values assume V_{DD} = 3.0 V, Temp = 25°C, f_{ADCK} = 1.0 MHz unless otherwise stated. Typical values are for reference only and are not tested in production.

2 1 LSB = $(V_{REFH} - V_{REFL})/2^N$

3 Based on input pad leakage current. Refer to pad electricals.

A.11 FLASH Specifications

This section provides details about program/erase times and program-erase endurance for the FLASH memory.

Program and erase operations do not require any special power sources other than the normal V_{DD} supply. For more detailed information about program/erase operations, see the Memory section.

Table A-14. FLASH Characteristics

Characteristic	Symbol	Min	Typical	Max	Unit
Supply voltage for program/erase -40°C to 85°C	$V_{prog/erase}$	1.8		3.6	V
Supply voltage for read operation	V_{Read}	1.8		3.6	V
Internal FCLK frequency[1]	f_{FCLK}	150		200	kHz
Internal FCLK period (1/FCLK)	t_{Fcyc}	5		6.67	μs
Byte program time (random location)(2)	t_{prog}		9		t_{Fcyc}
Byte program time (burst mode)(2)	t_{Burst}		4		t_{Fcyc}
Page erase time[2]	t_{Page}		4000		t_{Fcyc}
Mass erase time(2)	t_{Mass}		20,000		t_{Fcyc}
Program/erase endurance[3] T_L to T_H = –40°C to + 85°C T = 25°C		10,000	— 100,000	— —	cycles
Data retention[4]	t_{D_ret}	15	100	—	years

1 The frequency of this clock is controlled by a software setting.

2 These values are hardware state machine controlled. User code does not need to count cycles. This information supplied for calculating approximate time to program and erase.

3 **Typical endurance for FLASH** was evaluated for this product family on the 9S12Dx64. For additional information on how Motorola defines typical endurance, please refer to Engineering Bulletin EB619/D, *Typical Endurance for Nonvolatile Memory*.

4 **Typical data retention** values are based on intrinsic capability of the technology measured at high temperature and de-rated to 25°C using the Arrhenius equation. For additional information on how Motorola defines typical data retention, please refer to Engineering Bulletin EB618/D, *Typical Data Retention for Nonvolatile Memory.*

A.12 EMC Performance

Electromagnetic compatibility (EMC) performance is highly dependant on the environment in which the MCU resides. Board design and layout, circuit topology choices, location and characteristics of external components as well as MCU software operation all play a significant role in EMC performance. The system designer should consult Freescale applications notes such as AN2321, AN1050, AN1263, AN2764, and AN1259 for advice and guidance specifically targeted at optimizing EMC performance.

A.12.1 Radiated Emissions

Microcontroller radiated RF emissions are measured from 150 kHz to 1 GHz using the TEM/GTEM Cell method in accordance with the IEC 61967-2 and SAE J1752/3 standards. The measurement is performed with the microcontroller installed on a custom EMC evaluation board while running specialized EMC test software. The radiated emissions from the microcontroller are measured in a TEM cell in two package orientations (North and East).

The maximum radiated RF emissions of the tested configuration in all orientations are less than or equal to the reported emissions levels.

Table A-15. Radiated Emissions, Electric Field

Parameter	Symbol	Conditions	Frequency	f_{OSC}/f_{BUS}	Level[1] (Max)	Unit
Radiated emissions, electric field	V_{RE_TEM}	V_{DD} = 3.3 V T_A = +25°C package type 16 TSSOP	0.15 – 50 MHz	4-MHz crystal 10-MHz bus	TBD	dBμV
			50 – 150 MHz		TBD	
			150 – 500 MHz		TBD	
			500 – 1000 MHz		TBD	
			IEC Level		TBD	—
			SAE Level		TBD	—

1 Data based on qualification test results.

A.12.2 Conducted Transient Susceptibility

Microcontroller transient conducted susceptibility is measured in accordance with an internal Freescale test method. The measurement is performed with the microcontroller installed on a custom EMC evaluation board and running specialized EMC test software designed in compliance with the test method. The conducted susceptibility is determined by injecting the transient susceptibility signal on each pin of the microcontroller. The transient waveform and injection methodology is based on IEC 61000-4-4 (EFT/B). The transient voltage required to cause performance degradation on any pin in the tested configuration is greater than or equal to the reported levels unless otherwise indicated by footnotes below Table A-16.

Table A-16. Conducted Susceptibility, EFT/B

Parameter	Symbol	Conditions	f_{OSC}/f_{BUS}	Result	Amplitude[1] (Min)	Unit
Conducted susceptibility, electrical fast transient/burst (EFT/B)	V_{CS_EFT}	V_{DD} = 3.3V T_A = +25°C package type TBD	TBD crystal TBD bus	A	TBD	kV
				B	TBD	
				C	TBD	
				D	TBD	

[1] Data based on qualification test results. Not tested in production.

The susceptibility performance classification is described in Table A-17.

Table A-17. Susceptibility Performance Classification

Result	Performance Criteria	
A	No failure	The MCU performs as designed during and after exposure.
B	Self-recovering failure	The MCU does not perform as designed during exposure. The MCU returns automatically to normal operation after exposure is removed.
C	Soft failure	The MCU does not perform as designed during exposure. The MCU does not return to normal operation until exposure is removed and the RESET pin is asserted.
D	Hard failure	The MCU does not perform as designed during exposure. The MCU does not return to normal operation until exposure is removed and the power to the MCU is cycled.
E	Damage	The MCU does not perform as designed during and after exposure. The MCU cannot be returned to proper operation due to physical damage or other permanent performance degradation.

Appendix B
Ordering Information and Mechanical Drawings

B.1 Ordering Information

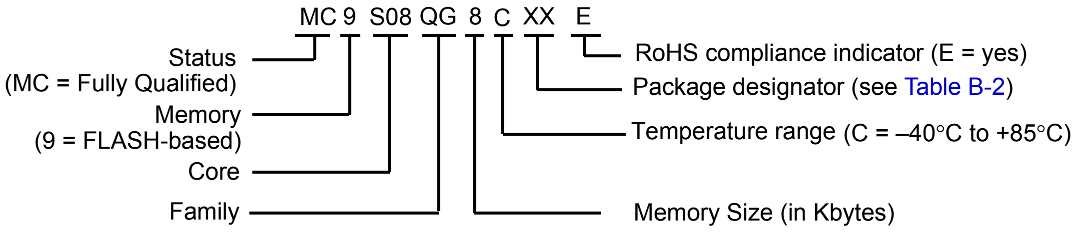
This section contains ordering information for MC9S08QG8 and MC9S08QG4 devices.

Table B-1. Device Numbering System

Device Number[1]	Memory		Available Packages[2]	
	FLASH	RAM	16-Pin	8-Pin
MC9S08QG8	8K	512	16 PDIP 16 QFN 16 TSSOP	8 DFN 8 NB SOIC
MC9S08QG4	4K	256	16 QFN 16 TSSOP	8 DFN 8 PDIP 8 NB SOIC

[1] See Table 1-1 for a complete description of modules included on each device.
[2] See Table B-2 for package information.

B.1.1 Device Numbering Scheme



B.2 Mechanical Drawings

The following pages are mechanical specifications for MC9S08QG8/4 package options. See Table B-2 for the document number for each package type.

Table B-2. Package Information

Pin Count	Type	Designator	Document No.
16	PDIP	PB	98ASB42431B
16	QFN	FF	98ARE10614D
16	TSSOP	DT	98ASH70247A
8	DFN	FQ	98ARL10557D
8	PDIP	PA	98ASB42420B
8	NB SOIC	DN	98ASB42564B

How to Reach Us:

Home Page:
www.freescale.com

Web Support:
http://www.freescale.com/support

USA/Europe or Locations Not Listed:
Freescale Semiconductor, Inc.
Technical Information Center, EL516
2100 East Elliot Road
Tempe, Arizona 85284
+1-800-521-6274 or +1-480-768-2130
www.freescale.com/support

Europe, Middle East, and Africa:
Freescale Halbleiter Deutschland GmbH
Technical Information Center
Schatzbogen 7
81829 Muenchen, Germany
+44 1296 380 456 (English)
+46 8 52200080 (English)
+49 89 92103 559 (German)
+33 1 69 35 48 48 (French)
www.freescale.com/support

Japan:
Freescale Semiconductor Japan Ltd.
Headquarters
ARCO Tower 15F
1-8-1, Shimo-Meguro, Meguro-ku,
Tokyo 153-0064, Japan
0120 191014 or +81 3 5437 9125
support.japan@freescale.com

Asia/Pacific:
Freescale Semiconductor Hong Kong Ltd.
Technical Information Center
2 Dai King Street
Tai Po Industrial Estate
Tai Po, N.T., Hong Kong
+800 2666 8334
support.asia@freescale.com

For Literature Requests Only:
Freescale Semiconductor Literature Distribution Center
P.O. Box 5405
Denver, Colorado 80217
1-800-441-2447 or 303-675-2140
Fax: 303-675-2150
LDCForFreescaleSemiconductor@hibbertgroup.com

本書に記載された情報は、システムおよびソフトウェア開発者がフリースケール製品を使用できるよう補助することのみを目的としています。本書に記載された情報に基づく集積回路の設計 / 製造に関する明示的または暗黙のライセンスを許諾するものではありません。

当社は、本書に記載した製品について、信頼性、機能または設計を改善するために予告なく変更を加える権限を保有しています。当社はここに記載した製品、回路の適用、使用に起因するいかなる責務をも負うものではなく、また、当社の特許権または第三者の権利に基づくライセンスを許諾するものではありません。仕様として記述される「標準（Typical)」パラメータは各用途において変化する場合があり、実際の性能は長期間で変動する可能性があります。「標準」パラメータを含むすべての動作パラメータは、利用者側で技術担当者が使用環境に応じて適切な値に設定することが求められます。当社の製品は、外科的に人体に移植することを意図したシステムの構成部品として、または、他の生命維持を意図した用途に、または、当社の製品の不具合により人体に危害を加えたり死に至らしめるかもしれない状況が発生するような用途に使用するために、設計、意図または認可されているものではありません。購入者が万一このような意図または認可されていない用途のために当社の製品を購入あるいは使用する場合、購入者は、当社およびその役員、従業員、子会社、関連会社、代理店に対し、直接または間接を問わず、当該使用に関連した傷害や死についてのすべての申し立て（たとえ、当社が部品の設計や製造において不注意であったという主張であったとしても）から生ずるすべての請求、費用、損害、および相当の弁護士費用を補償し、被害が及ばないものとするものとします。

Freescale および Freescale のロゴマークは、フリースケール社の商標です。文中に記載されている他社の製品名、サービス名等は、それぞれ各社の商標です。

© Freescale Semiconductor, Inc. 2006. All rights reserved.

MC9S08QG8/J
Rev. 0
12/2006
（原文 MC9S08QG8 Rev. 1.01、10/2005）